

Universidad de San Carlos de Guatemala

Facultad de Ingeniería

Escuela de Ciencias y Sistemas

Organización Computacional



PRÁCTICA #1

SIMULACIÓN DE UN VISUALIZADOR DE 7 SEGMENTOS

201900532 Juan José Gerardi Hernández

202209714 Ángel Enrique Alvarado Ruiz

202300848 Brayan Emanuel García

202300824 Alexander Samuel Us Upún

202300768 Norma Elizabeth Canú Xico

INTRODUCCIÓN

En la era digital, los circuitos combinacionales desempeñan un papel fundamental en el diseño y funcionamiento de sistemas electrónicos. Estos circuitos, compuestos por compuertas lógicas como AND, OR, NOT, entre otras, permiten la transformación de señales binarias para realizar operaciones específicas. En esta práctica, se desarrolla la simulación de un visualizador de 7 segmentos, un componente ampliamente utilizado en dispositivos electrónicos para representar información numérica y alfanumérica. El objetivo principal es aplicar los conocimientos de lógica combinacional y diseño de circuitos para la implementación de un sistema funcional, utilizando compuertas transistorizadas y tecnologías TTL en el desarrollo del prototipo.

OBJETIVOS

General

Aplicar los conocimientos teóricos aprendidos en clase magistral y laboratorio para la construcción de circuitos combinacionales.

Específicos

1. Poner en práctica los conocimientos de Lógica Combinacional y Mapas de Karnaugh.
2. Conocer el funcionamiento de transistores y realización de compuertas lógicas transistorizadas.
3. Crear un dispositivo de visualización a mayor escala.
4. Utilizar lógica negativa y positiva durante el desarrollo de la práctica.

CONTENIDO

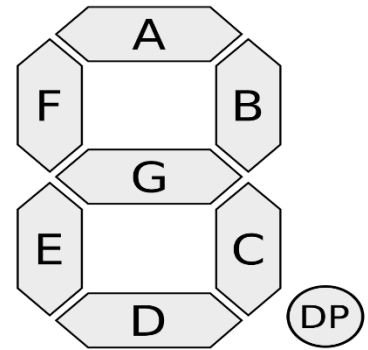
a. Funciones booleanas.

SEGMENTOS

- Segmento A
Función: $X(X \circ Z)$
- Segmento B
Función: $X(Y \otimes Z)$
- Segmento C
Función: $Z + XY$
- Segmento D
Función: $X' + Z + Y$
- Segmento E
Función: 0
- Segmento F
Función: $(X+Z)'$
- Segmento G
Función: $Z + X$

SEGMENTOS (espejo)

- Segmento A
Función: $X'(X \circ Z)$
- Segmento B
Función: $X'Z' + X$
- Segmento C
Función: $Z + XY$
- Segmento D
Función: $X' + Z + Y$
- Segmento E
Función: $Z + XY$
- Segmento F
Función: $X(Y \otimes Z)$
- Segmento G
Función: $Z + X$



b. Mapas de Karnaugh.

Normal

- SEGMENTO A

Mapa:

Seg A									
X	Y	Z							
0	0	0	1						
0	0	1	0	$\sim YZ$	00	01	11	10	
0	1	0	0	0	1	0	0	0	
0	1	1	0	1	0	1	0	0	
1	0	0	0						
1	0	1	1		$X'Y'Z' + XY'Z$				
1	1	0	0		$Y'(X'Z' + XZ)$				
1	1	1	0		$Y'(X \oplus Z)$				

- SEGMENTO B

Mapa:

Seg B									
X	Y	Z		$\sim YZ$					
0	0	0	0	X	00	01	11	10	
0	0	1	0	0	0	0	0	0	
0	1	0	0	1	0	1	0	1	
0	1	1	0						
1	0	0	0		$XY'Z + XYZ'$				
1	0	1	1		$X(Y'Z + YZ')$				
1	1	0	1		$X(Y \otimes Z)$				
1	1	1	0						

- SEGMENTO C

Mapa:

Seg C									
X	Y	Z		$\sim YZ$					
0	0	0	0	X	00	01	11	10	
0	0	1	1	0	0	1	1	0	
0	1	0	0	1	0	1	1	1	
0	1	1	1						
1	0	0	0						
1	0	1	1		$Z + XY$				
1	1	0	1						
1	1	1	1						

- SEGMENTO D

Mapa:

Seg D									
X	Y	Z							
0	0	0	1	$\sim YZ$					
0	0	1	1	X	00	01	11	10	
0	1	0	1	0	1	1	1	1	
0	1	1	1	1	0	1	1	1	
1	0	0	0						
1	0	1	1		$X' + Z + Y$				
1	1	0	1						
1	1	1	1						

- SEGMENTO E

Mapa:

Seg E									
X	Y	Z							
0	0	0	1	$\sim YZ$					
0	0	1	1	X	00	01	11	10	
0	1	0	1	0	1	1	1	1	
0	1	1	1	1	1	1	1	1	
1	0	0	1		0				
1	0	1	1						
1	1	0	1						
1	1	1	1						

- SEGMENTO F

Mapa:

Seg F									
X	Y	Z							
0	0	0	1	$\sim YZ$					
0	0	1	0	X	00	01	11	10	
0	1	0	1	0	1	0	0	1	
0	1	1	0	1	0	0	0	0	
1	0	0	0						
1	0	1	0		$X'Z'$				
1	1	0	0		$(X+Z)'$				
1	1	1	0						

- SEGMENTO C

Mapa:

Seg C									
X	Y	Z		~YZ					
0	0	0	1	X	00	01	11	10	
0	0	1	1	0	1	1	1	1	
0	1	0	1	1	1	1	1	1	
0	1	1	1						
1	0	0	1						0
1	0	1	1						
1	1	0	1						
1	1	1	1						

- SEGMENTO D

Mapa:

Seg D									
X	Y	Z							
0	0	0	1	$\neg YZ$					
0	0	1	1	X	00	01	11	10	
0	1	0	1	0	1	1	1	1	
0	1	1	1	1	0	1	1	1	
1	0	0	0						
1	0	1	1		$X' + Z + Y$				
1	1	0	1						
1	1	1	1						

- SEGMENTO E

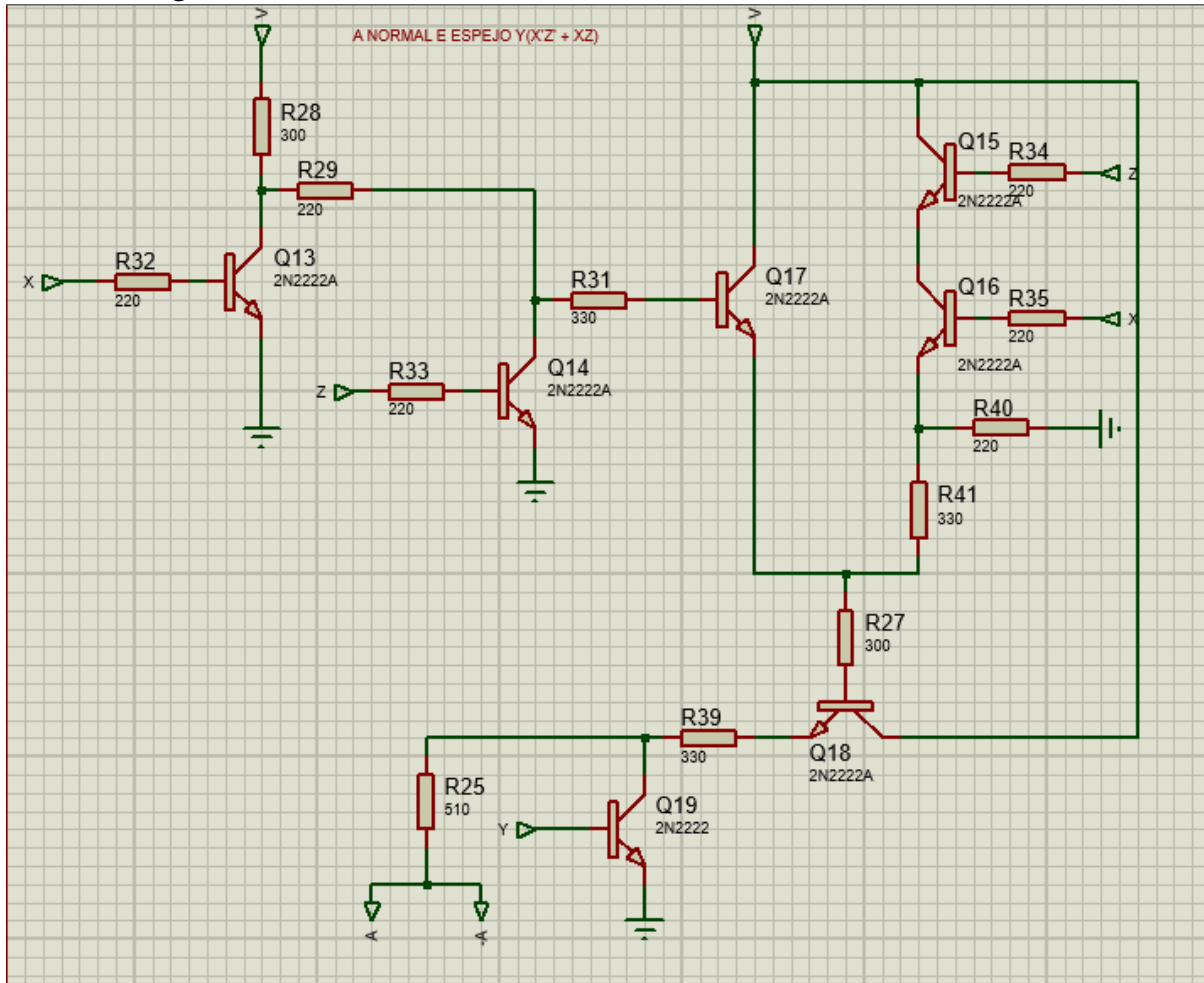
Mapa:

Seg E									
X	Y	Z		$\sim YZ$					
0	0	0	0	X	0	0	0	1	1
0	0	1	1	0	0	1	1	0	
0	1	0	0	1	0	1	1	1	
0	1	1	1						
1	0	0	0		Z + XY				
1	0	1	1						
1	1	0	1						
1	1	1	1						

c. Diagramas del diseño del circuito.

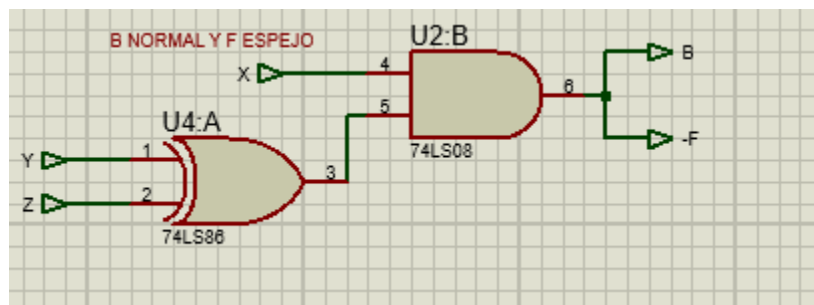
- LETRA A Normal

Diagrama:

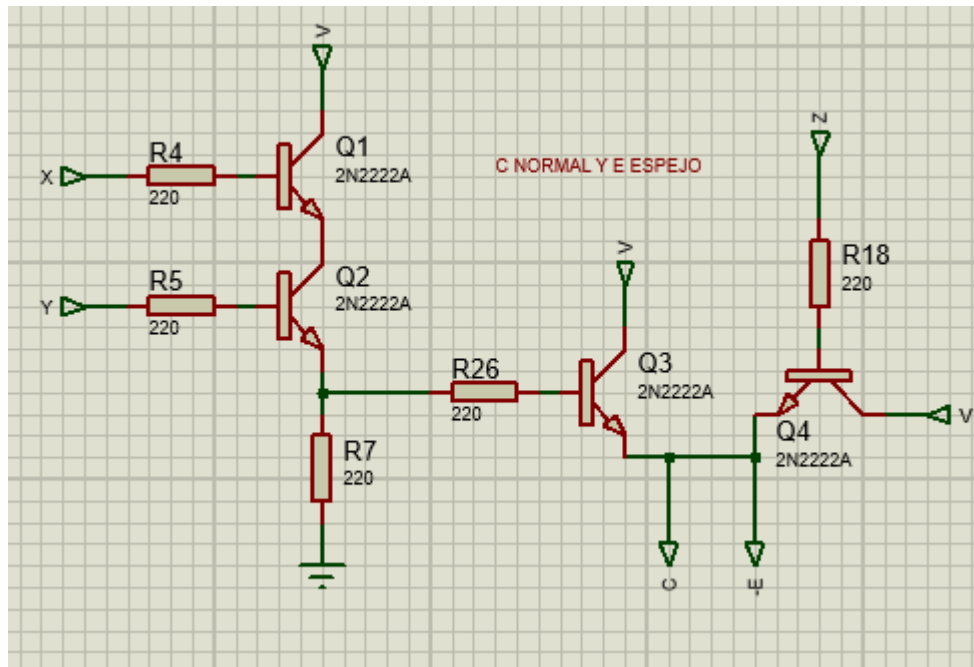


- LETRA B Normal

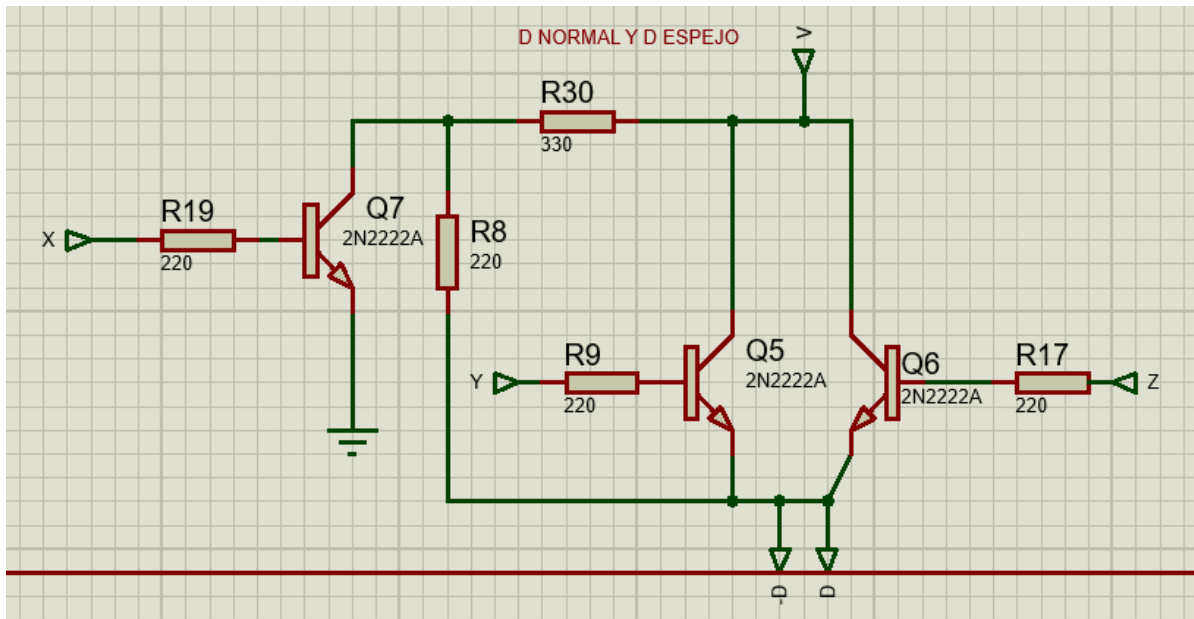
Diagrama:



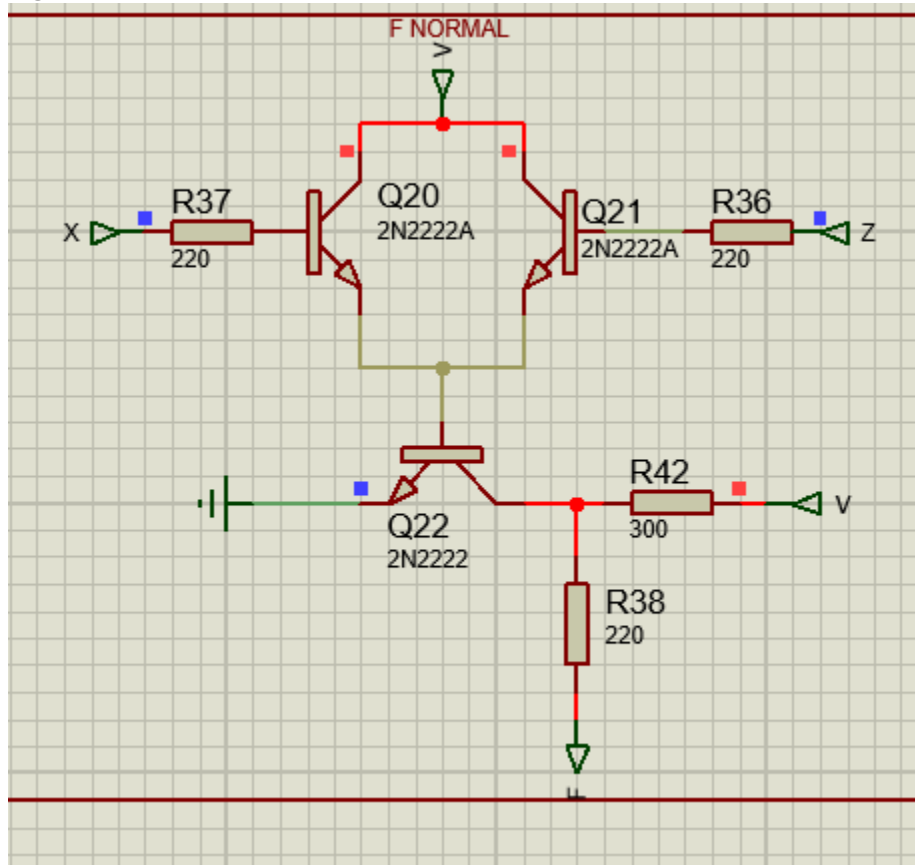
- LETRA C Normal
Diagrama:



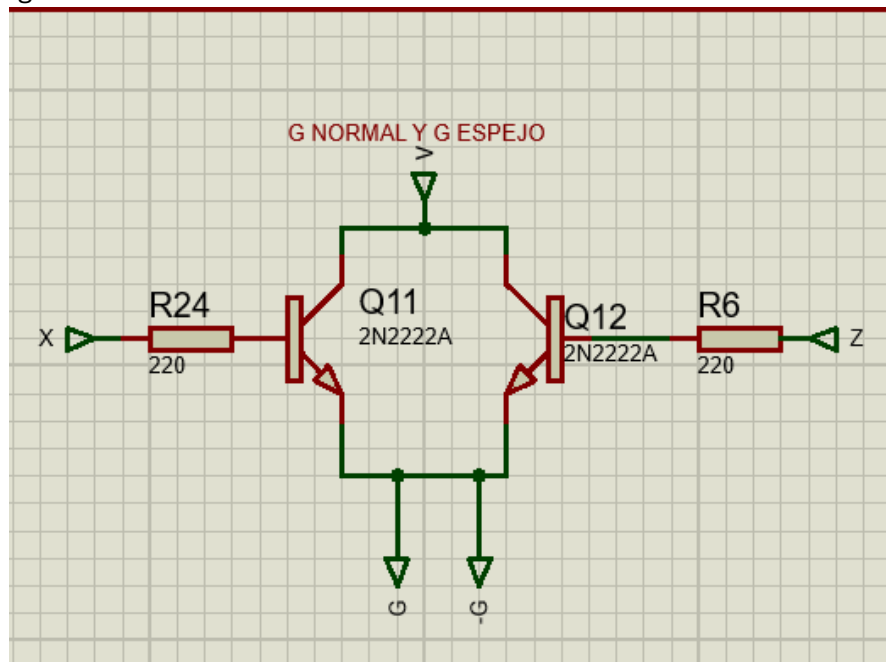
- LETRA D Normal
Diagrama:



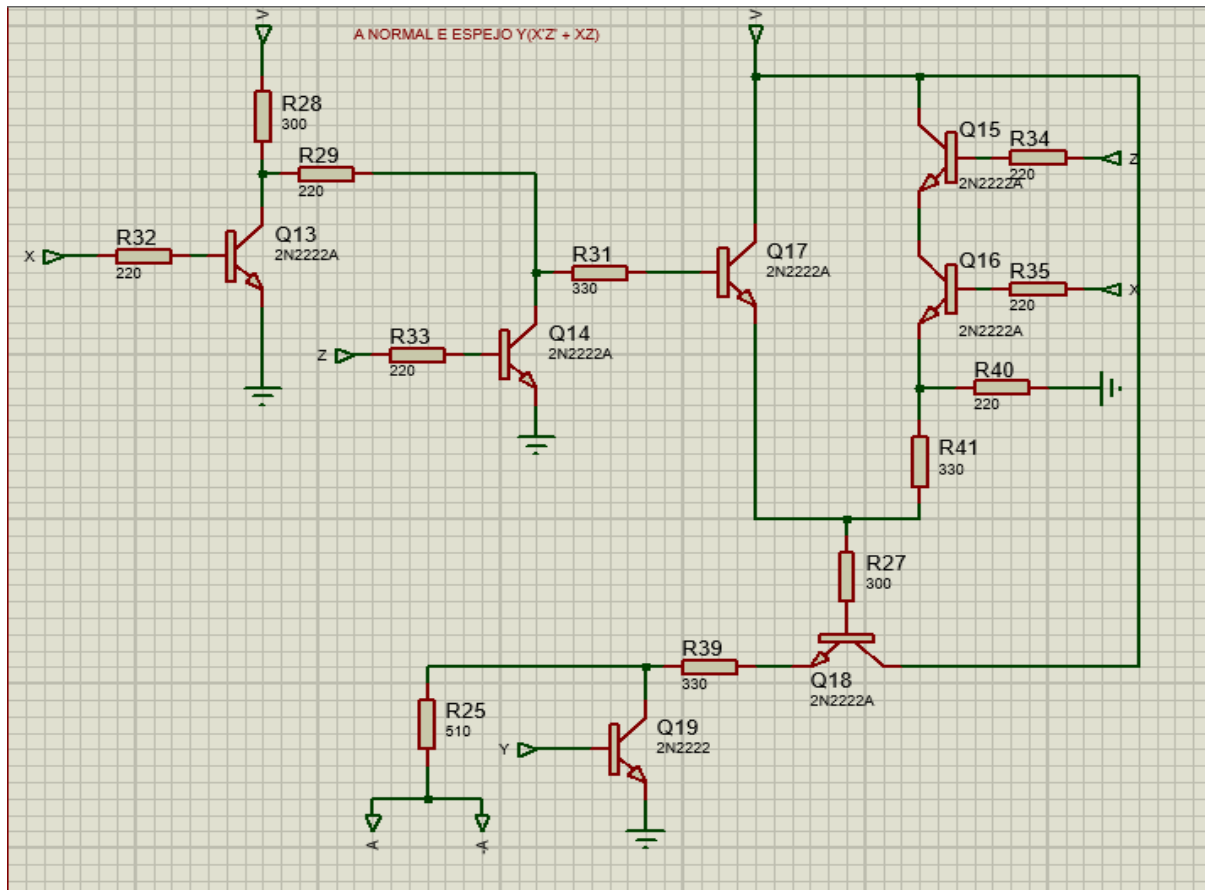
- LETRA F Normal
Diagrama:



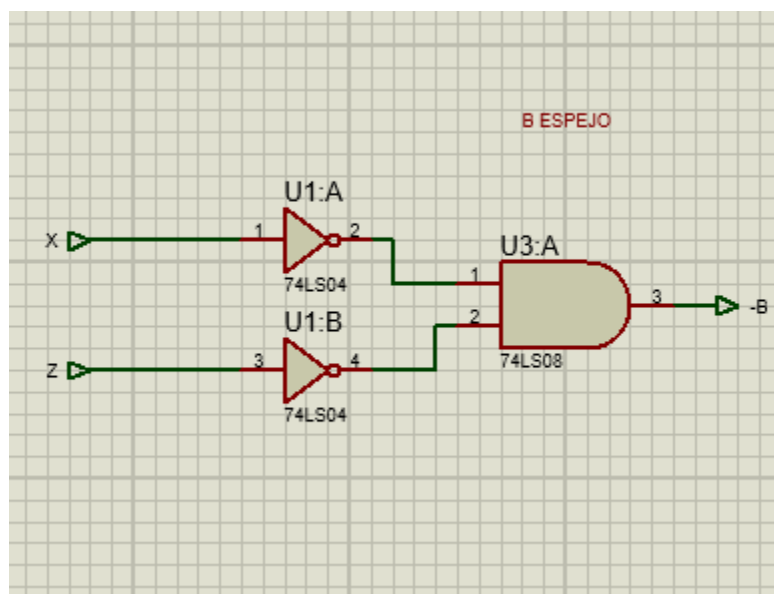
- LETRA G Normal
Diagrama:



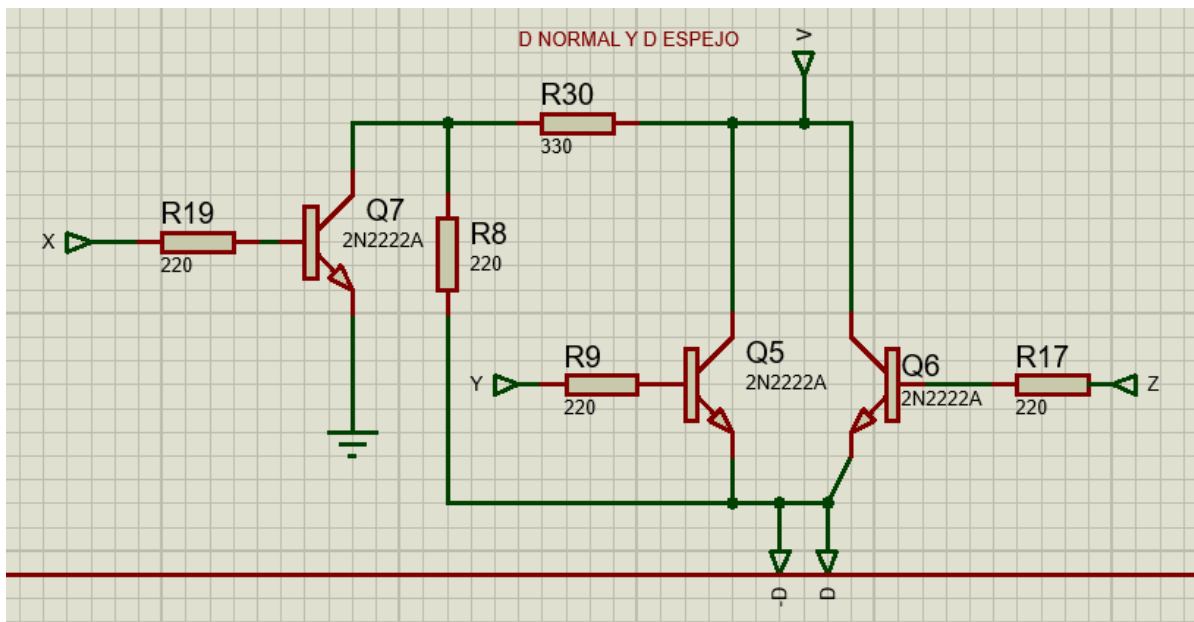
- LETRA A Espejo
Diagrama:



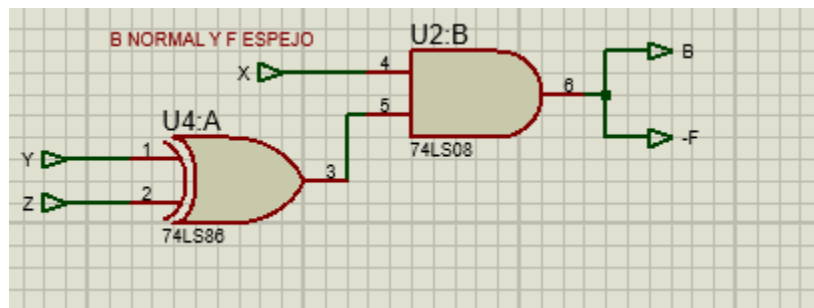
- LETRA B Espejo
Diagrama:



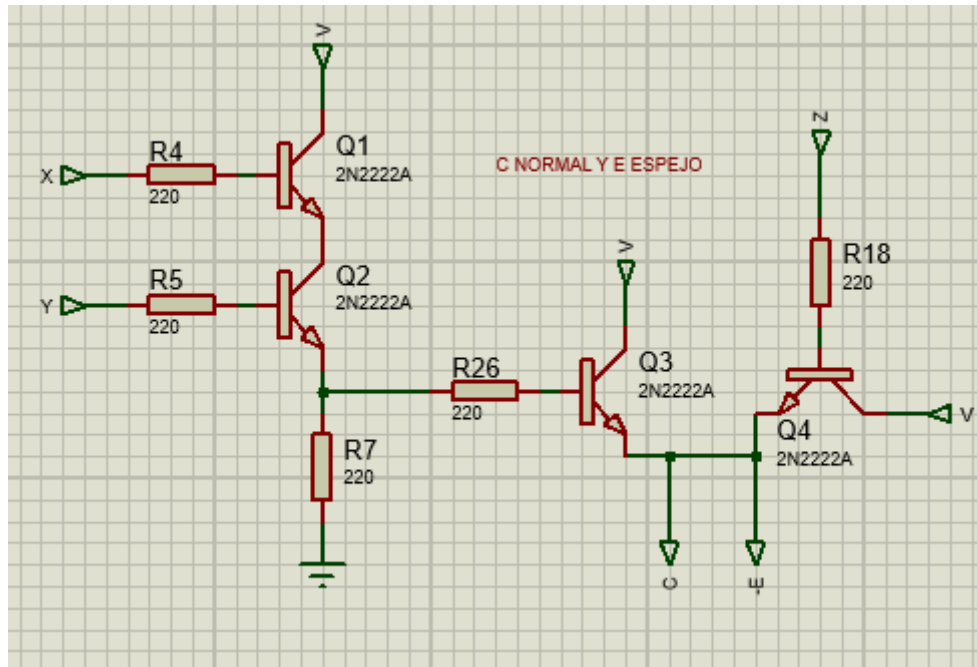
- LETRA D Espejo
Diagrama:



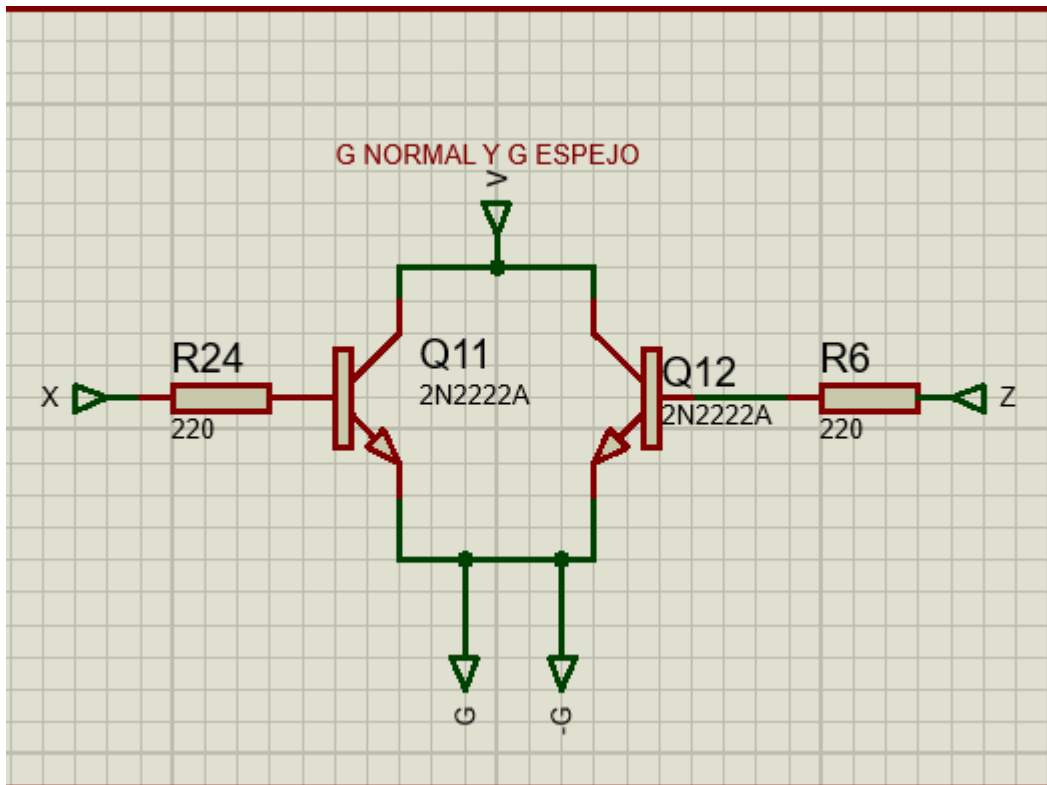
- LETRA F Espejo
Diagrama:



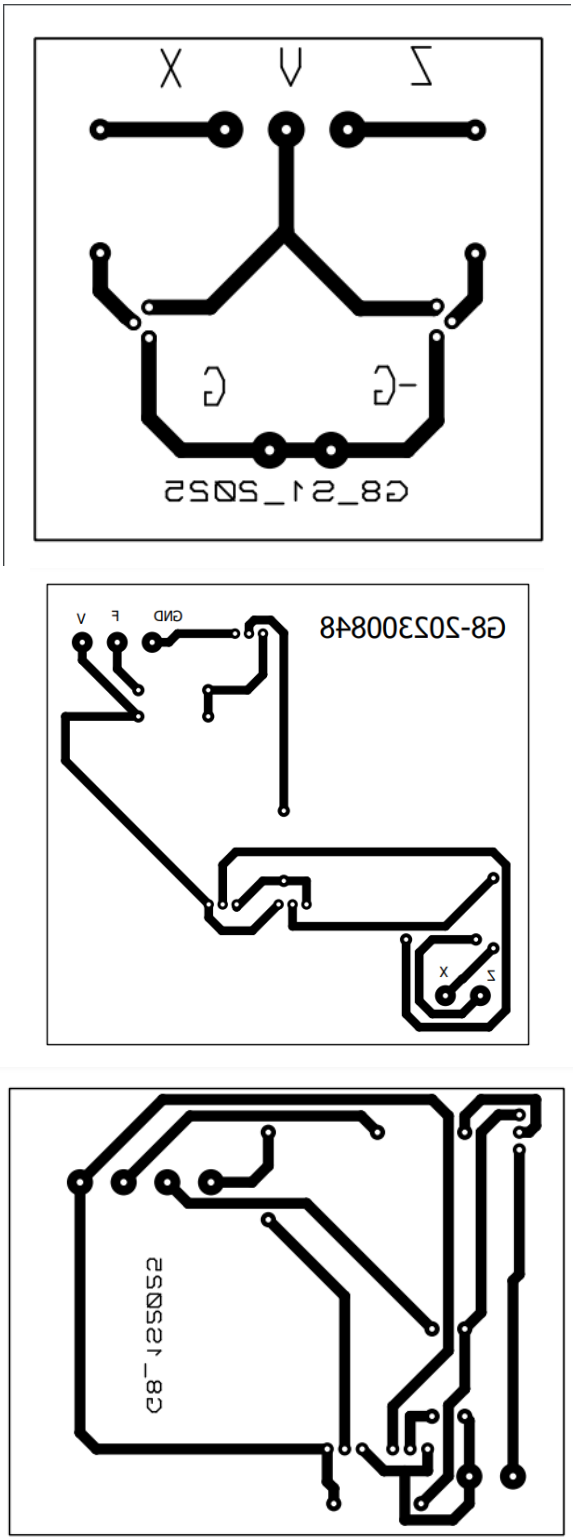
- LETRA E Espejo
Diagrama:



- LETRA G Espejo
Diagrama:



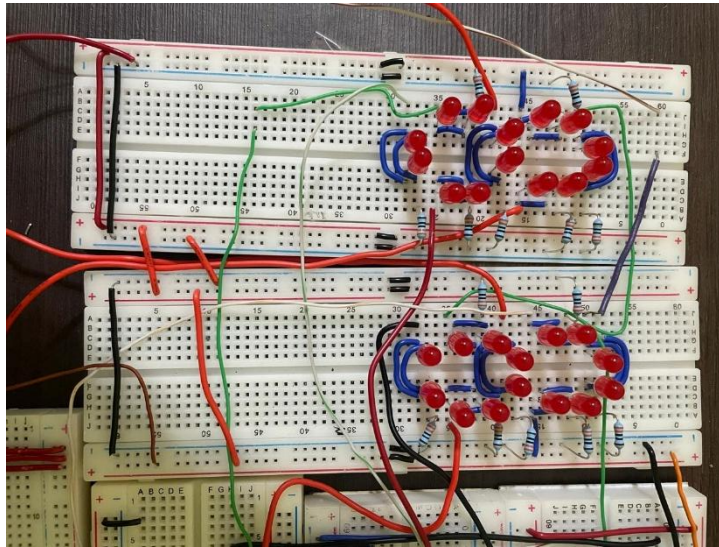
Diseño Placas:



DESCRIPCIÓN CIRCUITO:

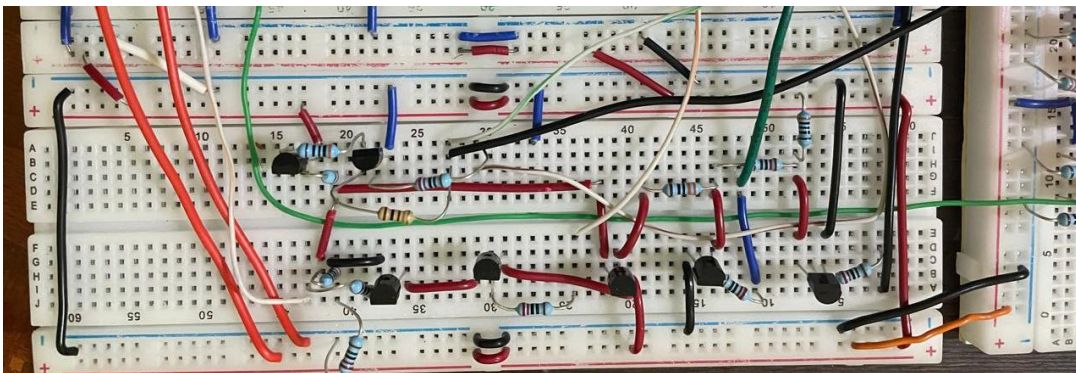
Display:

En esta parte del circuito se encuentra la principal representación visual del resultado obtenido. Se tiene la representación de dos display de siete segmentos a partir de leds. Para la obtención de cada fórmula se utilizaron herramientas como tablas de verdad, mapas de Karnaugh dependiendo de la palabra que se requería representar, en el caso de este proyecto, la palabra es COLORADO. Cada segmento se relaciona a una fórmula booleana que es representada también con transistores o con compuertas lógicas



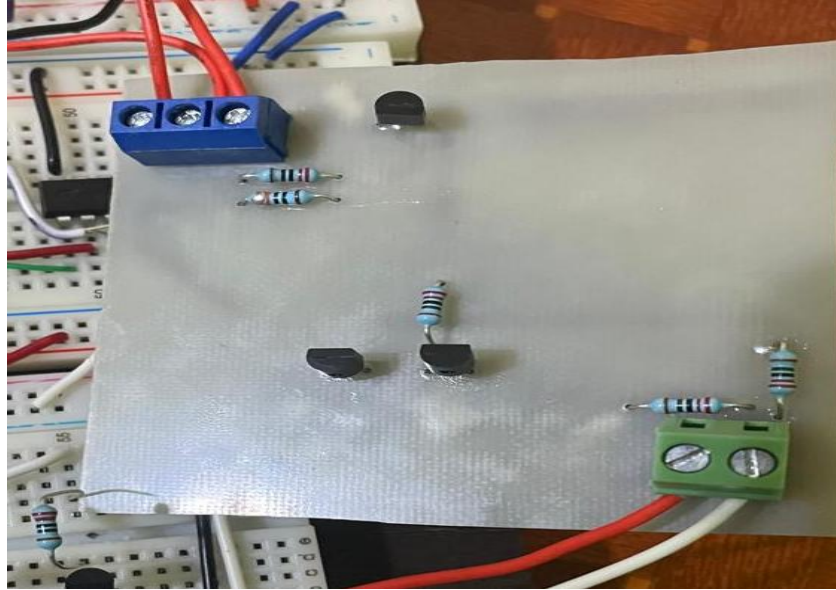
Representación Segmento A

El segmento A está representado por la función booleana $X(X \oplus Z)$, anteriormente se puede ver el modelo para la representación en simulación, en esta parte se utilizaron transistores para representar la expresión booleana. Esta parte del circuito sirve tanto para el segmento A normal como el segmento A del espejo.



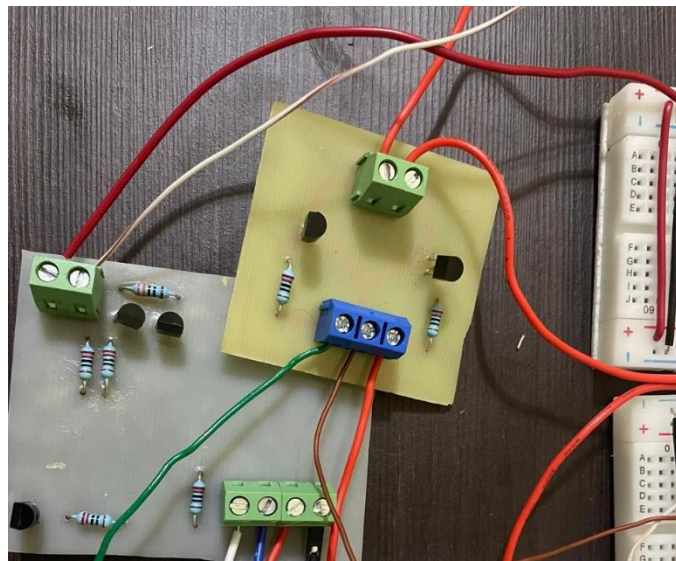
Segmento F

El segmento F normal está siendo representado por la fórmula booleana $X (Y \otimes Z)$ y en el circuito se encuentra en una placa que consta de transistores, resistencias y borneras para poder conectarlas con el segmento respectivo del display.



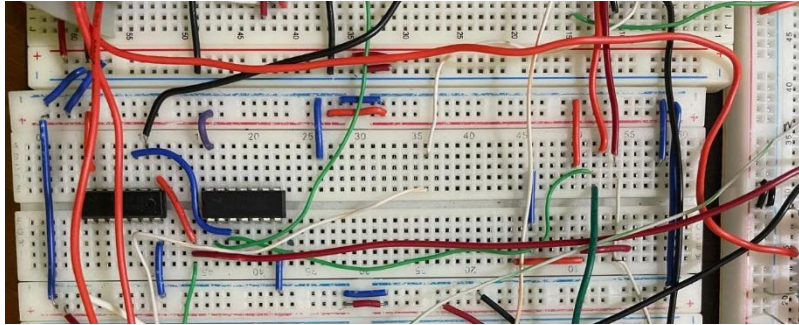
Segmentos D y G

Los segmentos normales y espejo D y G están siendo representados por una serie de transistores que se encuentran montados en una placa y se encuentran conectados al segmento de display correspondiente para su correcta ejecución. El resultado viene dado por las fórmulas booleanas: $X' + Z + Y$ para D normal, $(X+Z)'$ para F.



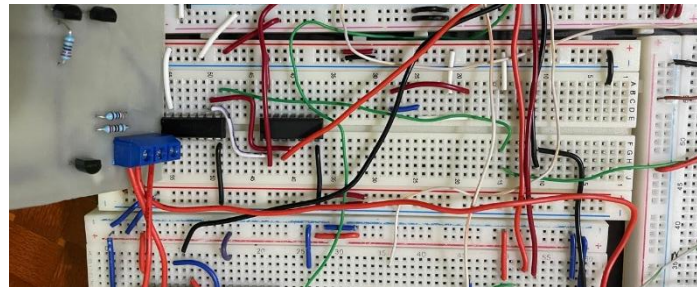
F espejo y B normal

Los segmentos vinculados a F espejo y B normal están siendo representados por la fórmula booleana $X (Y \otimes Z)$ y en esta parte del circuito están siendo representadas por compuertas lógicas XOR y AND, conectadas al respectivo segmento del display para su correcto funcionamiento.



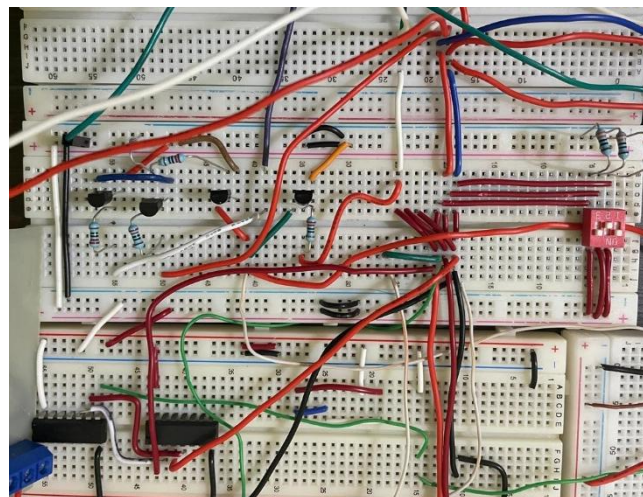
Segmento B espejo

El segmento de B espejo está representando la función booleana $X'Z' + X$ y en el circuito se está abordando con compuertas lógicas AND y NOT y conectada al segmento de display que corresponde a B espejo.

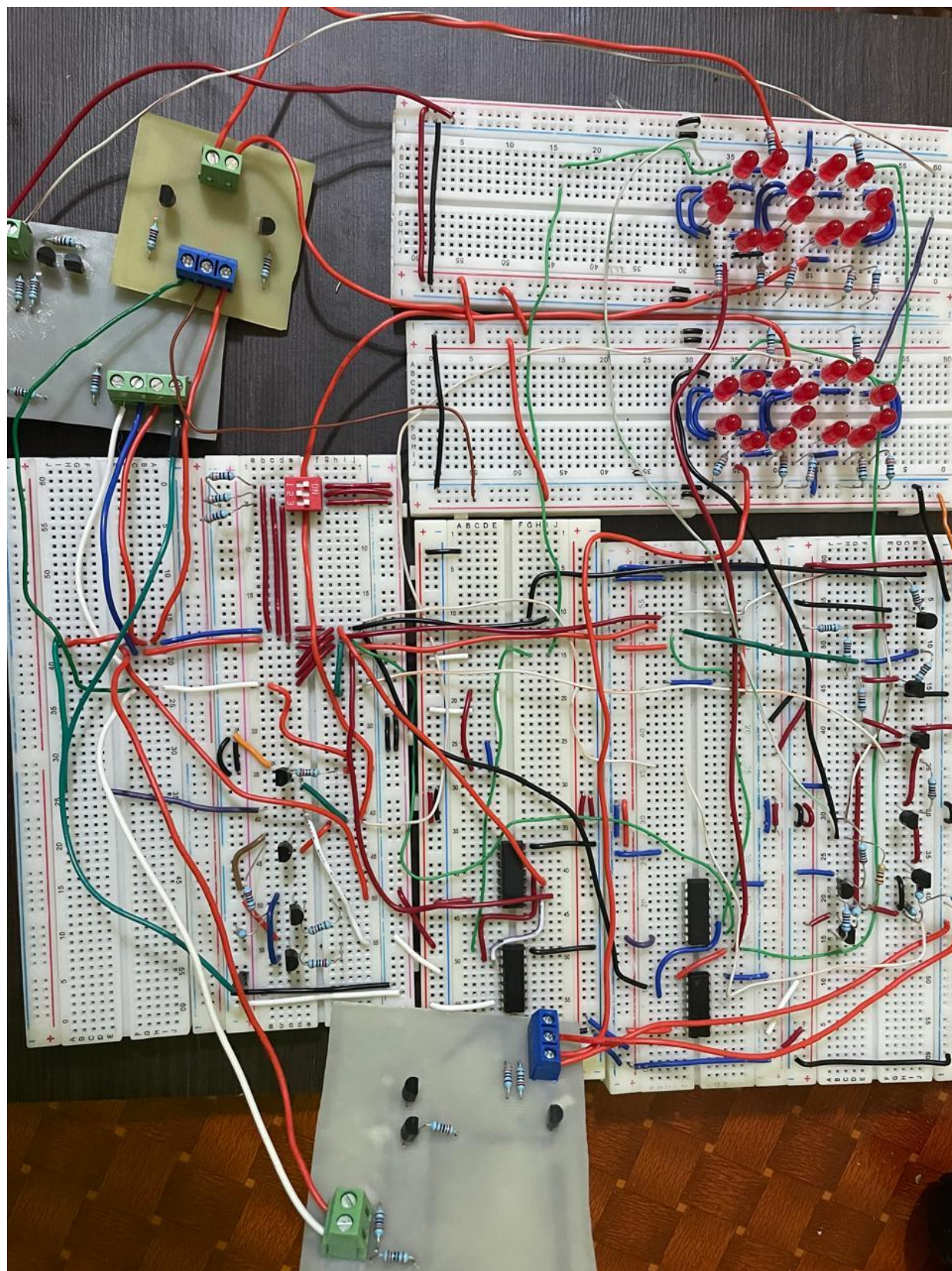


E espejo y C normal







Estos segmentos están representados por la función booleana $Z + XY$ y están siendo abordados con transistores para llevar a cabo su objetivo, y además están conectados también a cada respectivo segmento de display.



Circuito completo:



d. Equipo utilizado.

No	Equipo	Imagen	Funcionalidad	Precio
1	Protoboard		Permiten realizar circuitos electrónicos temporales sin necesidad de soldadura. Se usan para pruebas y prototipos.	Q 39.00
2	Resistencias Múltiples		Limitan el flujo de corriente en un circuito y dividen voltajes. Se usan para proteger componentes y controlar la señal eléctrica	Q 0.75
3	Transistor		Funcionan como interruptores o amplificadores de corriente. Son esenciales en circuitos lógicos, fuentes de alimentación y amplificadores.	Q 0.90
4	Compuertas lógicas		Implementan funciones booleanas básicas en circuitos digitales, permitiendo el procesamiento de señales binarias.	Q 6.00
5	LED´s		Emiten luz cuando circula corriente a través de ellos en la dirección correcta. Se usan como indicadores visuales en dispositivos electrónicos.	Q 0.80
6	DipSwitch		Son pequeños interruptores en un paquete compacto que permiten cambiar configuraciones en un circuito sin necesidad de modificar el hardware.	Q 2.00

7	Cable		Permiten interconectar componentes en una protoboard de manera rápida y eficiente.	Q 3.00
8	Borneras de 2/3 pines		Son terminales de conexión que facilitan la unión de cables en circuitos eléctricos, proporcionando una conexión segura y removible.	Q 2.50

e. Presupuesto

Componente	Modelo	Cantidad	Precio	Total
Resistencia 510 ohm a 1/4W	RE02A5100	10	Q 0.75	Q 7.50
Resistencia 220 Ohm a 1/4W	RE02A2200	50	Q 0.60	Q 30.00
Resistencia 300 Ohm a 1/4 W	RE02A3000	10	Q 0.75	Q 7.50
Resistencia 100 Ohm a 1/4W	RE02A1000	10	Q 0.75	Q 7.50
Resistencia 330 Ohm a 1/4W	RE02A3300	100	Q 0.53	Q 53.00
LED rojo 5mm	DL5RO	70	Q 0.80	Q 56.00
Transistor NPN 2N2222	2N2222A	30	Q 0.90	Q 27.00
Protoboard 1 galleta	MB-102-GT	7	Q 39.00	Q 273.00
Compuerta XOR 74LS86	XD74LS86	2	Q 6.00	Q 12.00
Compuerta AND SN74LS08N	XD74LS08	2	Q 5.00	Q 10.00
Compuerta OR SN74LS32	XD74LS32	2	Q 5.50	Q 11.00
Bornera 2 pines	-	5	Q 2.00	Q 10.00
Bornera 3 pines	-	4	Q 2.50	Q 10.00
Dip Switch 3 posiciones	-	1	Q 2.00	Q 2.00
Metro de cable para protoboard	-	8	Q 3.00	Q 24.00
Pela Cables	-	1	Q 35.00	Q 35.00
TOTAL:				Q 575.50

APORTE INDIVIDUAL DE CADA INTEGRANTE

201900532	Juan José Gerardi Hernández
Aporte Económico	
Armazón Circuito Físico	
Placas	
202209714	Ángel Enrique Alvarado Ruiz
Aporte Económico	
Armazón Circuito Físico	
Placas	
202300848	Brayan Emanuel García
Aporte Económico	
Armazón Circuito Físico	
Placas	
Cálculos Funciones Booleanas	
Simulación Proteus	
202300824	Alexander Samuel Us Upún
Aporte Económico	
Armazón Circuito Físico	
202300768	Norma Elizabeth Canú Xico
Aporte Económico	
Armazón Circuito Físico	
Documentación	

CONCLUSIONES

A través de esta práctica, se logró una comprensión más profunda de la lógica combinacional y su aplicación en el diseño de circuitos digitales. La implementación de un visualizador de 7 segmentos permitió poner en práctica la simplificación de funciones lógicas mediante Mapas de Karnaugh y el uso de compuertas transistorizadas y TTL para la manipulación de señales. Además, se evidenció la importancia de una correcta planificación del circuito, asegurando la funcionalidad y estabilidad del sistema. Finalmente, este ejercicio refuerza la relevancia de los circuitos digitales en el desarrollo de dispositivos electrónicos modernos y su impacto en la tecnología actual.

ANEXOS

SEGMENTO	FUNCION
A NORMAL	$X(X \circ Z)$
B NORMAL	$X(Y \otimes Z)$
C NORMAL	$Z + XY$
D NORMAL	$X' + Z + Y$
E NORMAL	0
F NORMAL	$(X + Z)'$
G NORMAL	$Z + X$
A ESPEJO	$X(X \circ Z)$
B ESPEJO	$X'Z' + X$
C ESPEJO	0
D ESPEJO	$X' + Z + Y$
E ESPEJO	$Z + XY$
F ESPEJO	$X(Y \otimes Z)$
G ESPEJO	$Z + X$

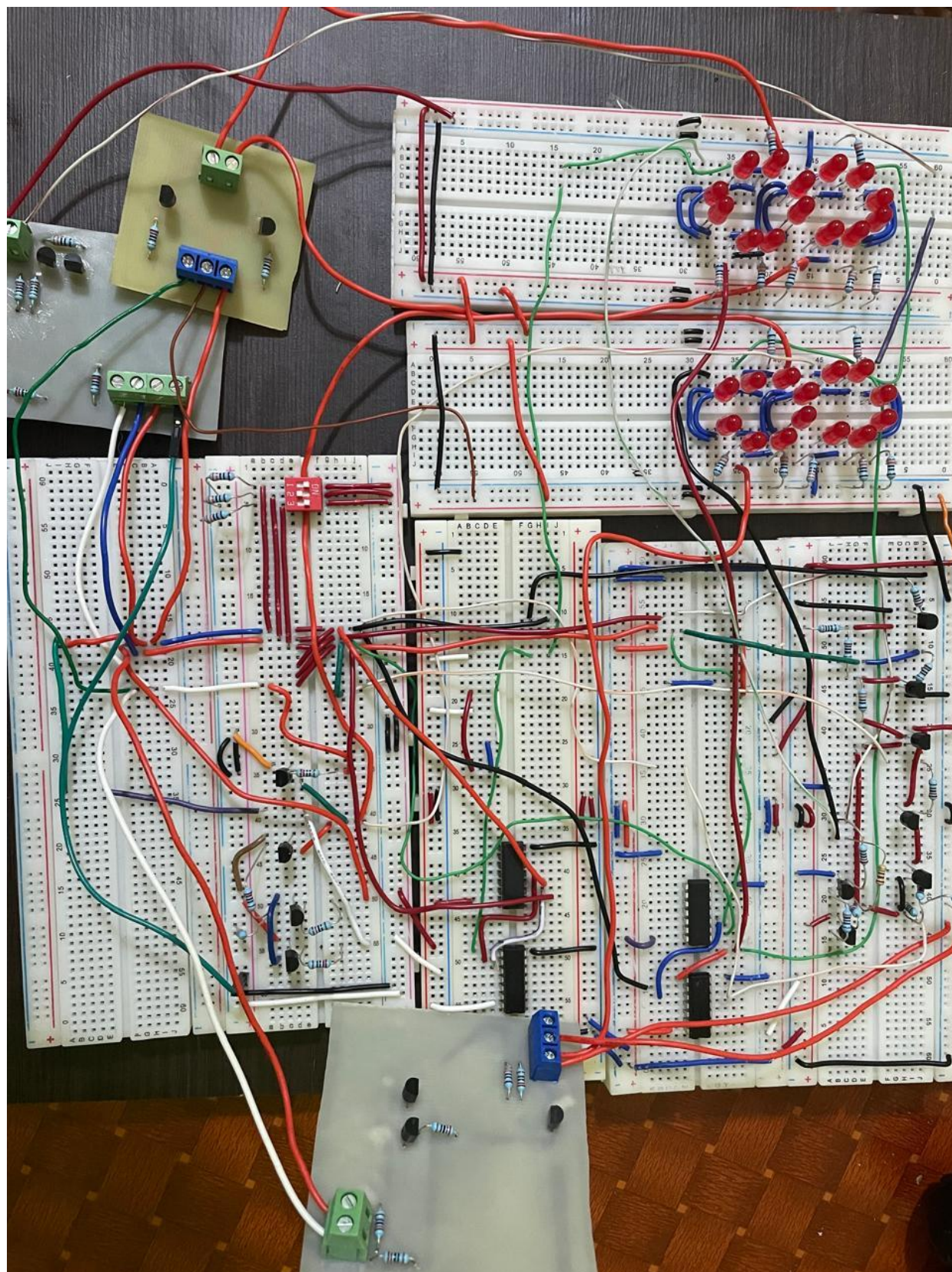
Tabla de verdad de la palabra										
X	Y	Z	a	b	c	d	e	f	g	Letra
0	0	0	1	0	0	1	1	1	0	C
0	0	1	0	0	1	1	1	0	1	O
0	1	0	0	0	0	1	1	1	0	L
0	1	1	0	0	1	1	1	0	1	O
1	0	0	0	0	0	0	1	0	1	R
1	0	1	1	1	1	1	1	0	1	A
1	1	0	0	1	1	1	1	0	1	D
1	1	1	0	0	1	1	1	0	1	O

RESUMEN FUNCIONES		
SEGMENTOS	FUNCION	
AN AE	$Y'(X \circ Z)$	$Y'(X'Z' + XZ)$
BN FE	$X(Y \otimes Z)$	$X(Y'Z + YZ')$
CN EE	$Z + XY$	
DN DE	$X' + Z + Y$	
EN CE	0	
FN	$(X + Z)'$	
GN GE	$Z + X$	
BE	$X'Z' + X$	

Vídeo

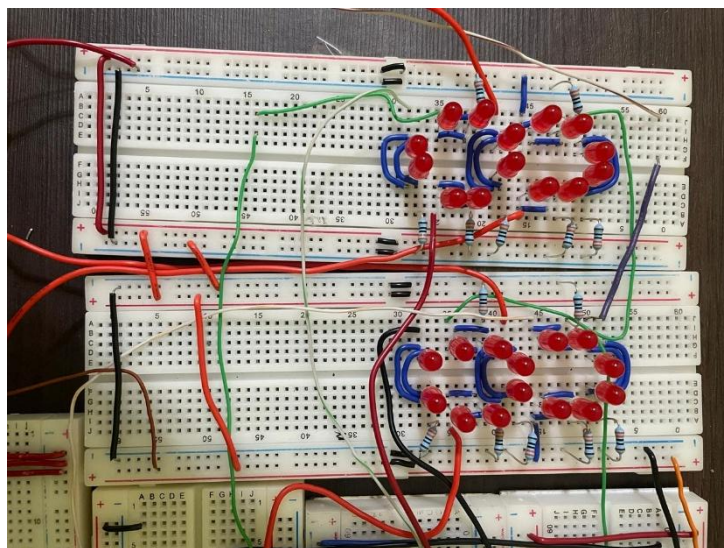
<https://drive.google.com/drive/folders/17kxYhrwvTsufHutfbcs6mewOTvaESKd1?usp=sharing>

Circuito completo:

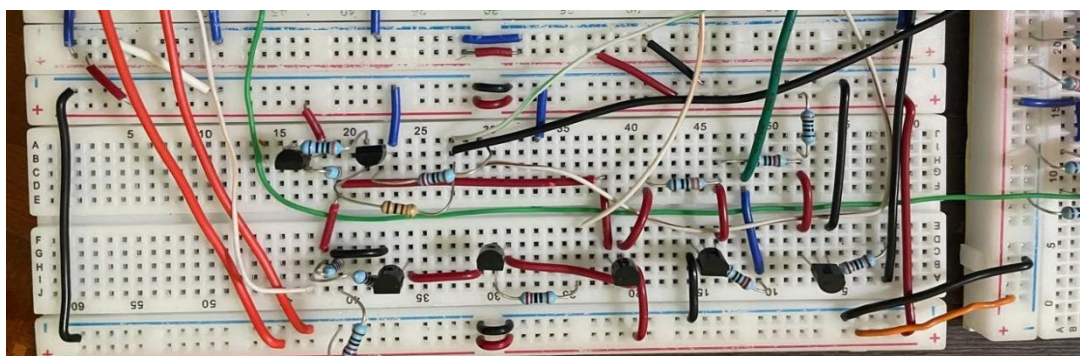


IMÁGENES:

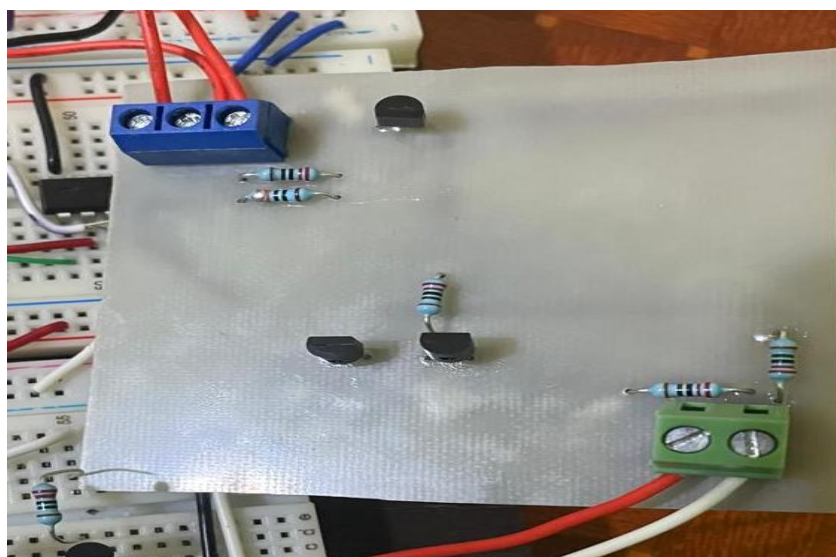
Display:



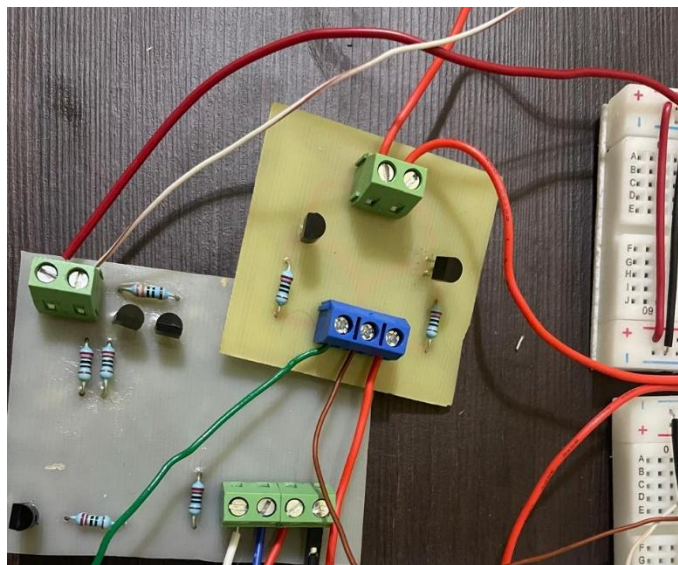
Representación Segmento A



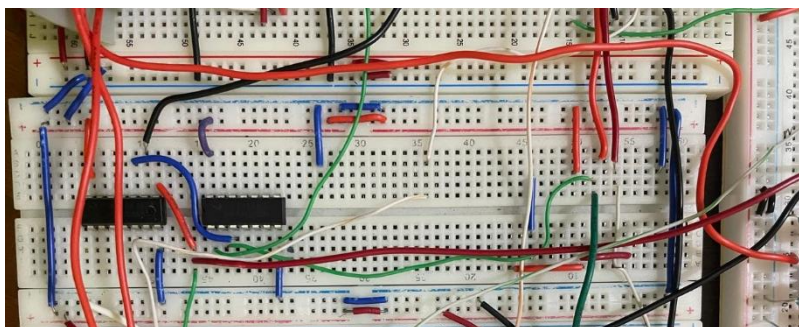
Segmento F



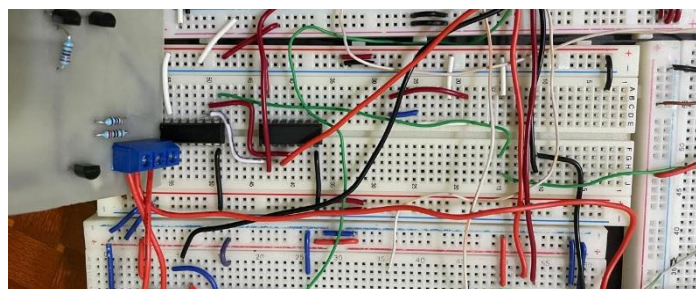
Segmentos D y G



F espejo y B normal



Segmento B espejo



E espejo y C normal

