



ITMO UNIVERSITY

**Университет ИТМО.
Отчет по лабораторной работе номер 3
по дисциплине «Функциональная схемотехника»**

Выполнил : Дробыш Дмитрий Александрович
Группа : Р33082

Преподаватель : Кустарев Павел Валерьевич

Цель работы:

Получить навыки разработки цифровых устройств на базе программируемых логических интегральных схем (ПЛИС).

Вариант	Функция	Ограничения
5	$3 \cdot a + 2 \cdot b^{(\frac{1}{3})}$	1 сумматор и 2 умножителя

Таблица 0. Задание на ЛР3

STATE MACHINE внутри

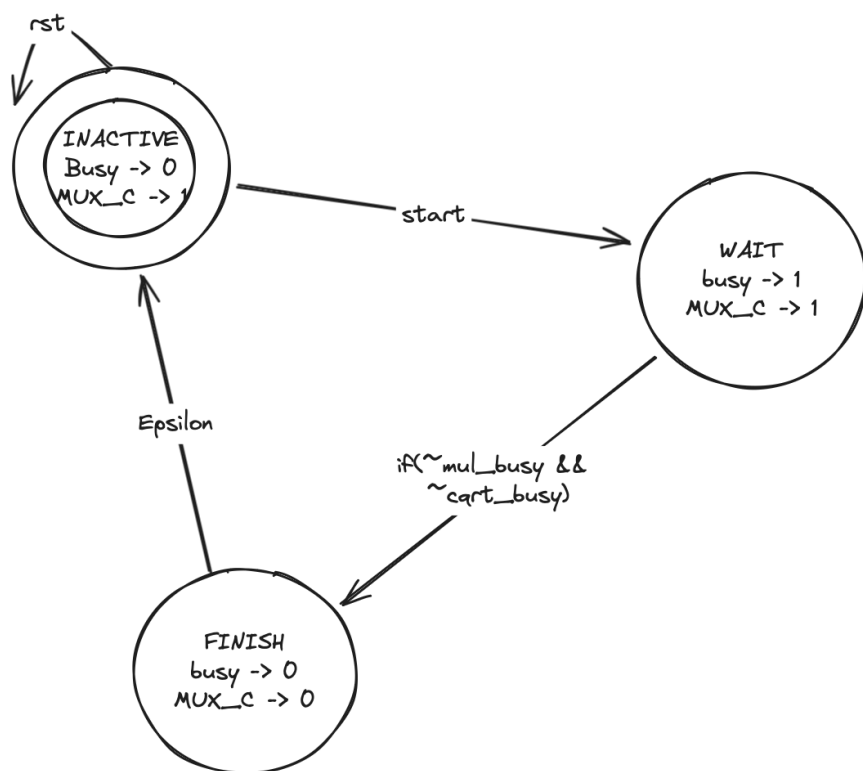


Рис1. Конечный автомат модуля function

Схема основного блока Functions.

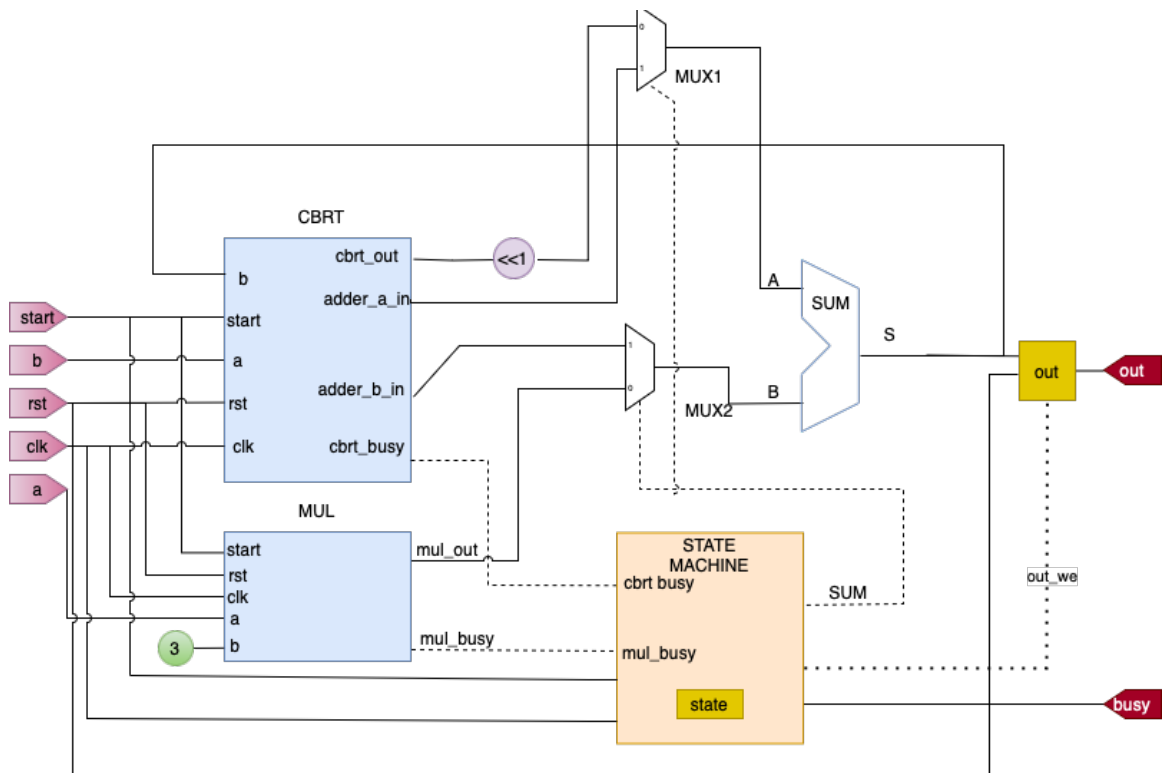


Рис2. Схема модуля function

Описание алгоритма работы пользователя:

Пользователь вводит 2 8-битных беззнаковых числа с помощью рычагов на плате.

Рычаги SW[7:0] – a

Рычаги SW[15:8] – b

Для старта работы модуля, пользователь нажимает кнопку BTNC на плате

Для перезапуска модуля (rst), пользователь нажимает кнопку BTNU

После старта модуля, светодиод LED16_B показывает его работу (Busy).

После завершения работы модуля, на светодиодах LED0-11 будет показан результат работы реализованного алгоритма.

Результат тестирования блока в симуляторе:

Тестирование функционального блока было проведено в ходе выполнения лабораторной №2.

Графики тестирования из отчёта по лабораторной №2:

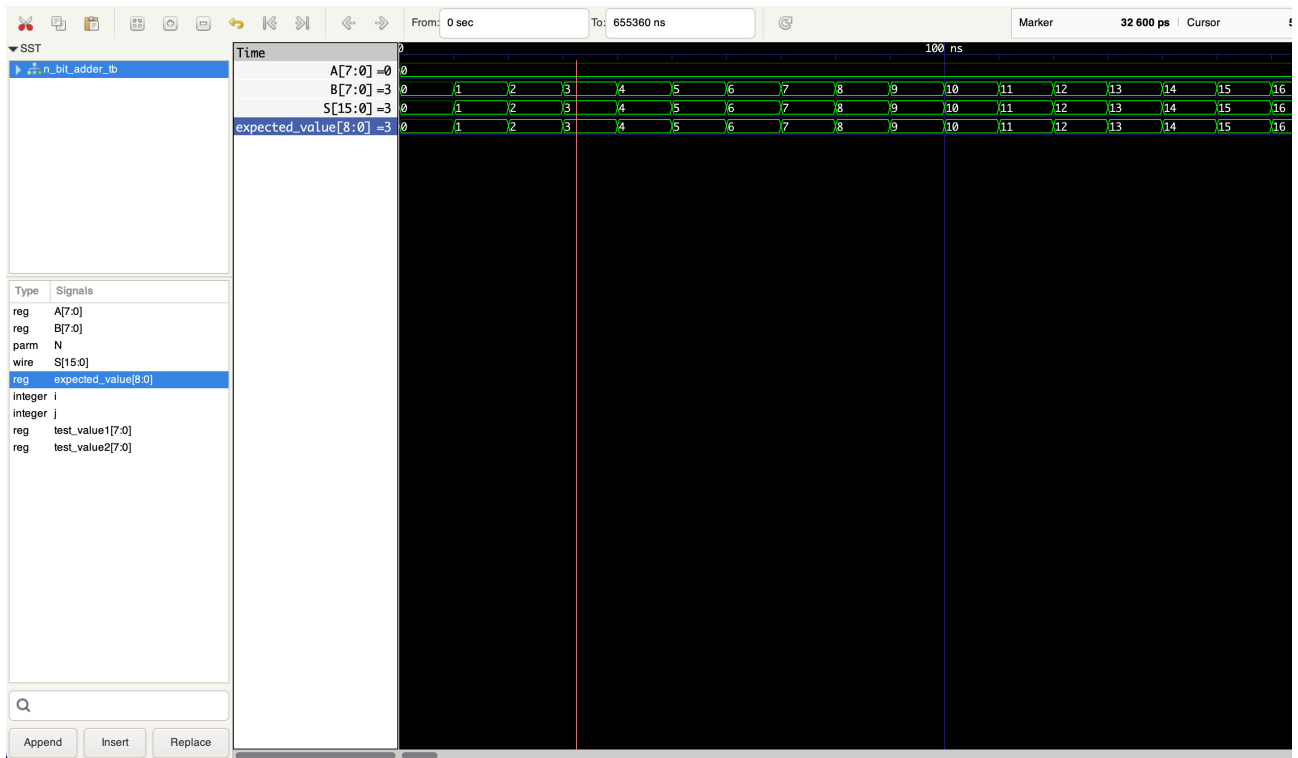


Рис3. Временная диаграмма тестирования сумматора

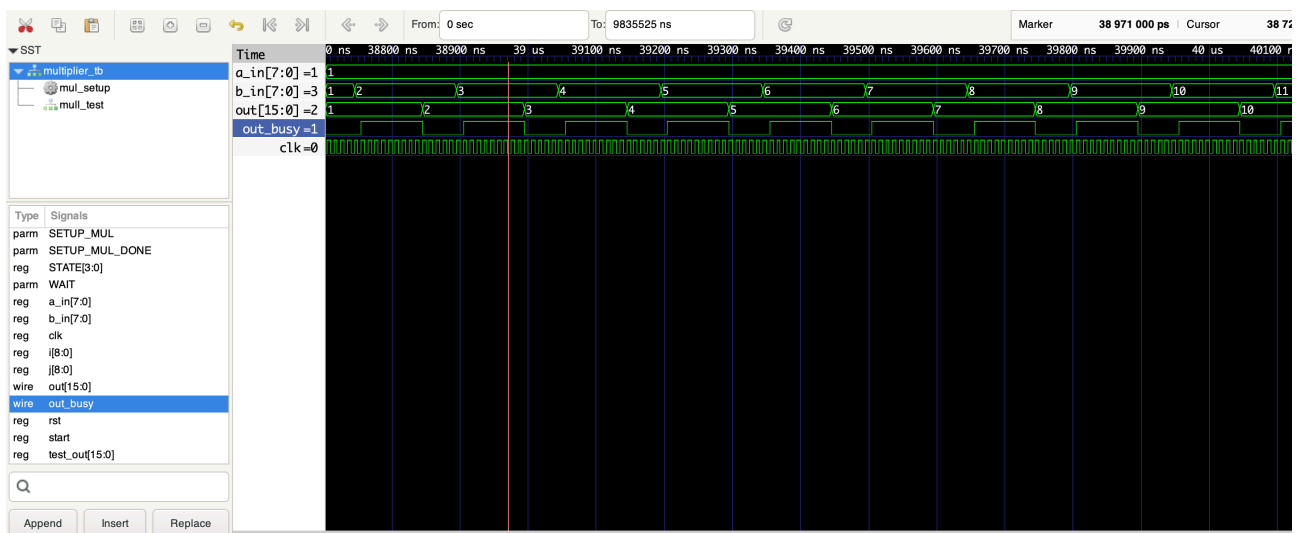


Рис4. Временная диаграмма тестирования умножителя

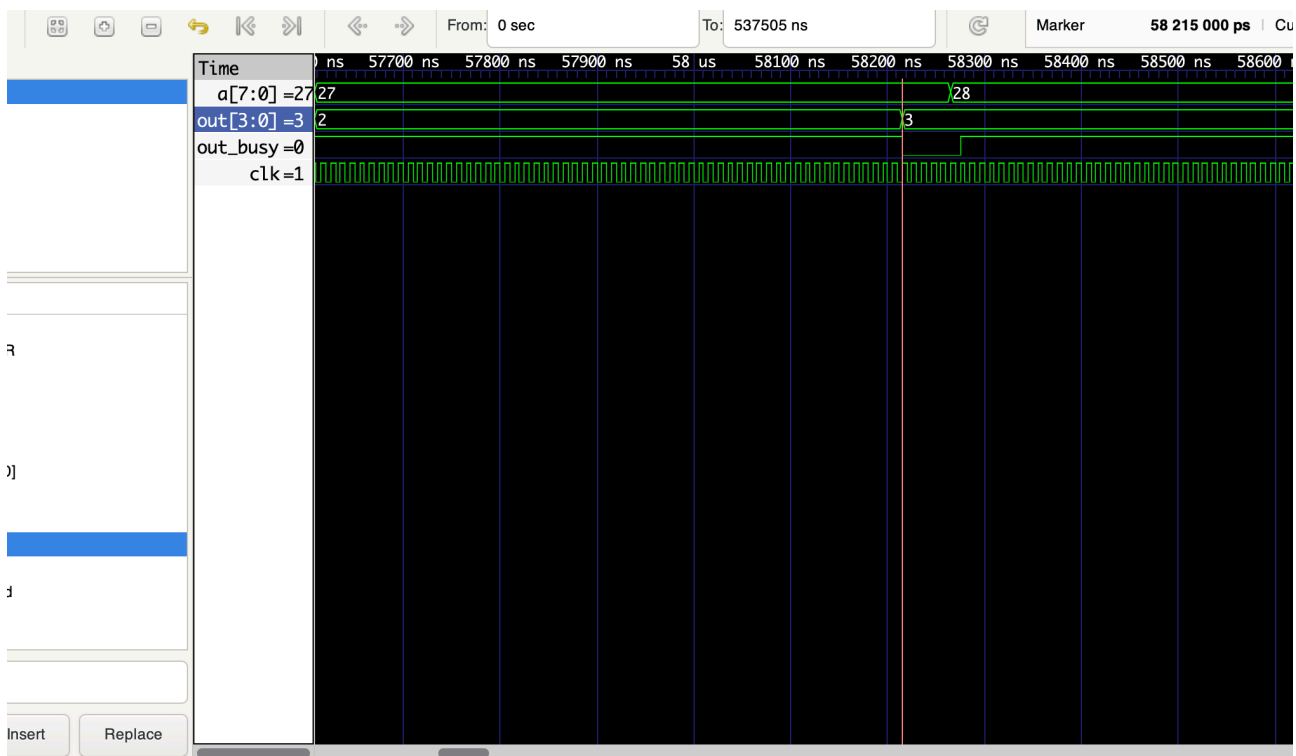


Рис5. Временная диаграмма тестирования кубического корня

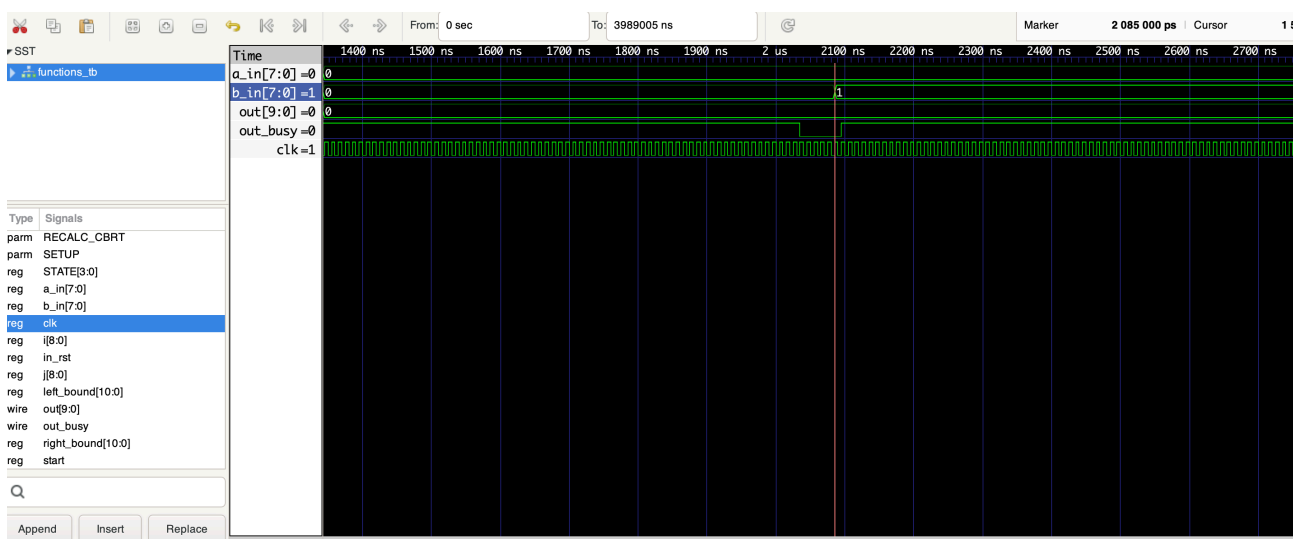


Рис6. Временная диаграмма тестирования основного модуля

Site Type	Used	Fixed	Available	Util%
Slice LUTs	303	0	63400	0.48
LUT as Logic	303	0	63400	0.48
Slice Registers	226	0	126800	0.18
Register as Flip Flop	226	0	126800	0.18
F7 Muxes	18	0	31700	0.06
F8 Muxes	1	0	15850	0.01

Таблица 1. Slice Logic.

Ref Name	Used	Functional Category
FDRE	226	Flop & Latch
LUT6	128	LUT
LUT5	98	LUT
LUT3	62	LUT
LUT4	41	LUT
LUT2	21	LUT
IBUF	19	IO
MUXF7	18	MuxFX
OBUF	17	IO
CARRY4	16	CarryLogic
LUT1	3	LUT
MUXF8	1	MuxFx
BUFG	1	Clock

Таблица 2. Primitives

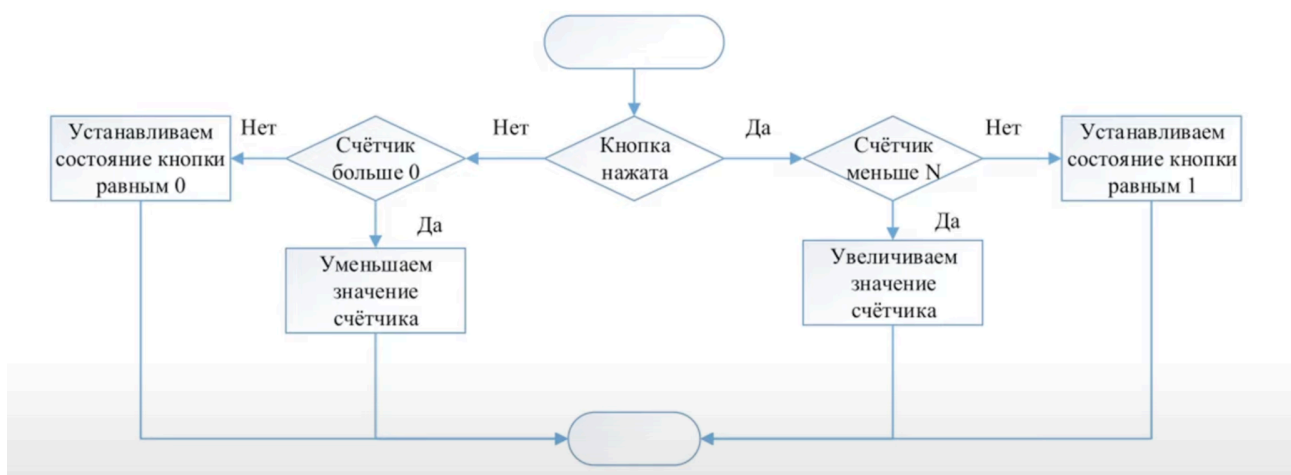
Site Type	Used	Fixed	Available	Util%
Bonded IOB	36	0	210	17.14

Таблица 3. IO and GT Specific

Site Type	Used	Fixed	Available	Util
BUFGCTRL	1	0	32	3.13

Таблица 4. Clocking

Дребезг контактов.



Вывод:

В данной лабораторной работе я научился размещать проекты на языке Verilog на учебных FPGA фирмы Xilinx.