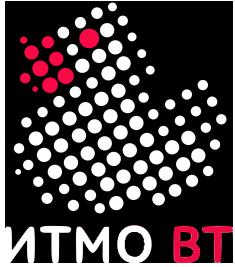




Университет ИТМО
Факультет ПИ и КТ

Лабораторная работа №1
По Дисциплине «Функциональная схемотехника».



Выполнил: Дробыш Дмитрий
Александрович
Группа: Р33082
Преподаватель: Кустарев Павел
Валерьевич

1. Цели работы.	3
2. Задание.	3
3. Выполнение части 1.	3
4. Выполнение части 2.	24
5. Выводы.	26

1. Цели работы.

- Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии CMOS.
- Получить опыт работы со SPICE технологией моделирования схем на транзисторах.
- Получить опыт написания схем базовых операционных элементов комбинационной логики на вентильном уровне при помощи языка описания аппаратуры Verilog HDL.

2. Задание.

Вариант 3.

Логический базис — NOR.

БОЭ — Мажоритарная система контроля (3+).

3. Выполнение части 1.

1. РАЗРАБОТКА ВЕНТИЛЯ.

VIN_1, VIN_2 - Входы.

$VOUT$ - Выход.

VDD - напряжение питания.

Использованы PMOS (2 штуки) транзисторы и NMOS (2 штуки) транзисторы.

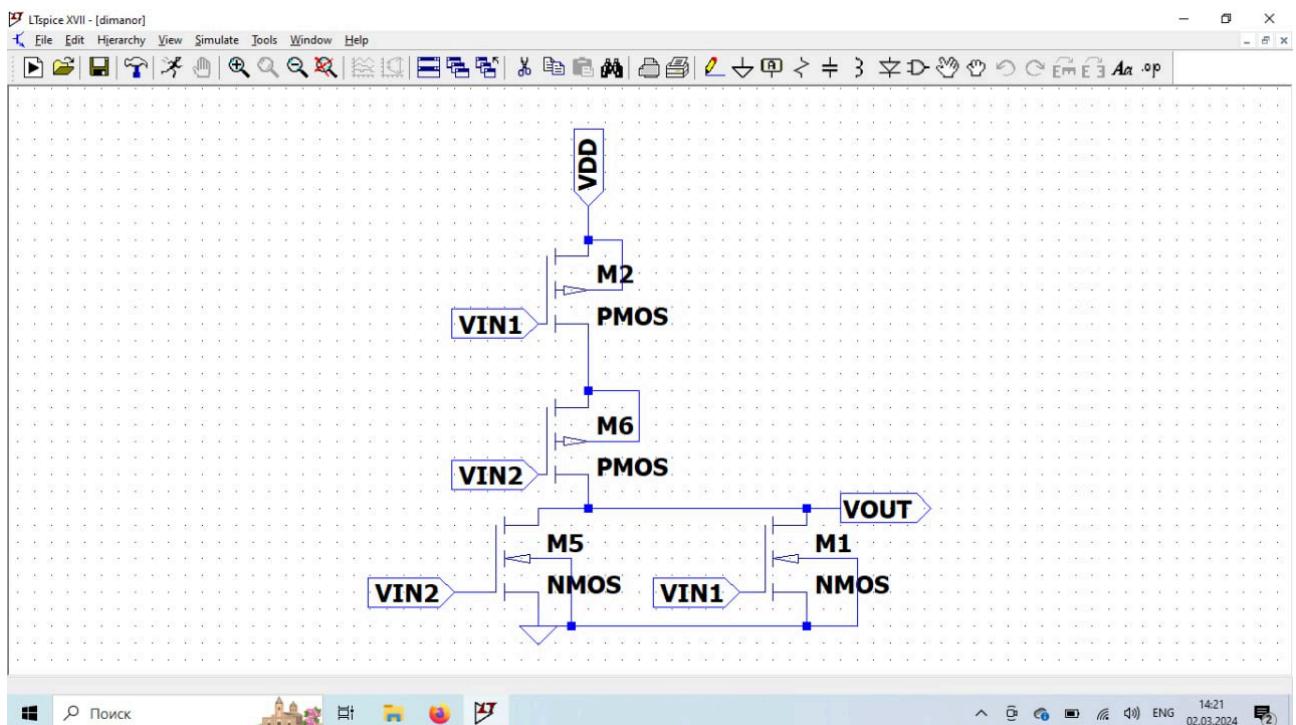


рис.1. Схема NOR.

2. РАЗРАБОТКА СИМВОЛА ДЛЯ NOR.

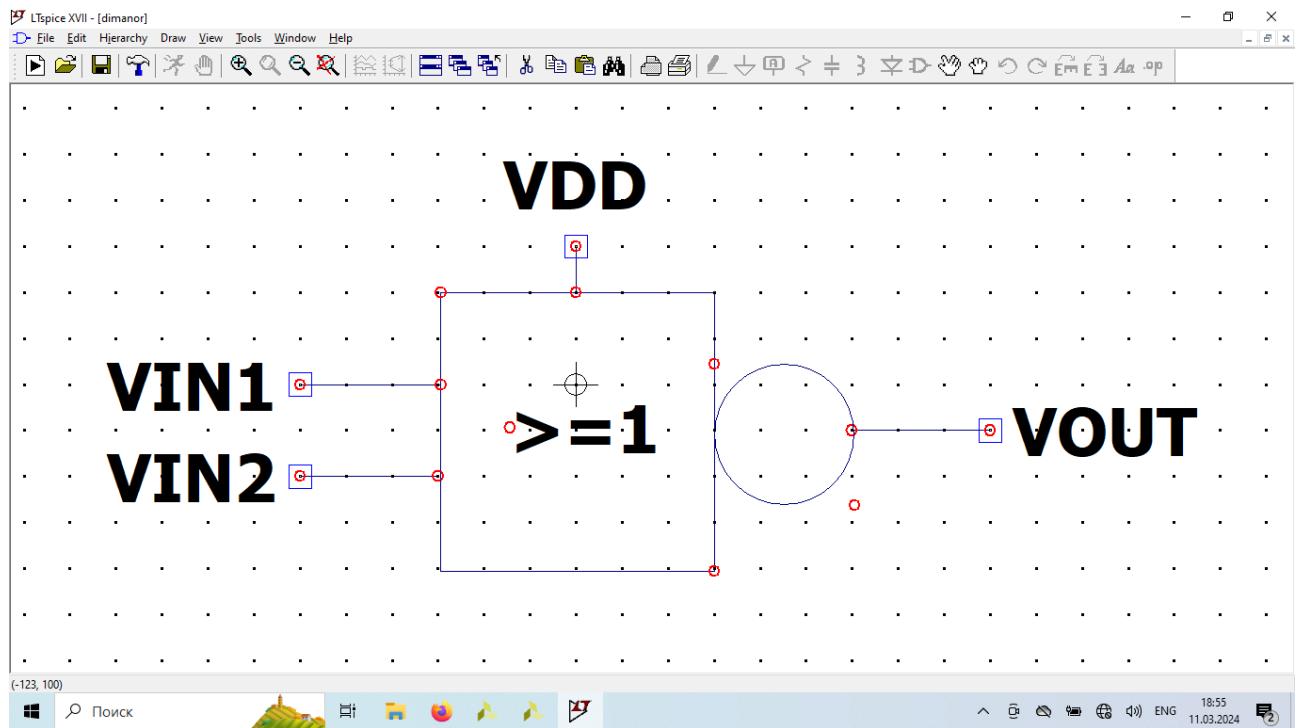


рис.2. Символ элемента NOR.

3. ТЕСТИРОВАНИЕ NOR.

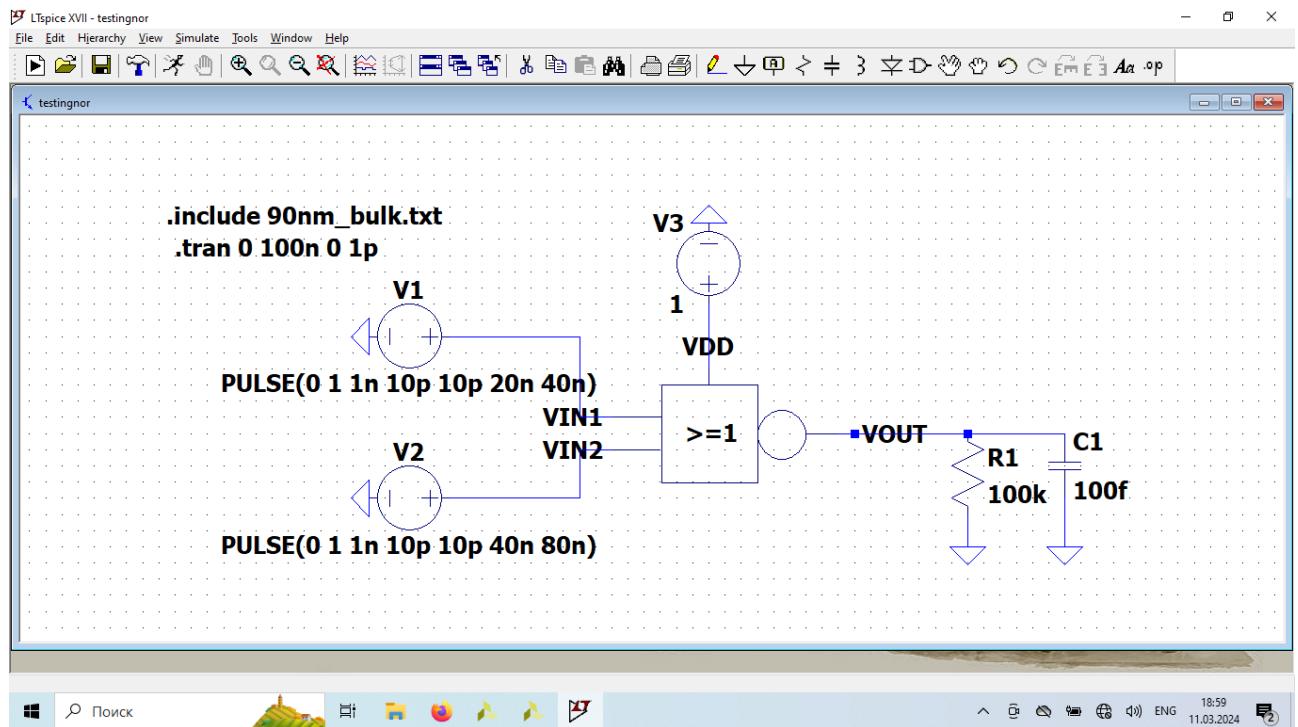


рис.3. Схема тестирования элемента NOR.

PULSE	V1	V2
$V_{initial}$ [V]	0	0
V_{on} [V]	1	1
T_{delay} [s]	1n	1n
T_{rise} [s]	10p	10p
T_{fall} [s]	10p	10p
T_{on} [s]	20n	40n
T_{period} [s]	40n	80n

Таблица 0. Значения Voltage

$R1, C1$ - Сопротивление резистора и емкость конденсатора. Необходимы для создания «реальных» условий. (имитация задержек)

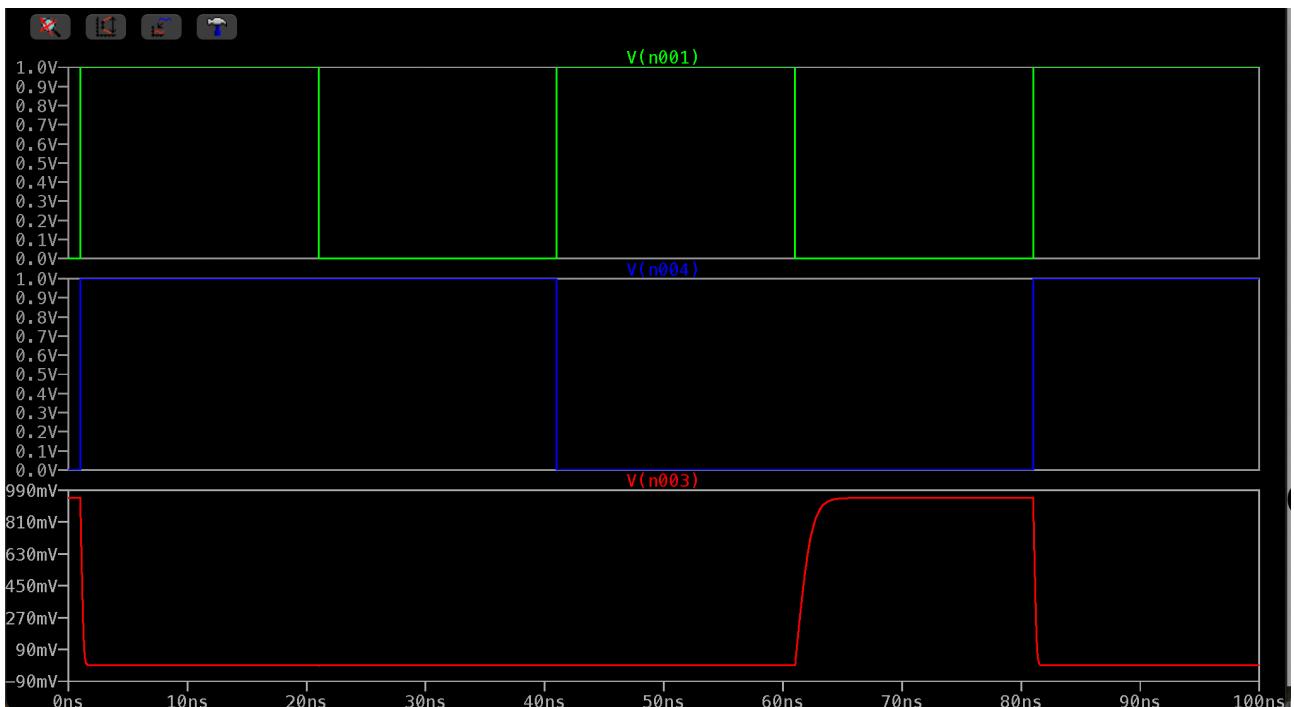


рис.4. Результат работы теста NOR.

1B – Соответствует логической «1», 0B – Соответствует логическому «0». Тест отработал с таким результатом:

0 0 → 1

0 1 → 0

1 0 → 0

$1 \ 1 \rightarrow 0$

Такое поведение соответствует логической функции NOR, это значит, что вентиль работает корректно.

4. ДЛИТЕЛЬНОСТИ И ЗАДЕРЖКИ У ЭЛЕМЕНТА NOR.

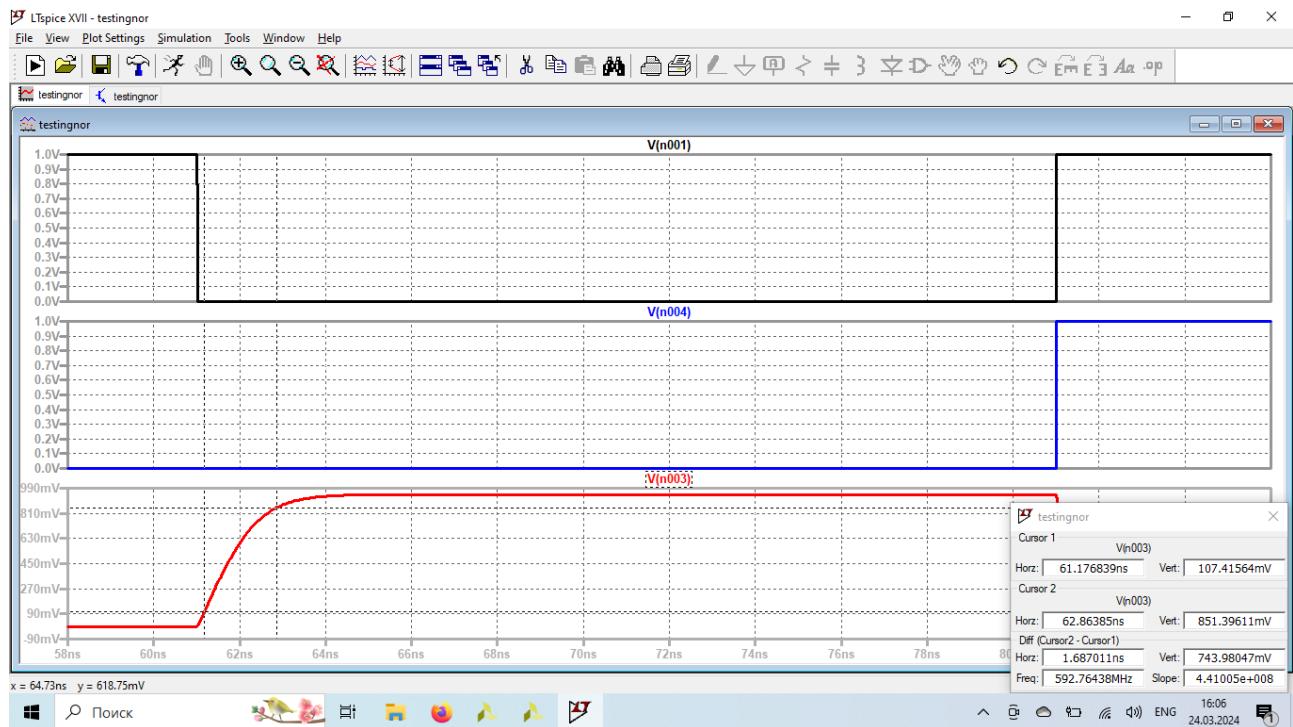


рис.5. Длительность фронта NOR.

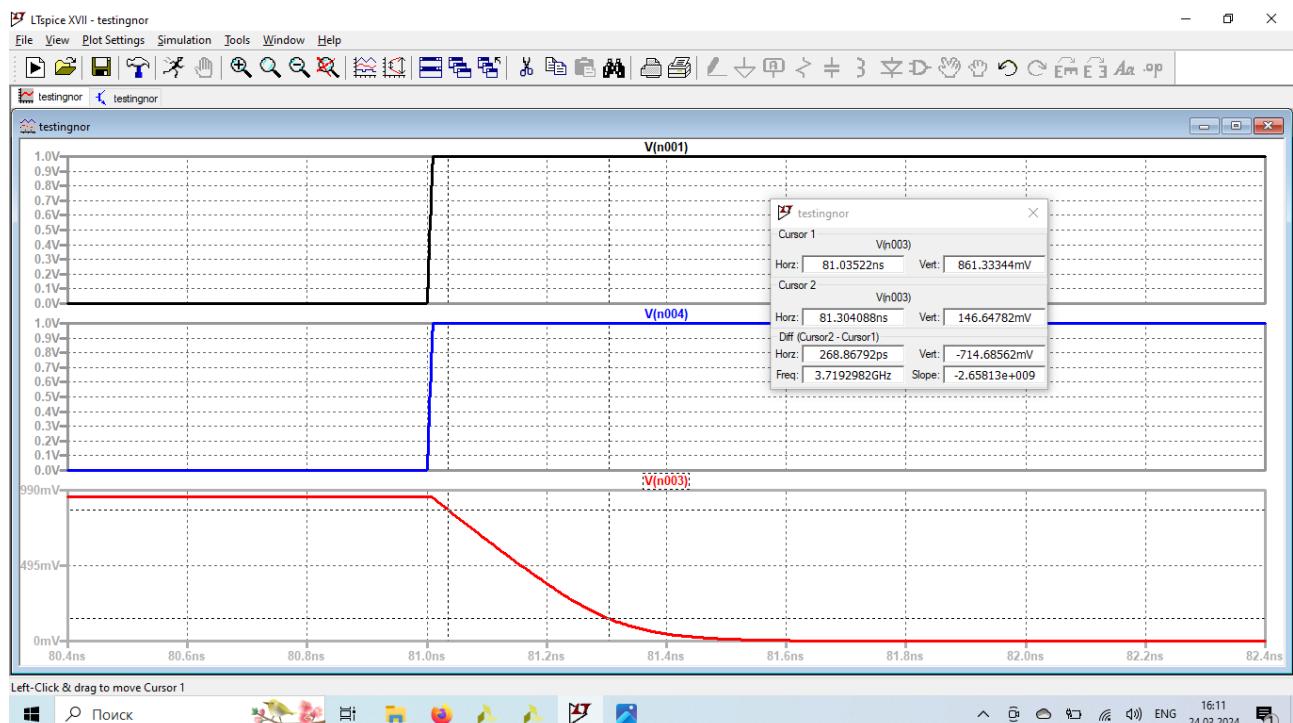


рис.6. Длительность спада NOR.

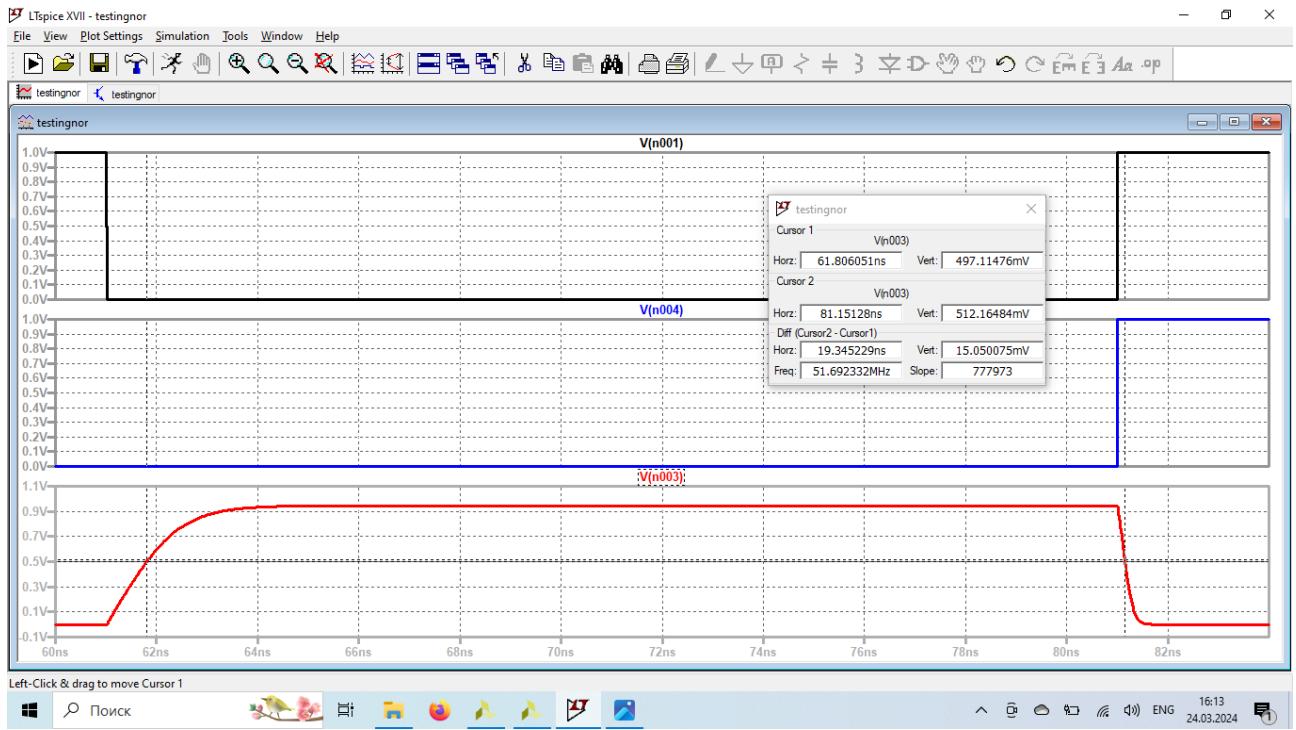


рис.7. Длительность импульса NOR.

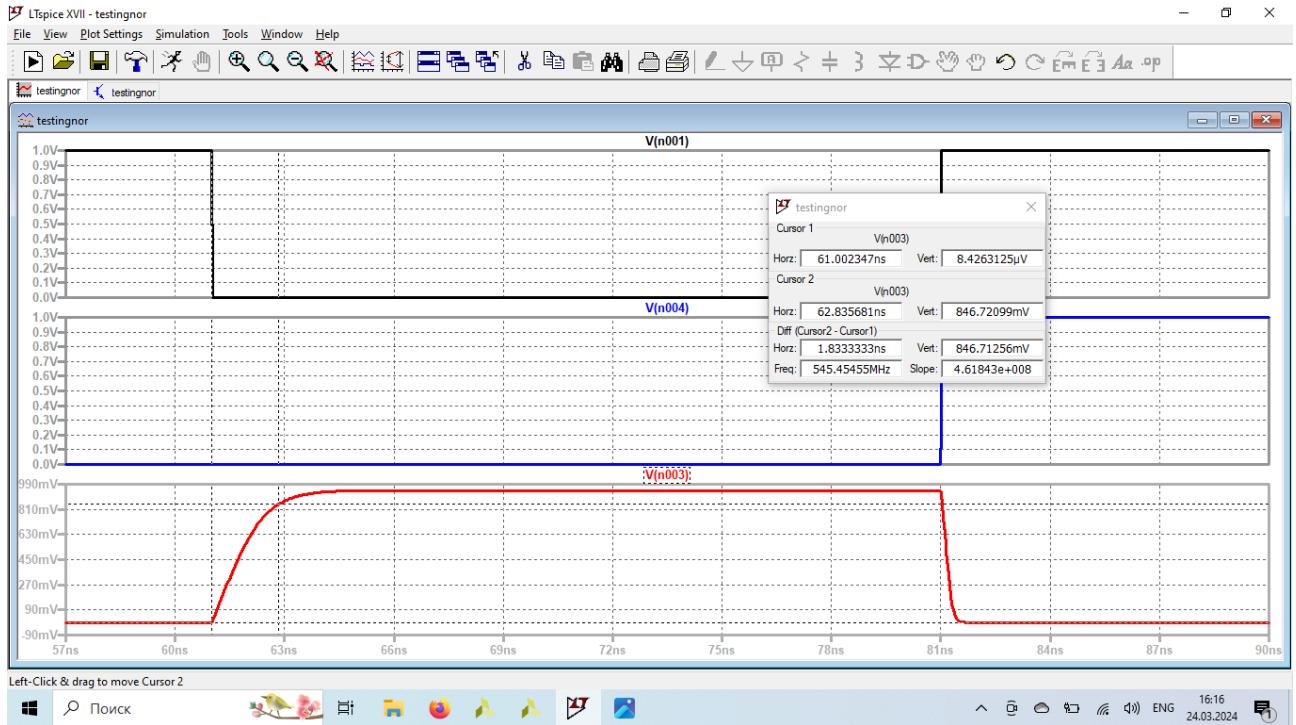


рис.8. Задержка распространения по фронту NOR.

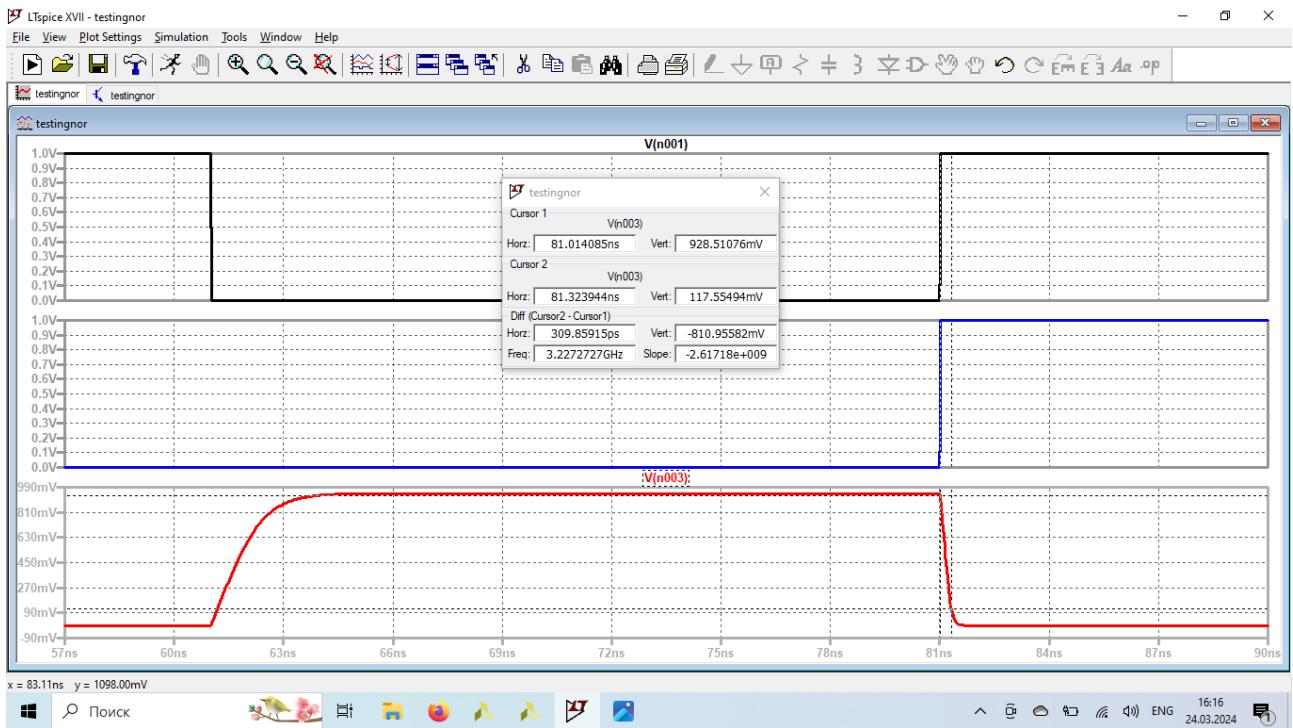


рис.9. Задержка распространения по спаду NOR.

Величина	T1, ns	T2, ns	Result, ns
Длительность фронта NOR	61,2	62,9	1,7
Длительность спада NOR	81,0	81,3	0,3
Длительность импульса NOR	61,8	81,2	19,4
Задержка распространения по фронту	61,0	62,8	1,8
Задержка распространения по спаду	81,0	81,3	0,3

таблица 1. Задержки и длительности элемента NOR.

Max frequency	MHz
$f_{max} = \frac{1}{T_{front} + T_{recession}}$	476,2

5. РАЗРАБОТКА БОЭ (МАЖОРИТАРНАЯ СИСТЕМА КОНТРОЛЯ).

Необходимо выбрать 3 или больше (любых) элемента из 5, чтобы элемент вернул 1. В противном случае - меньшее 3х (любых).

Система имеет 5 входов: 1, 2, 3, 4, 5.

Определим следующие множества:

$$A = \{1, 2\}$$

$$B = \{3, 4\}$$

$$C = \{5\}$$

Тогда систему можно описать следующим логическим выражением:

$$f(a_1, a_2, b_1, b_2, c) = ((a_1 \wedge a_2 \wedge (b_1 \vee b_2 \vee c)) \vee (b_1 \wedge b_2 \wedge (a_1 \vee a_2 \vee c)) \vee ((a_1 \vee a_2) \wedge (b_1 \vee b_2) \wedge c)).$$

Где $a_1, a_2 \in A; b_1, b_2 \in B; c \in C$.

Такая форма является слишком сложной, поэтому функция была упрощена: Для проверки использовался сайт: <https://programforyou.ru/calculators/postroenie-tablitci-istinnosti-sknf-sdnf>

Минимизированная ДНФ:

$$f(a_1, a_2, b_1, b_2, c) = (a_1 \wedge a_2 \wedge b_1) \vee (a_1 \wedge a_2 \wedge b_2) \vee (a_1 \wedge a_2 \wedge c) \vee (a_1 \wedge b_1 \wedge b_2) \vee (a_1 \wedge b_1 \wedge c) \vee (a_1 \wedge b_2 \wedge c) \vee (a_2 \wedge b_1 \wedge b_2) \vee (a_2 \wedge b_1 \wedge c) \vee (a_2 \wedge b_2 \wedge c) \vee (b_1 \wedge b_2 \wedge c)$$

Минимизированная КНФ:

$$f(a_1, a_2, b_1, b_2, c) = (a_1 \vee a_2 \vee b_1) \wedge (a_1 \vee a_2 \vee b_2) \wedge (a_1 \vee a_2 \vee c) \wedge (a_1 \vee b_1 \vee b_2) \wedge (a_1 \vee b_1 \vee c) \wedge (a_1 \vee b_2 \vee c) \wedge (a_2 \vee b_1 \vee b_2) \wedge (a_2 \vee b_1 \vee c) \wedge (a_2 \vee b_2 \vee c) \wedge (b_1 \vee b_2 \vee c)$$

Формула требует элементы отличные от NOR, но NOR является базисом, следовательно необходимо его придерживаться. Решение — вывод необходимых элементов через NOR.

$$NOR(a, a) = \overline{(a \vee a)} = \overline{a} = NOT(a)$$

$$NOT(NOR(a, b)) = \overline{(\overline{a} \vee \overline{b})} = (\overline{a} \wedge \overline{b}) = (a \vee b) = OR(a, b)$$

$$NOR(NOT(a), NOT(B)) = \overline{(\overline{a} \vee \overline{b})} = (a \wedge b) = AND(a, b)$$

6. РАЗРАБОТКА БОЭ (ДОПОЛНИТЕЛЬНЫЕ ЭЛЕМЕНТЫ).

Имплементация NOT:

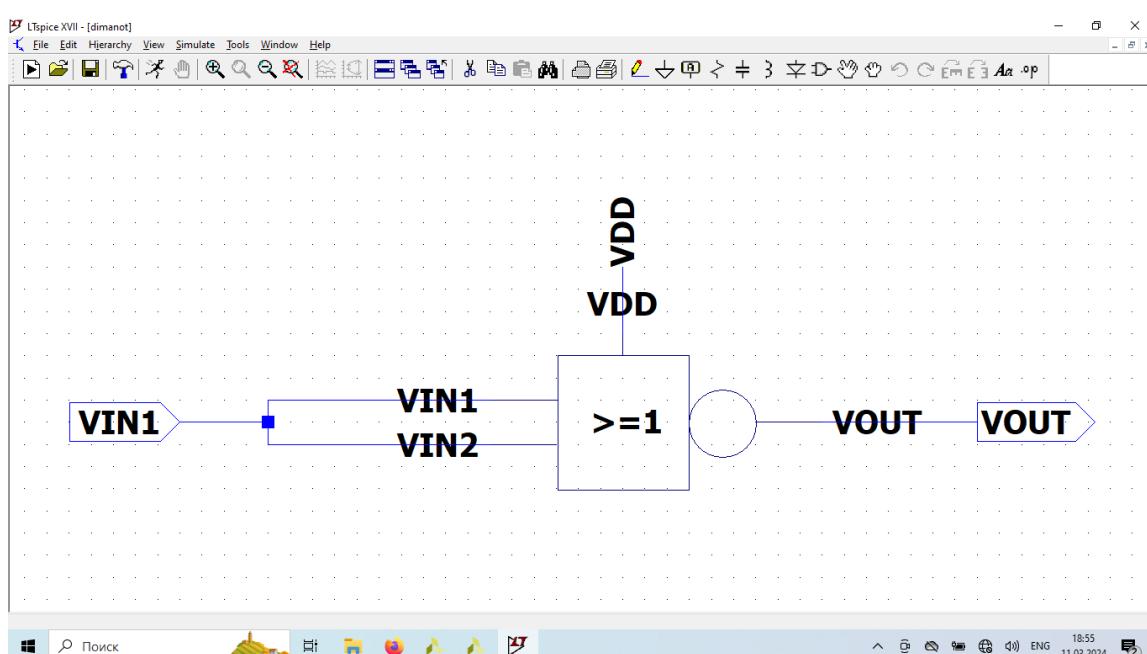


рис.10. Схема элемента NOT.

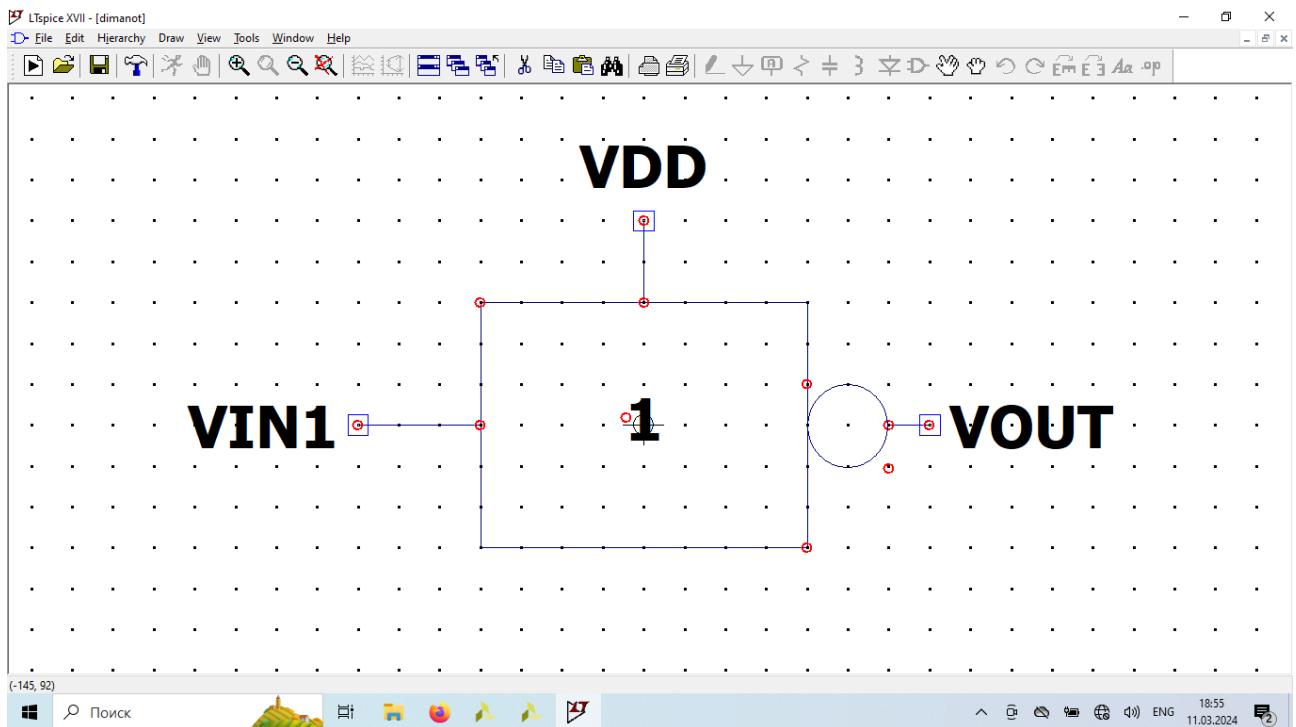


рис.11. Символ элемента NOT.

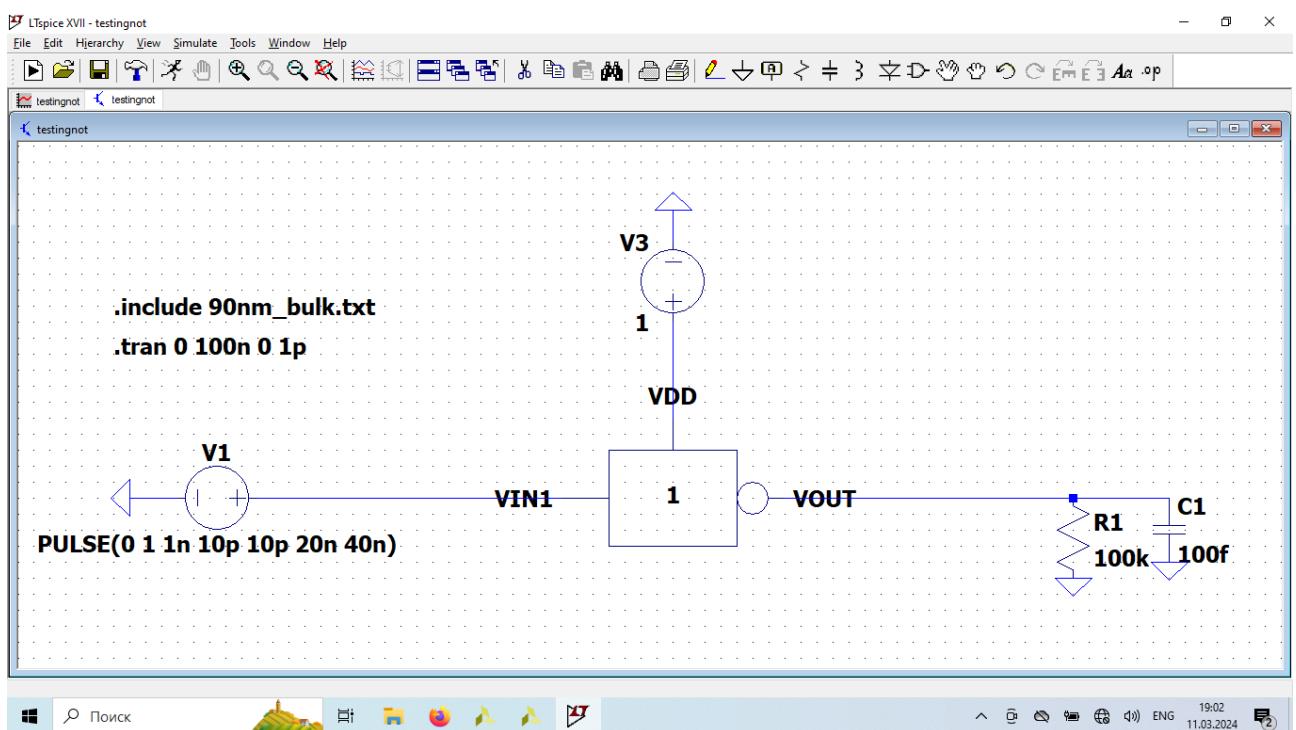


рис.12. Схема тестирования элемента NOT.

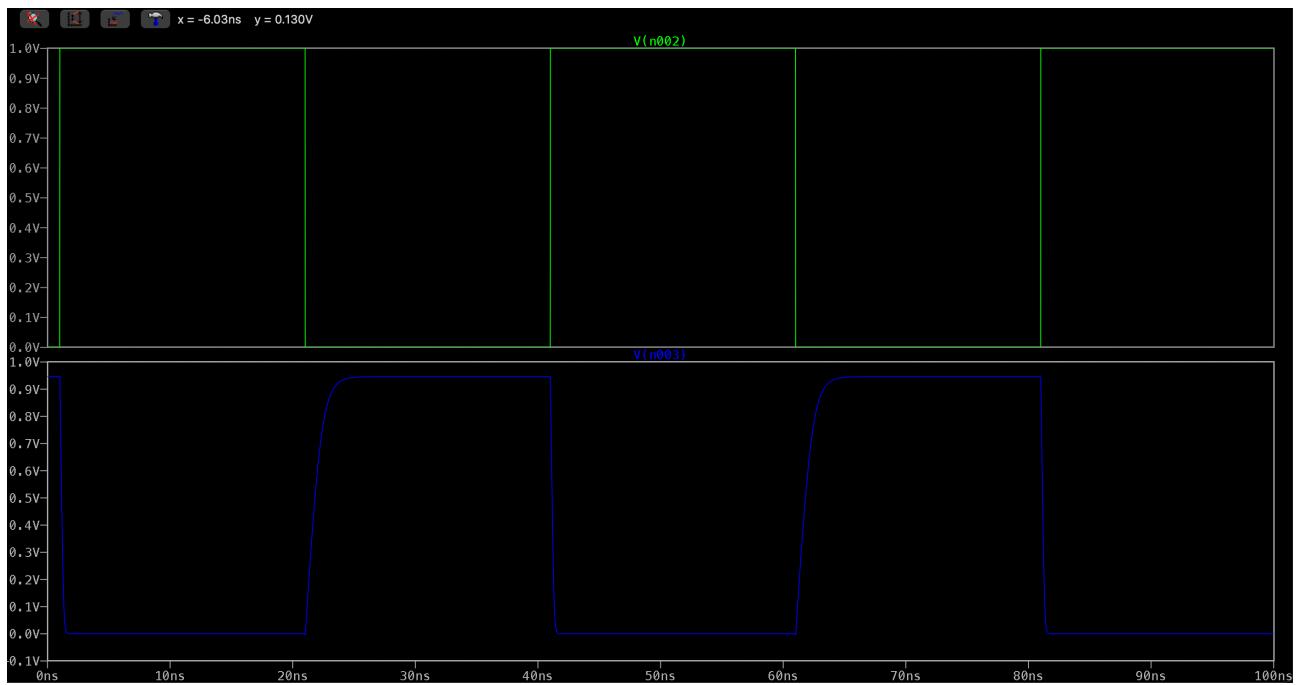


рис.13. Тестирование элемента NOT.

Тест отработал с таким результатом:

$1 \rightarrow 0$

$0 \rightarrow 1$

Такое поведение соответствует логической функции NOT, это значит, что вентиль работает корректно.

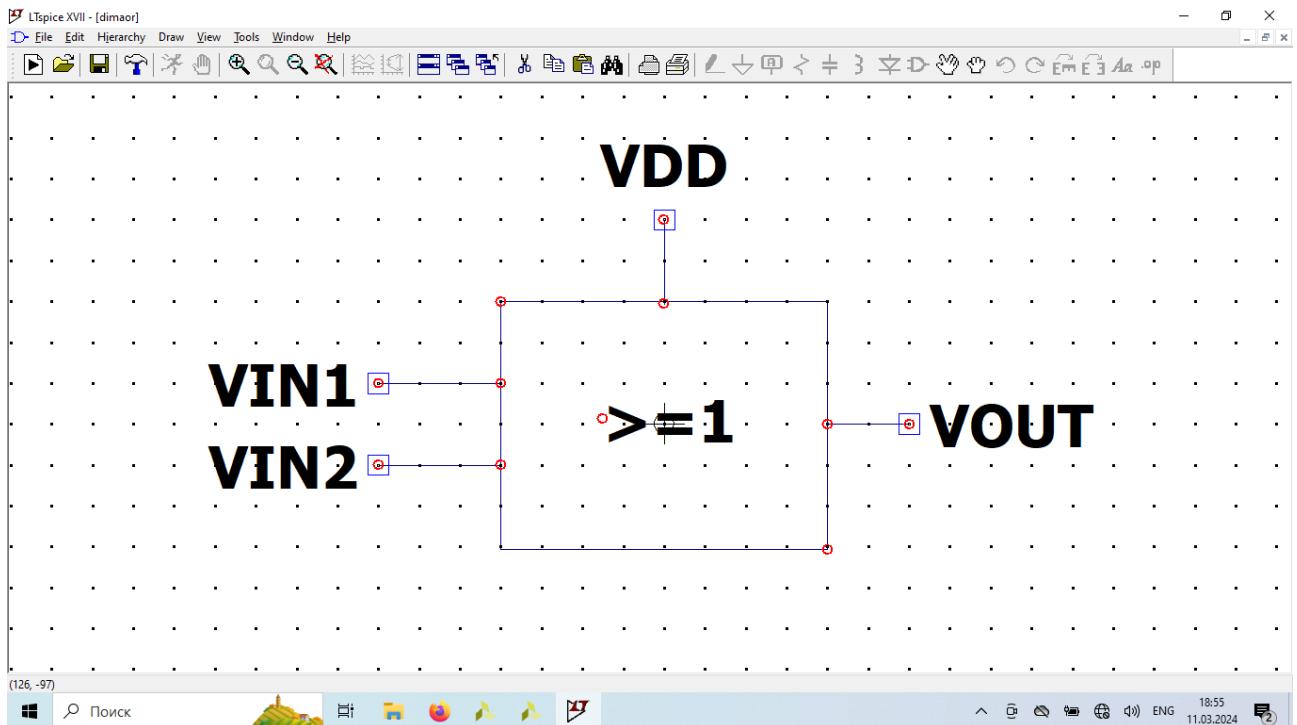


рис.14. Символ элемента OR.

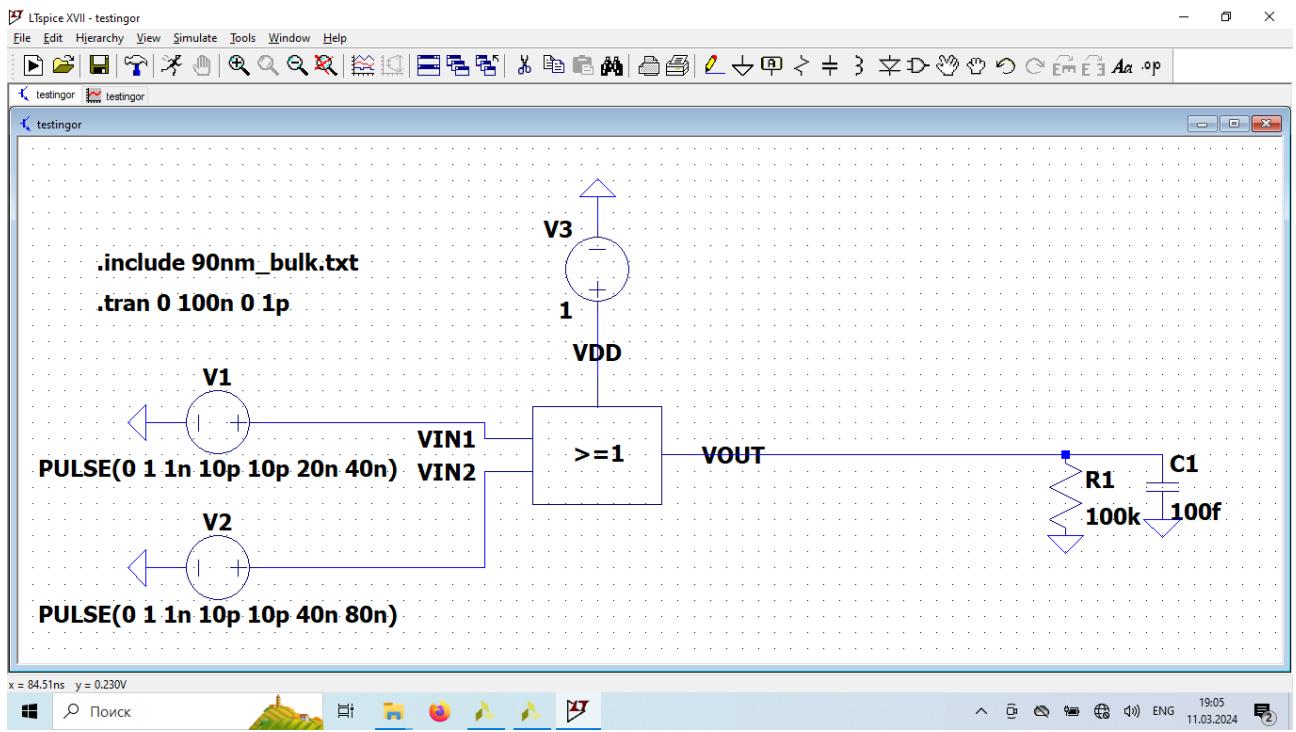


рис.15. Схема тестирования элемента OR.

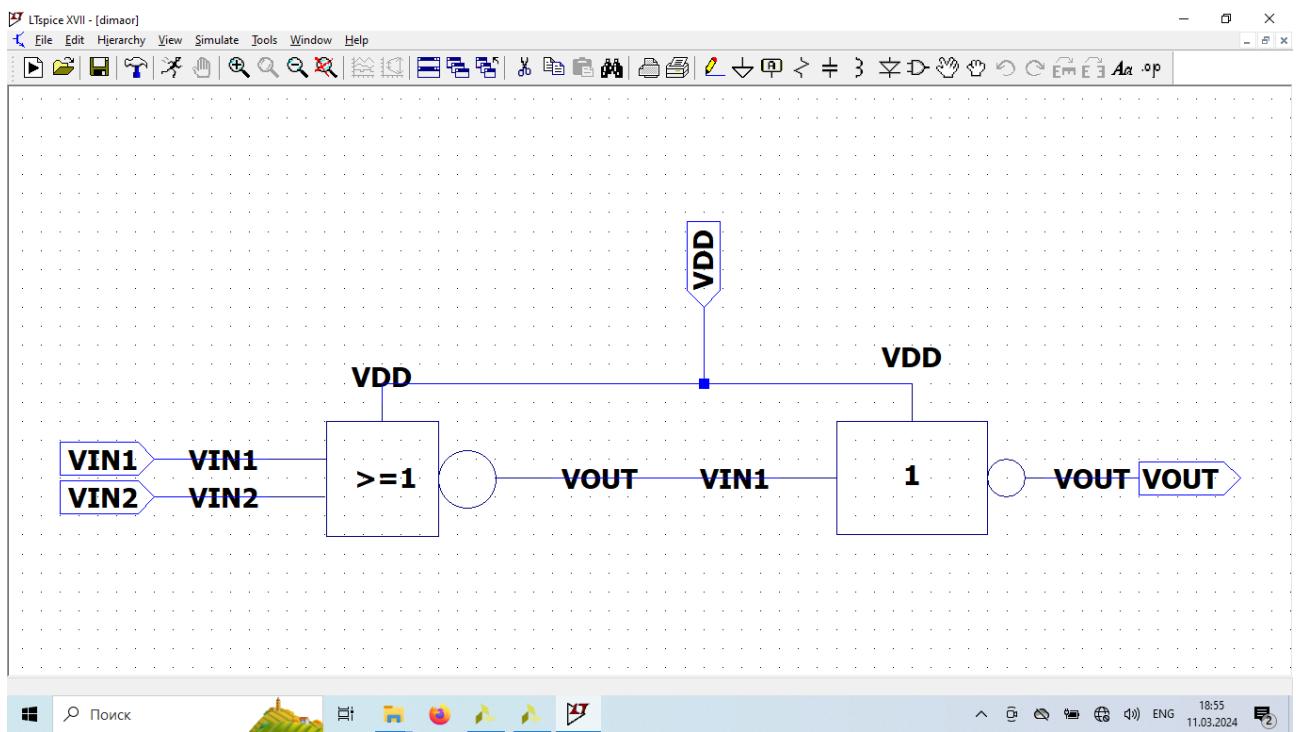


рис.16. Схема элемента OR.

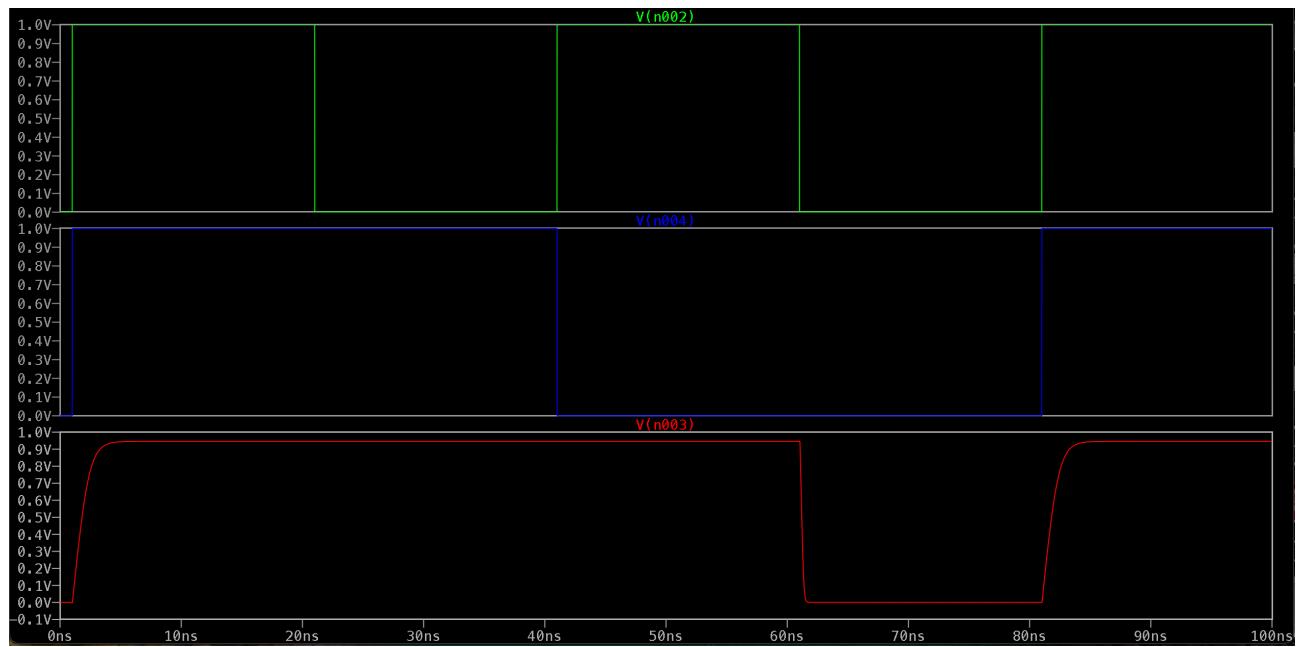


рис.17. Результат тестирования элемента OR.

Тест отработал с таким результатом:

$0\ 0 \rightarrow 0$
 $0\ 1 \rightarrow 1$
 $1\ 0 \rightarrow 1$
 $1\ 1 \rightarrow 1$

Такое поведение соответствует логической функции OR, это значит, что вентиль работает корректно.

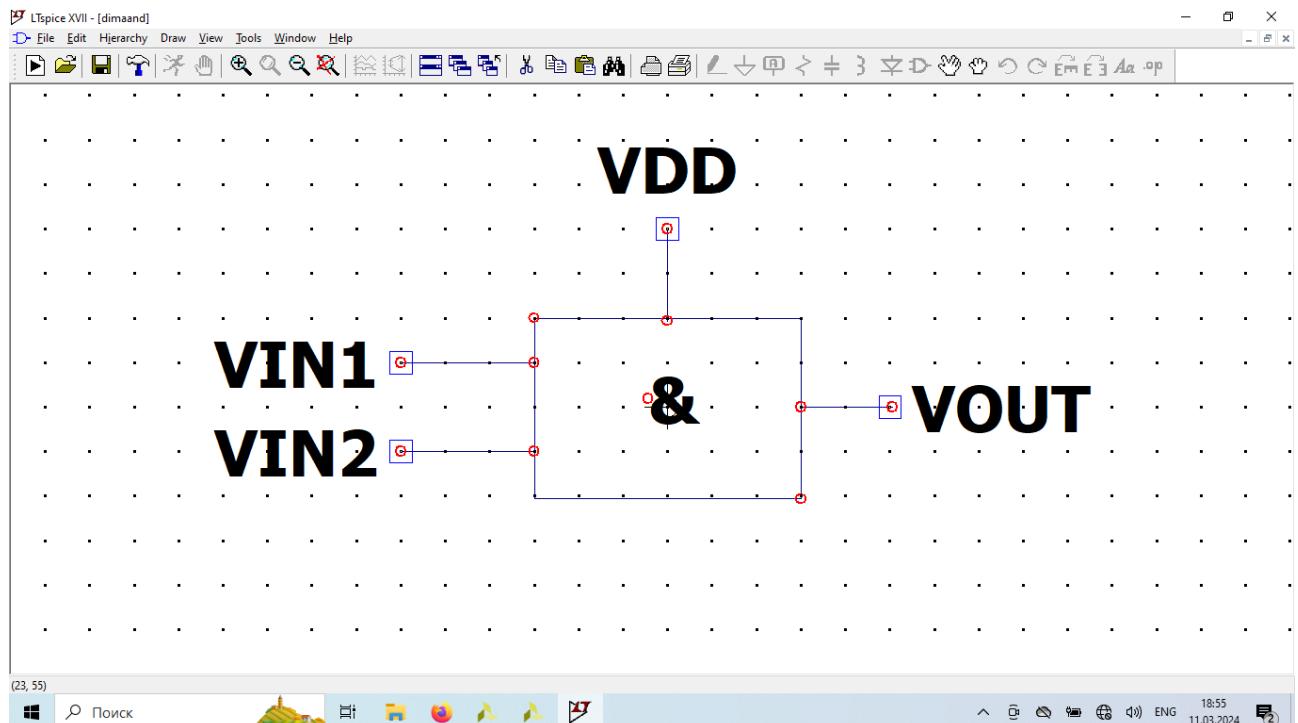


рис.18. Символ элемента AND.

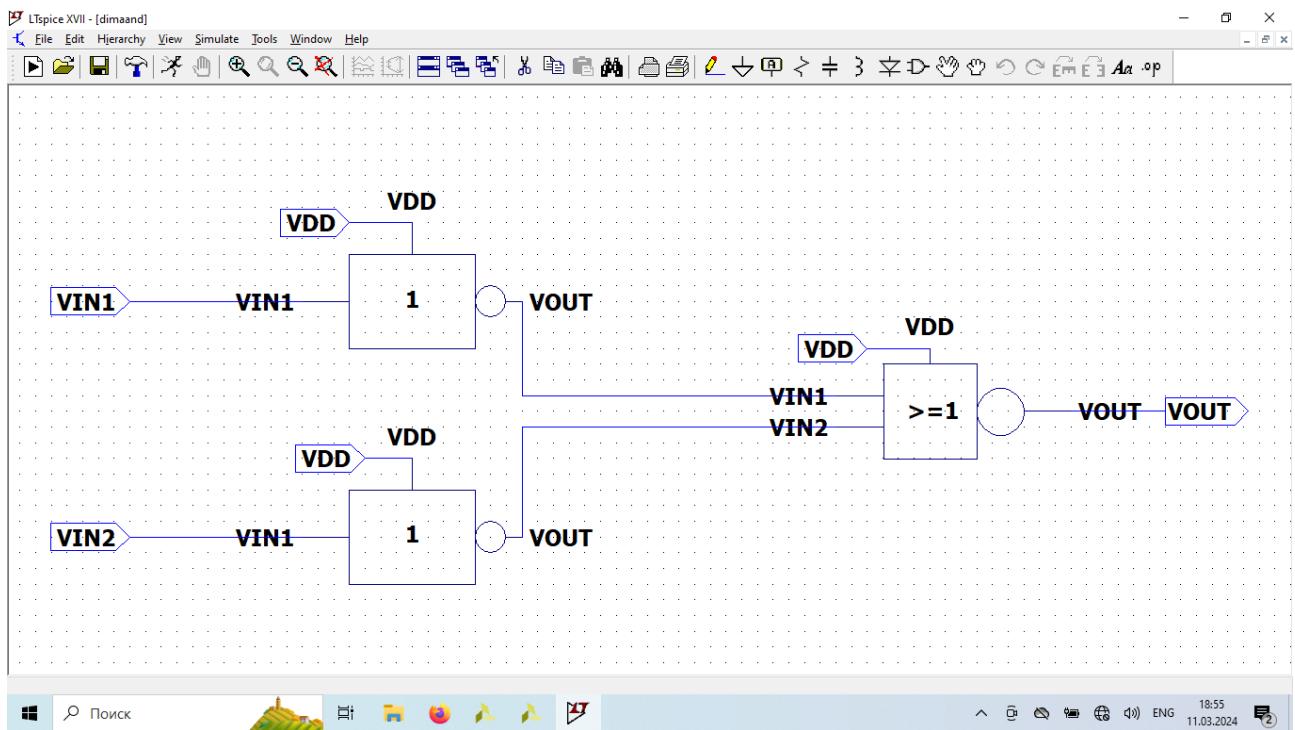


рис.19. Схема элемента AND.

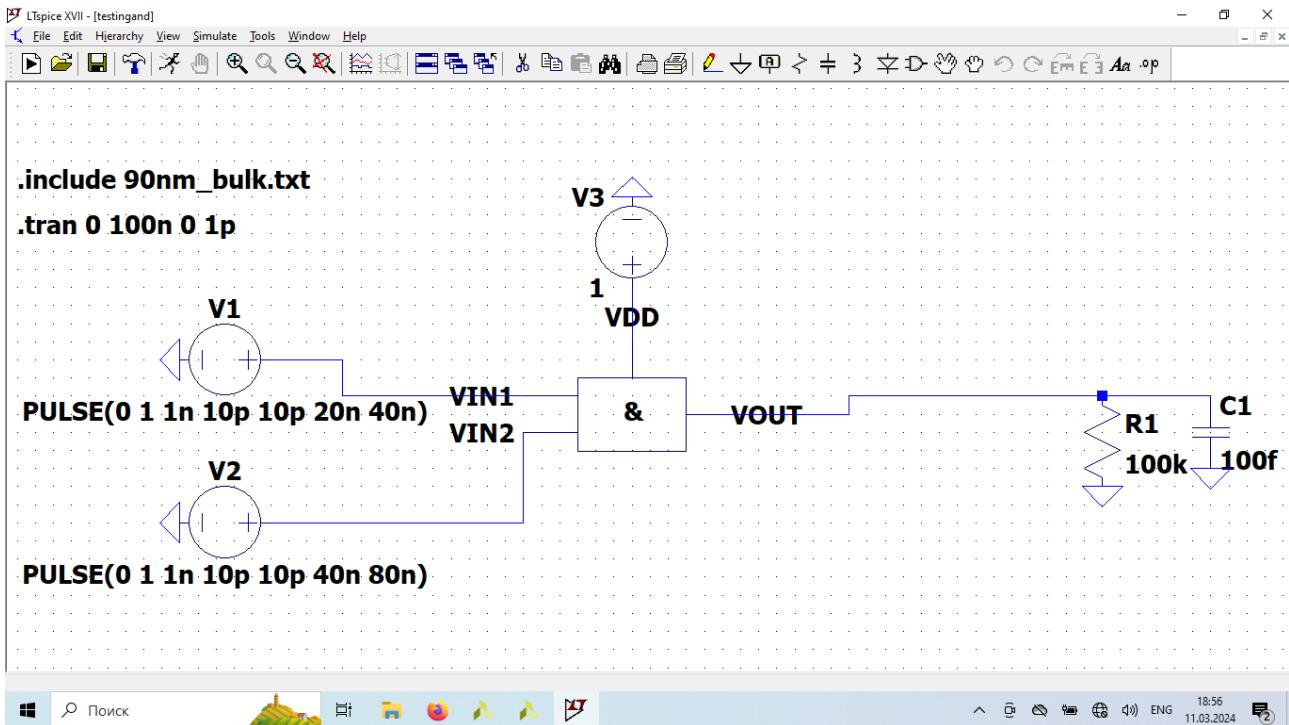


рис.20. Схема тестирования элемента AND.

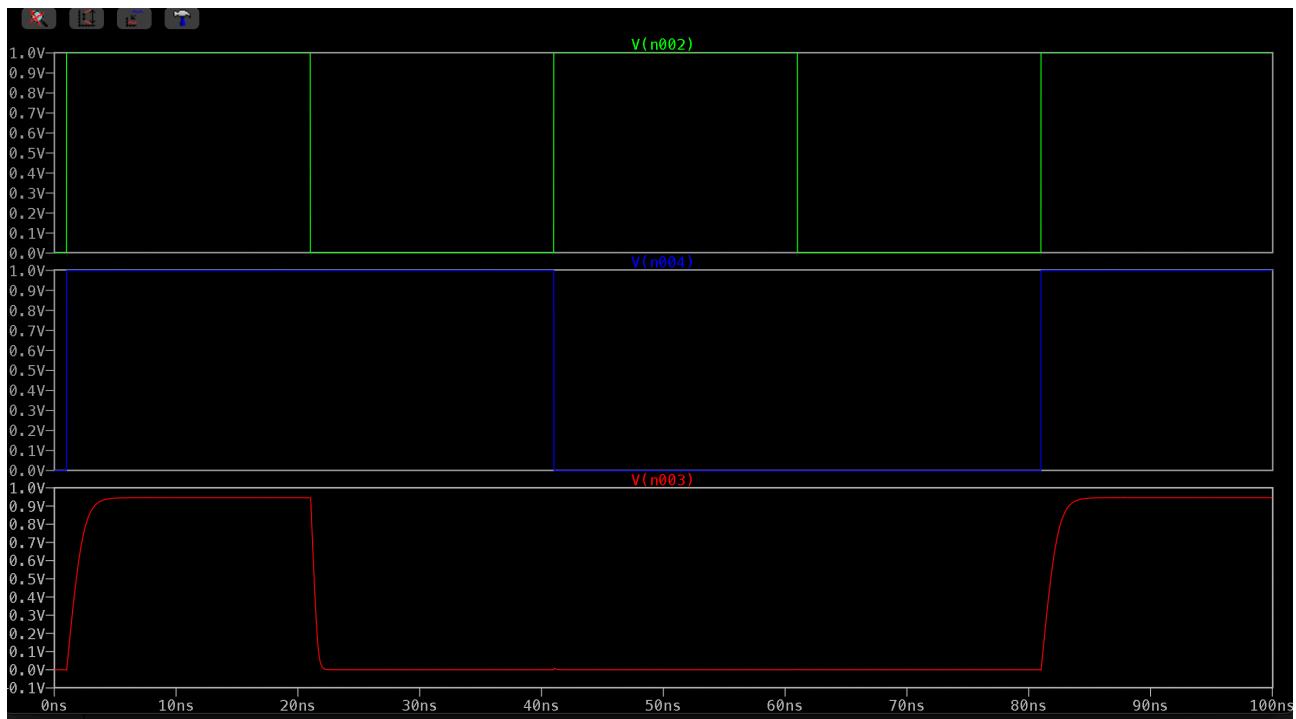


рис.21. Результат тестирования элемента AND.

Тест отработал с таким результатом:

$0\ 0 \rightarrow 0$

$0\ 1 \rightarrow 0$

$1\ 0 \rightarrow 0$

$1\ 1 \rightarrow 1$

Такое поведение соответствует логической функции AND, это значит, что вентиль работает корректно.

Для написания функции необходимо реализовать функцию TripleAND(a, b, c):

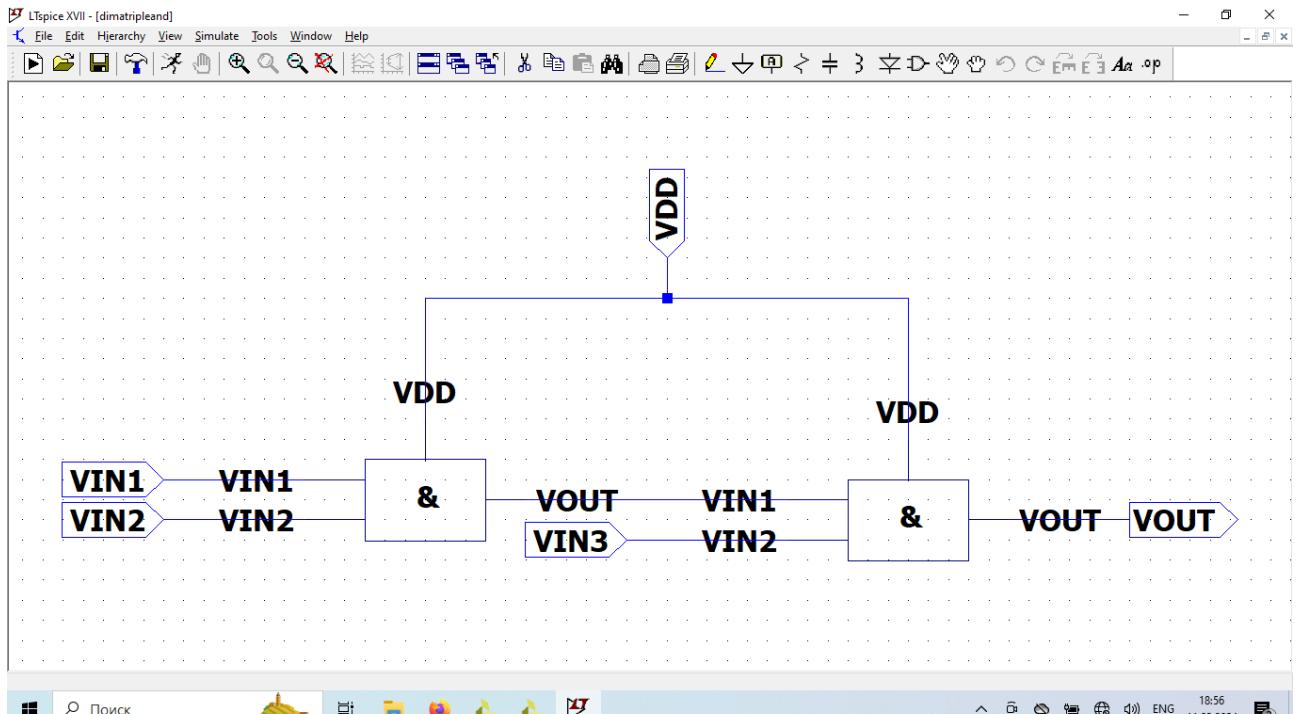


рис.22. Схема элемента TripleAnd.

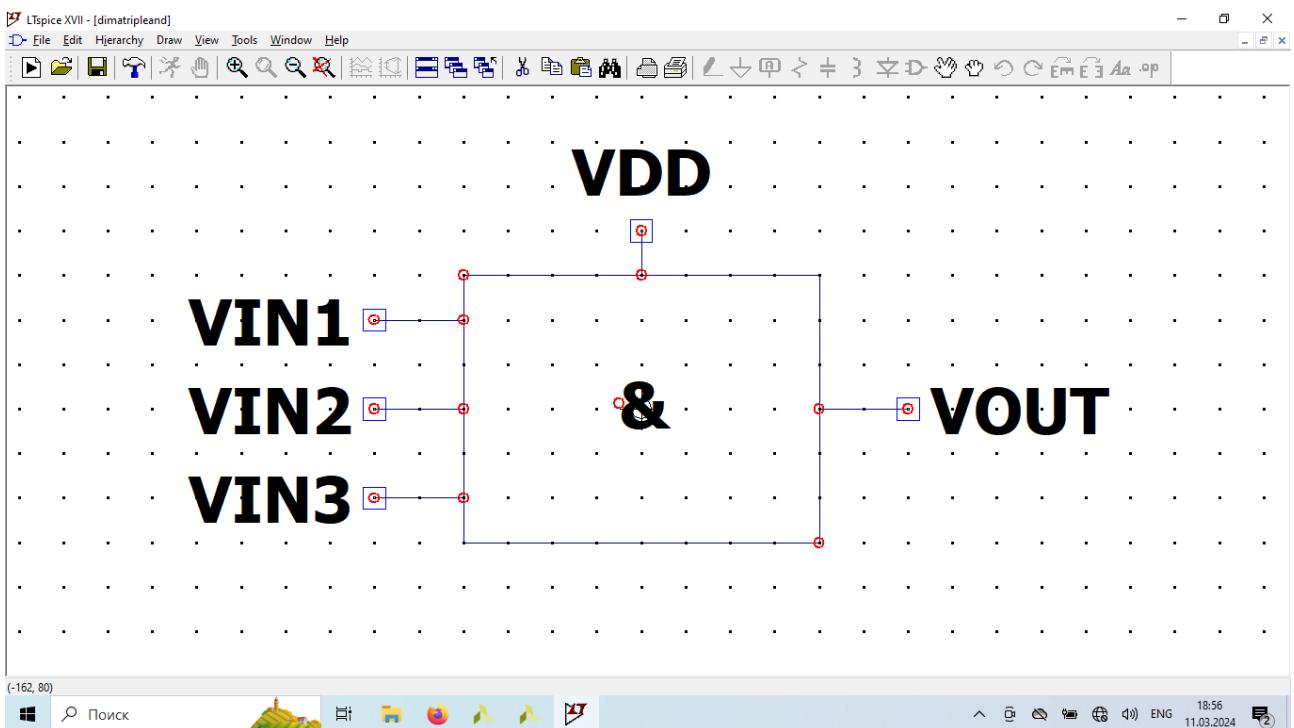


рис.23. Символ элемента TripleAND.

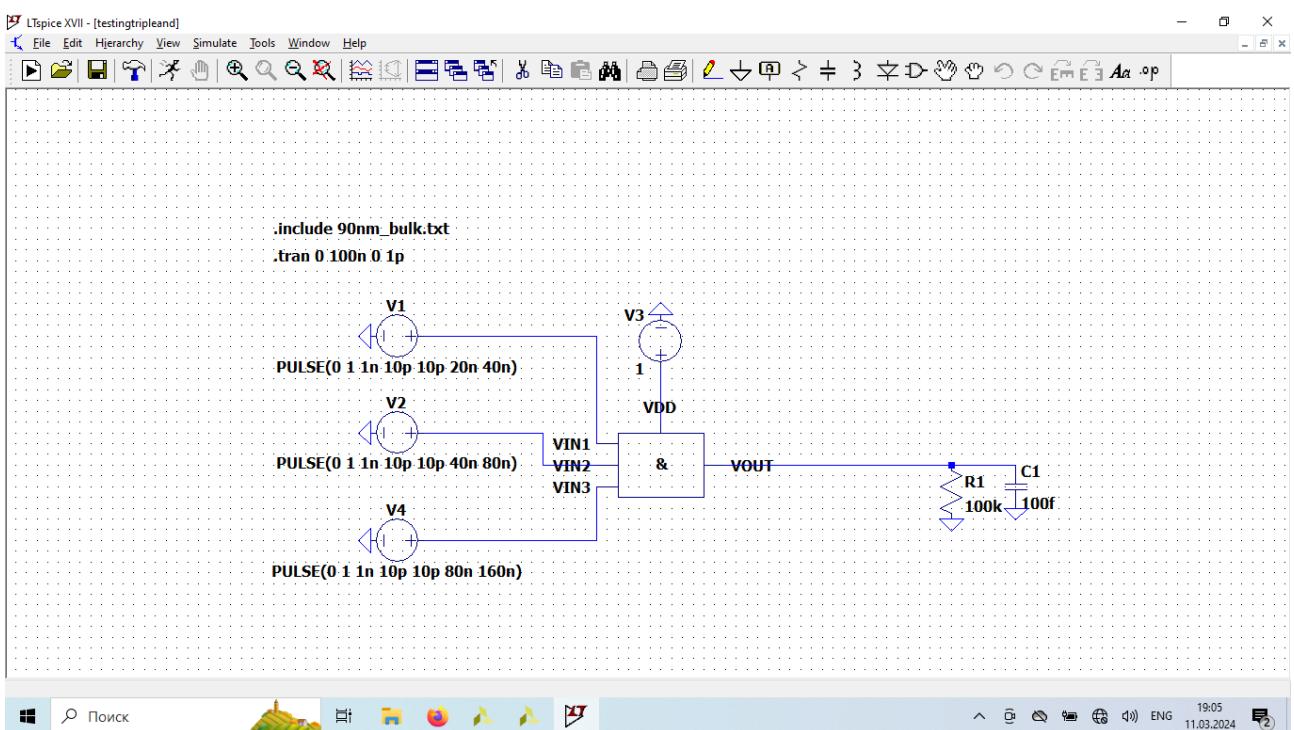


рис.24. Схема тестирования элемента TripleAnd.

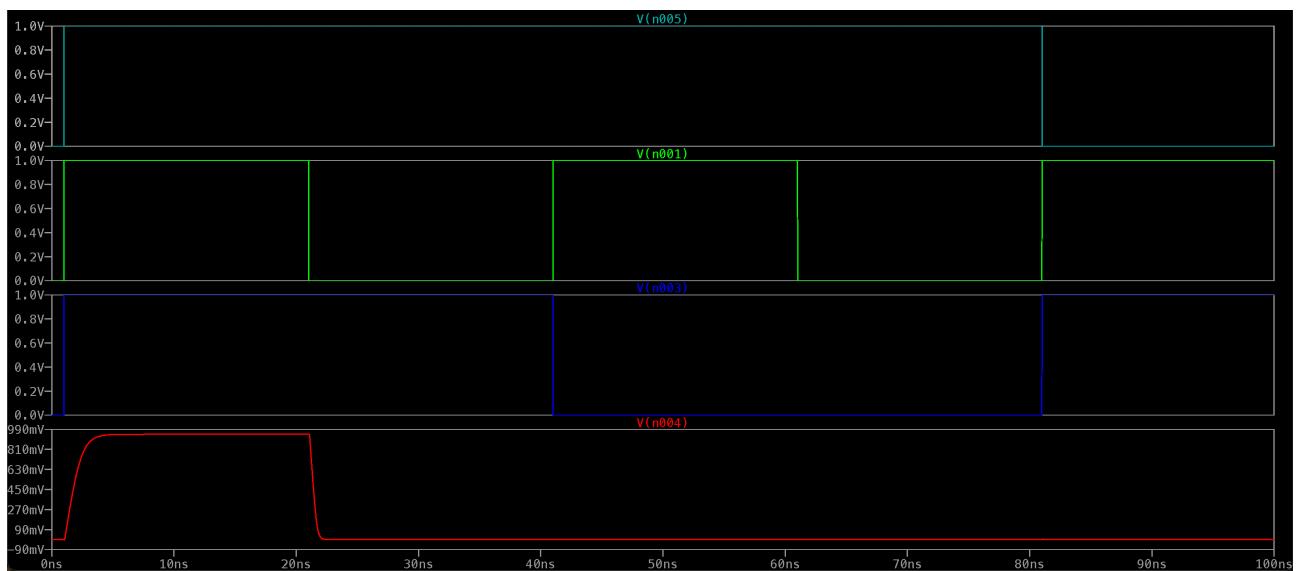


рис.25. Результат тестирования элемента TRIPLEAND.

Результат соответствует ожидаемому. Значит, элемент отработал корректно.

Для написания функции необходимо реализовать функцию TenOR.

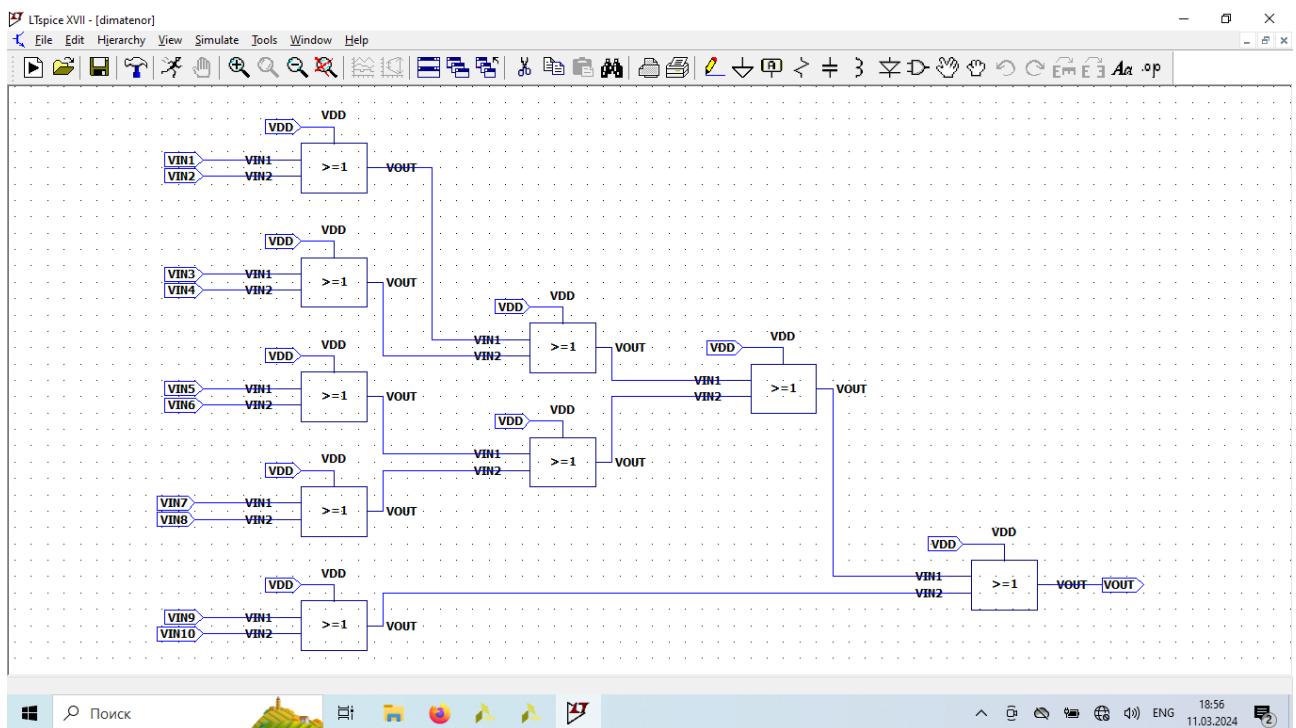


рис.26. Схема элемента TENOR.

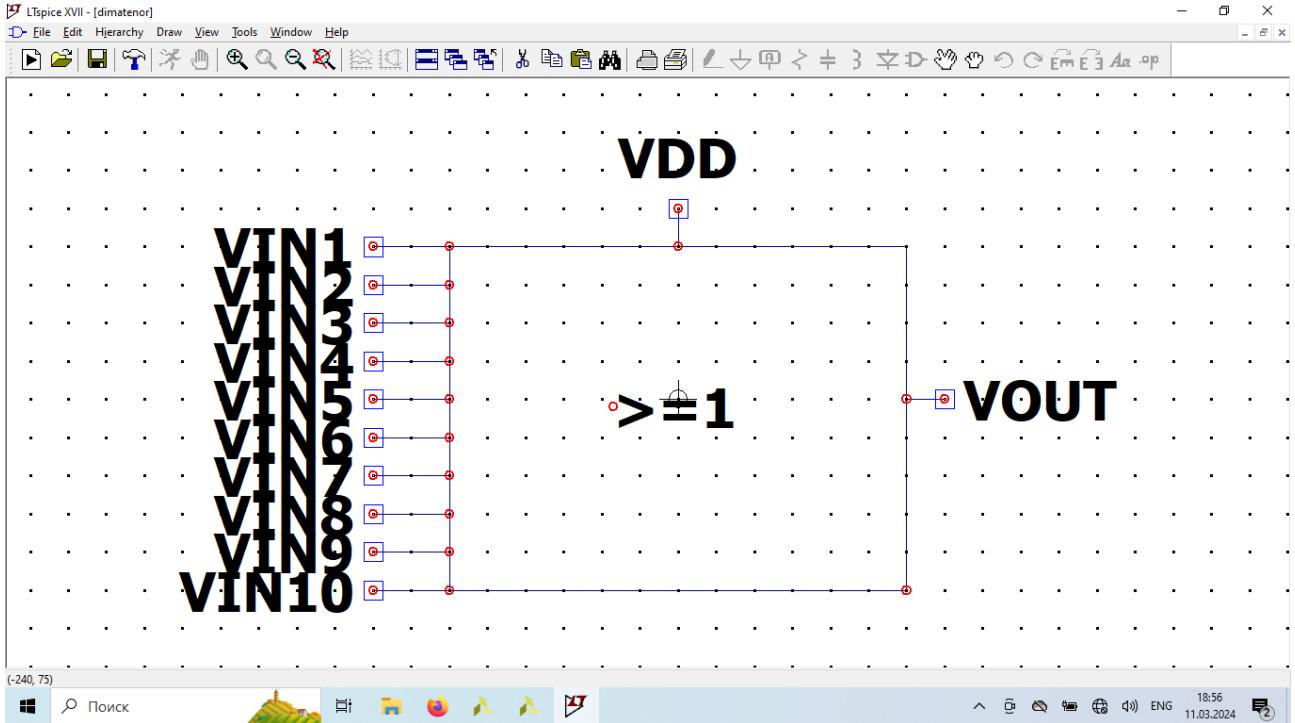


рис.27. Символ элемента TENOR.

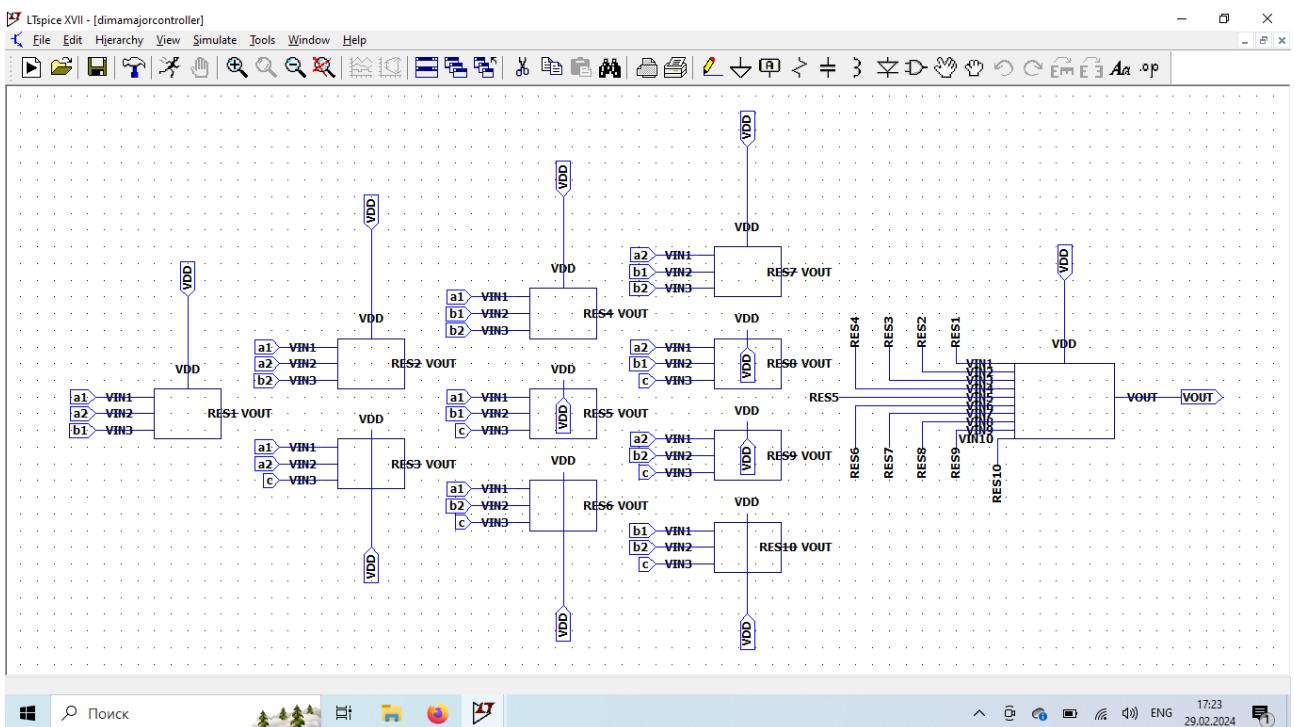


рис.28. Мажоритарная система контроля (3+).

7. СХЕМА БОЭ (МАЖОРИТАРНАЯ СИСТЕМА КОНТРОЛЯ)

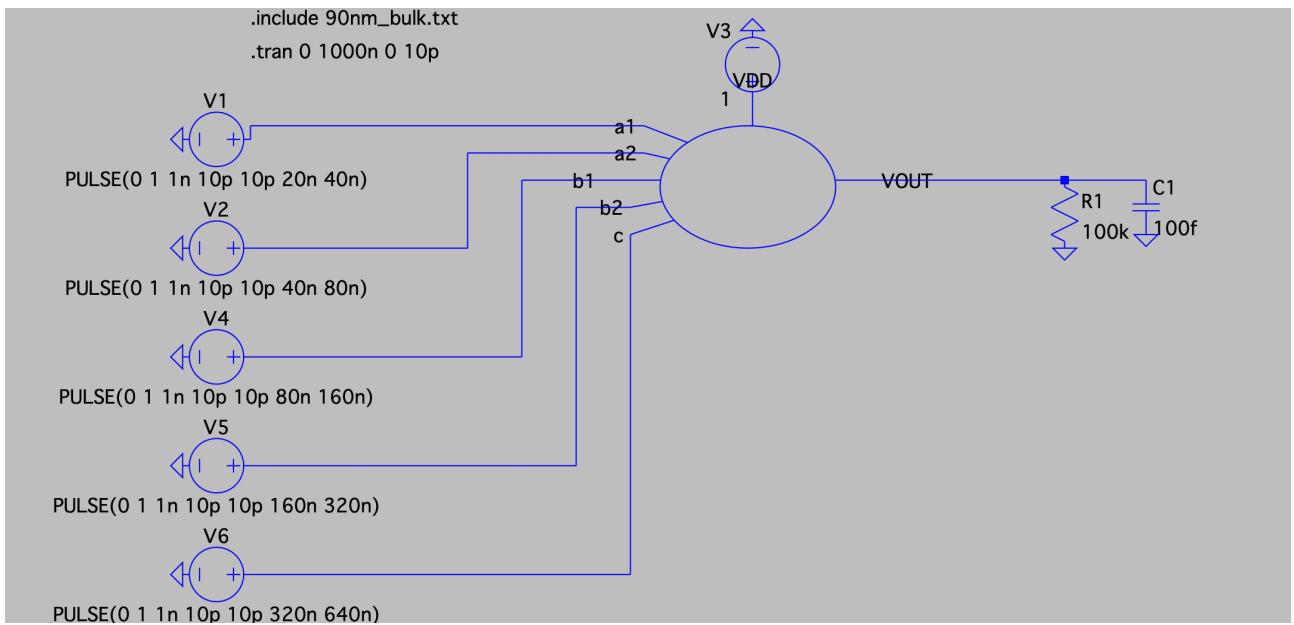


рис.29. Схема тестирования системы контроля.

8. ТЕСТИРОВАНИЕ (МАЖОРИТАРНАЯ СИСТЕМА КОНТРОЛЯ).

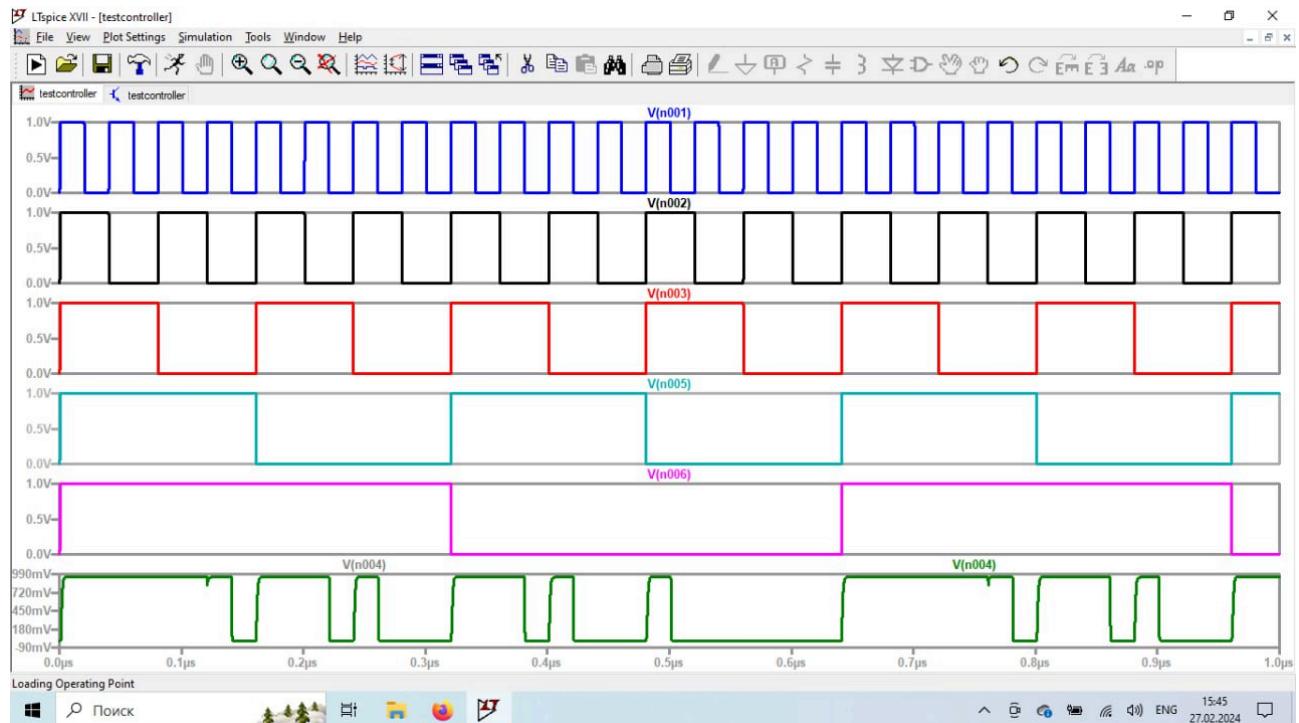


рис.30. Результат тестирования элемента системы контроля.

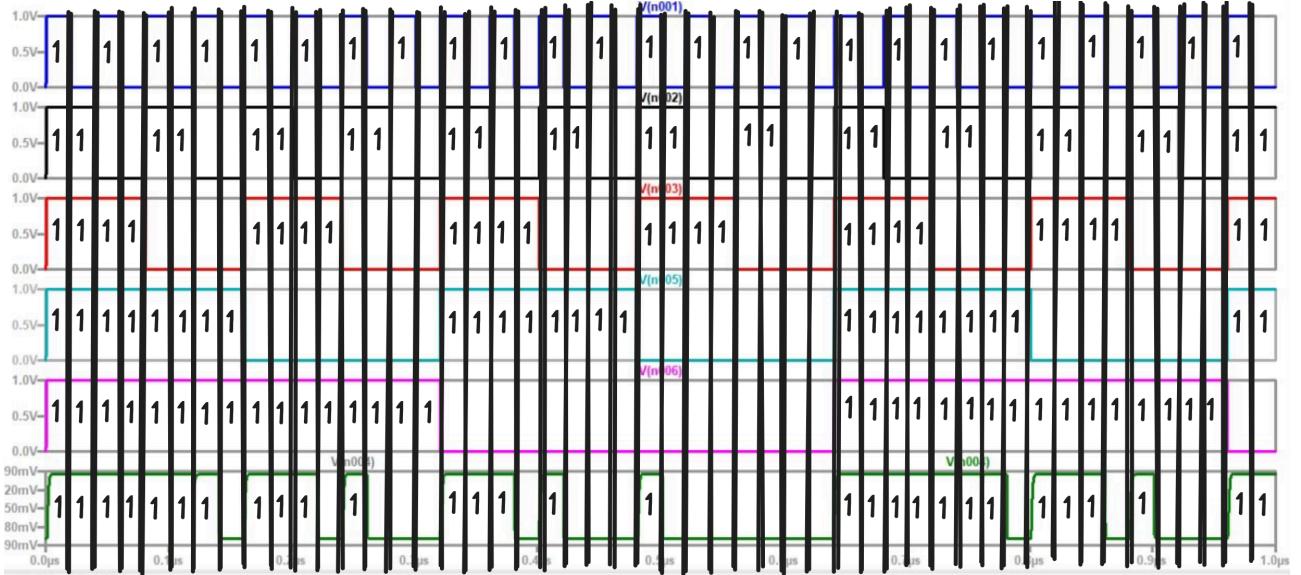


рис.31. Анализ результатов рис.28.

9. ЗАДЕРЖКА БОЭ (МАЖОРИТАРНАЯ СИСТЕМА КОНТРОЛЯ).

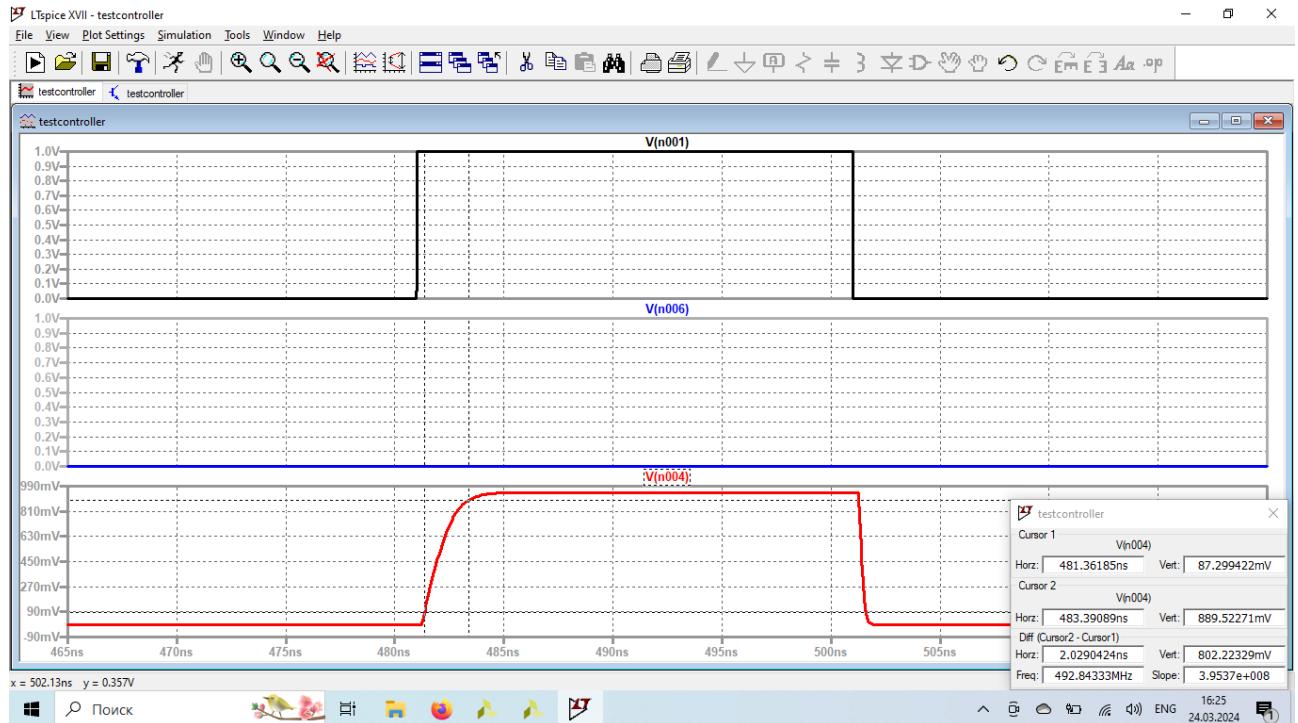


рис.32. Длительность фронта БОЭ.

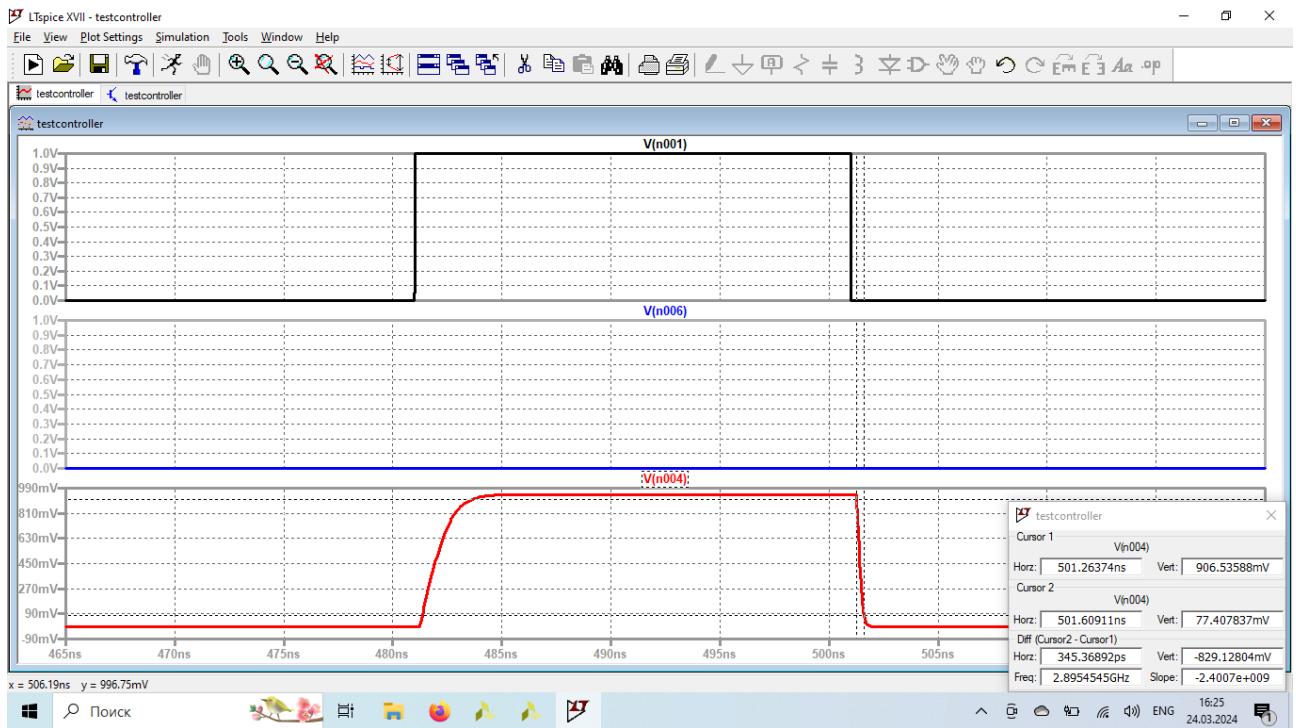


рис.33. Время спада БОЭ.

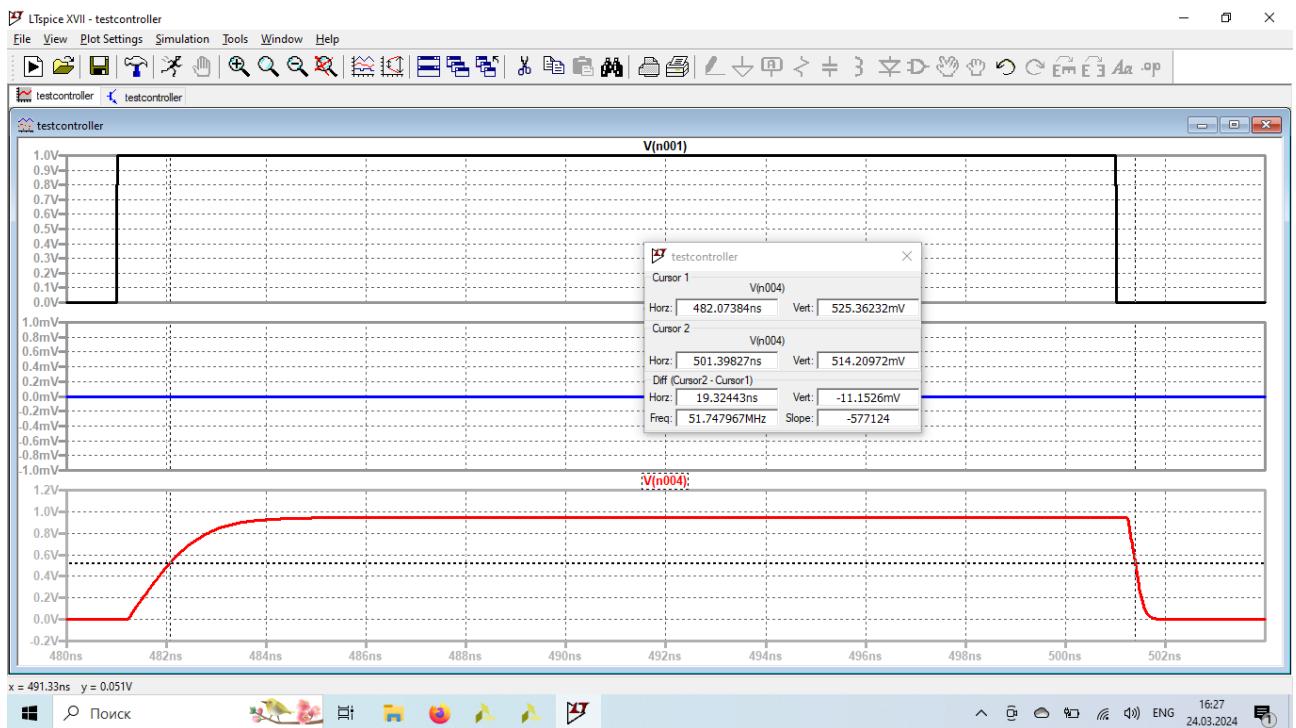


рис.34. Длительность импульса БОЭ.

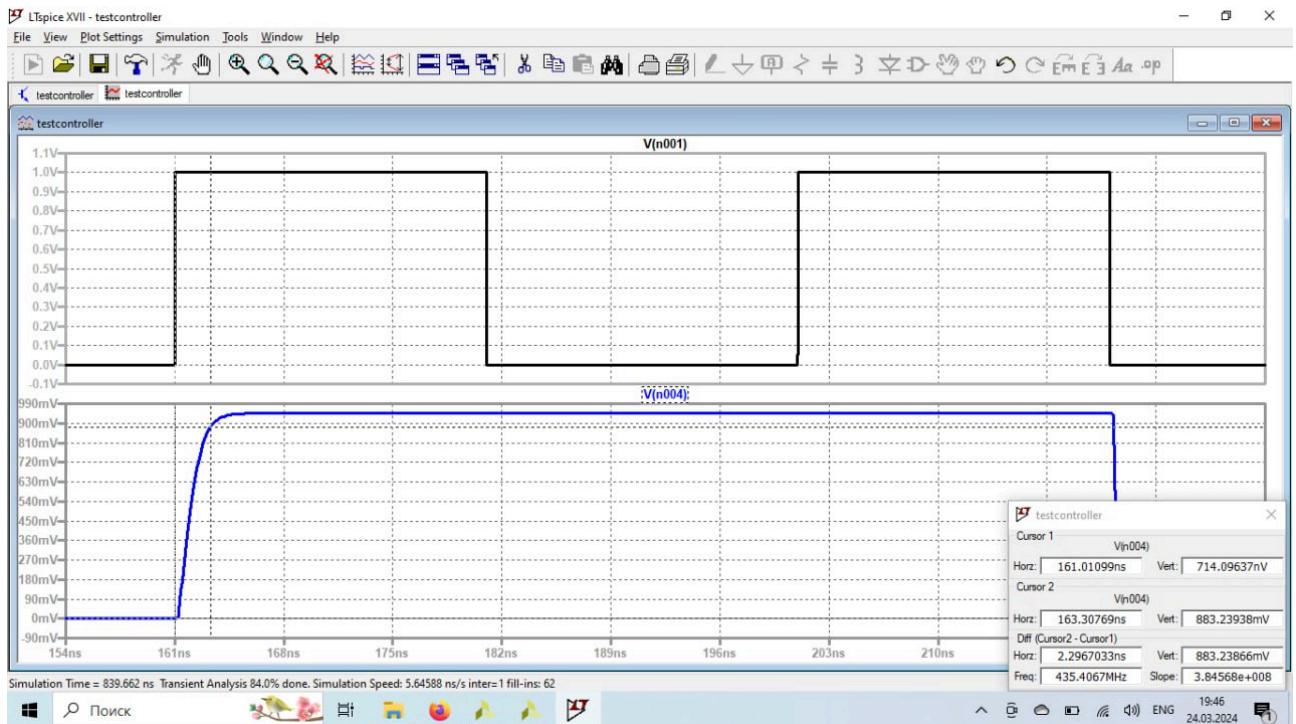


рис.35. Задержка распространения по фронту БОЭ.

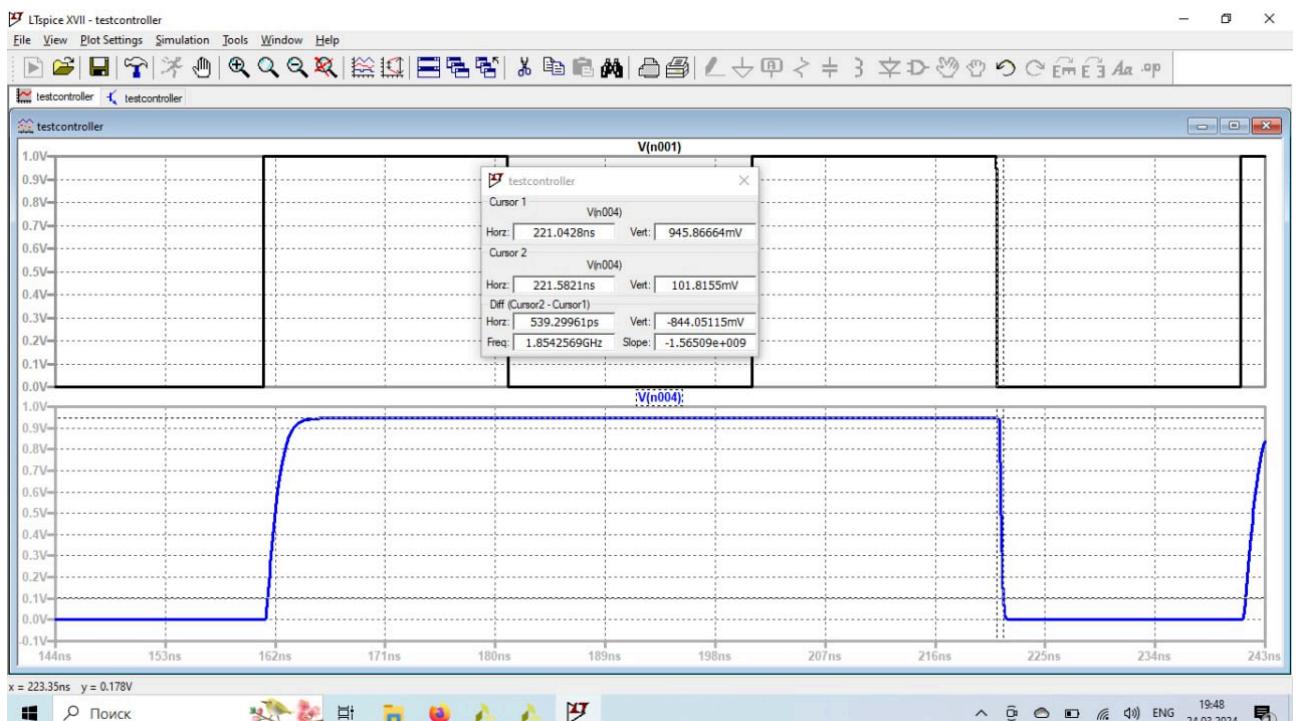


рис.36. Задержка распространения по спаду БОЭ.

Величина	T1, ns	T2, ns	Result, ns
Длительность фронта БОЭ	481,4	483,4	2
Длительность спада БОЭ	501,3	501,6	0,3
Длительность импульса БОЭ	482,1	501,4	19,3
Задержка распространения по фронту БОЭ	161,0	163,3	2,3
Задержка распространения по спаду БОЭ	221,0	221,6	0,6

таблица 2. Задержки и длительности элемента БОЭ.

Max frequency	MHz
$f_{max} = \frac{1}{T_{front} + T_{recession}}$	434,8

Замеры без нагрузок:

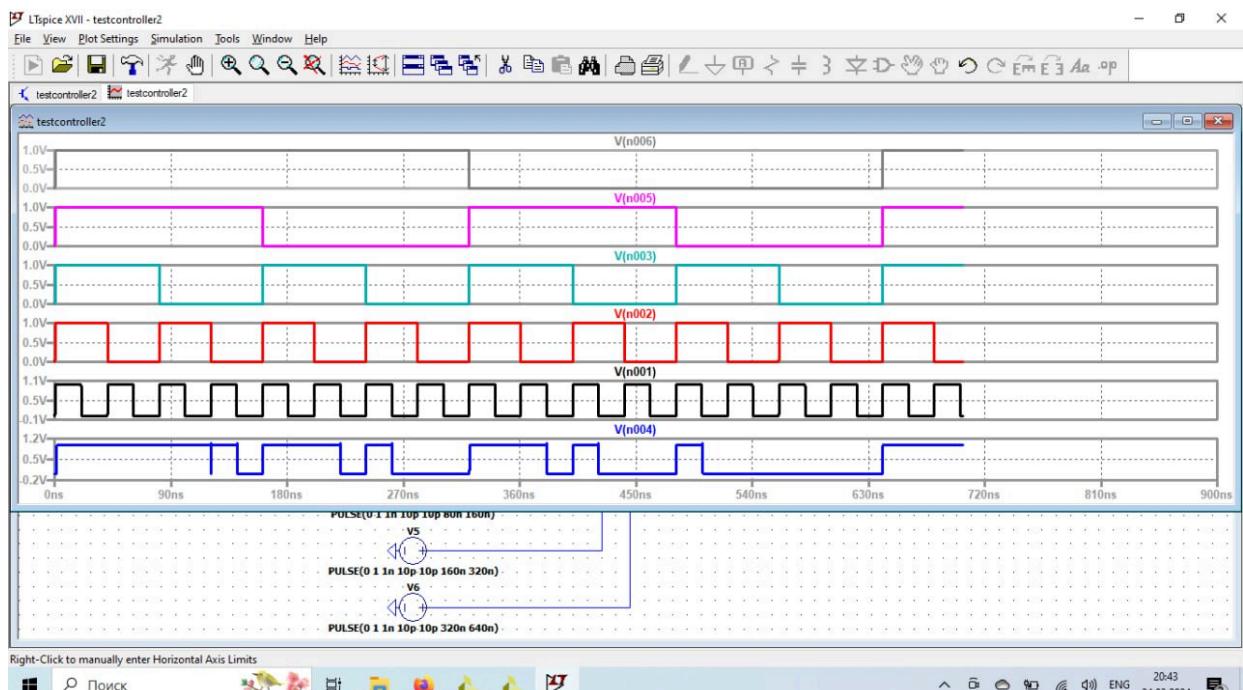
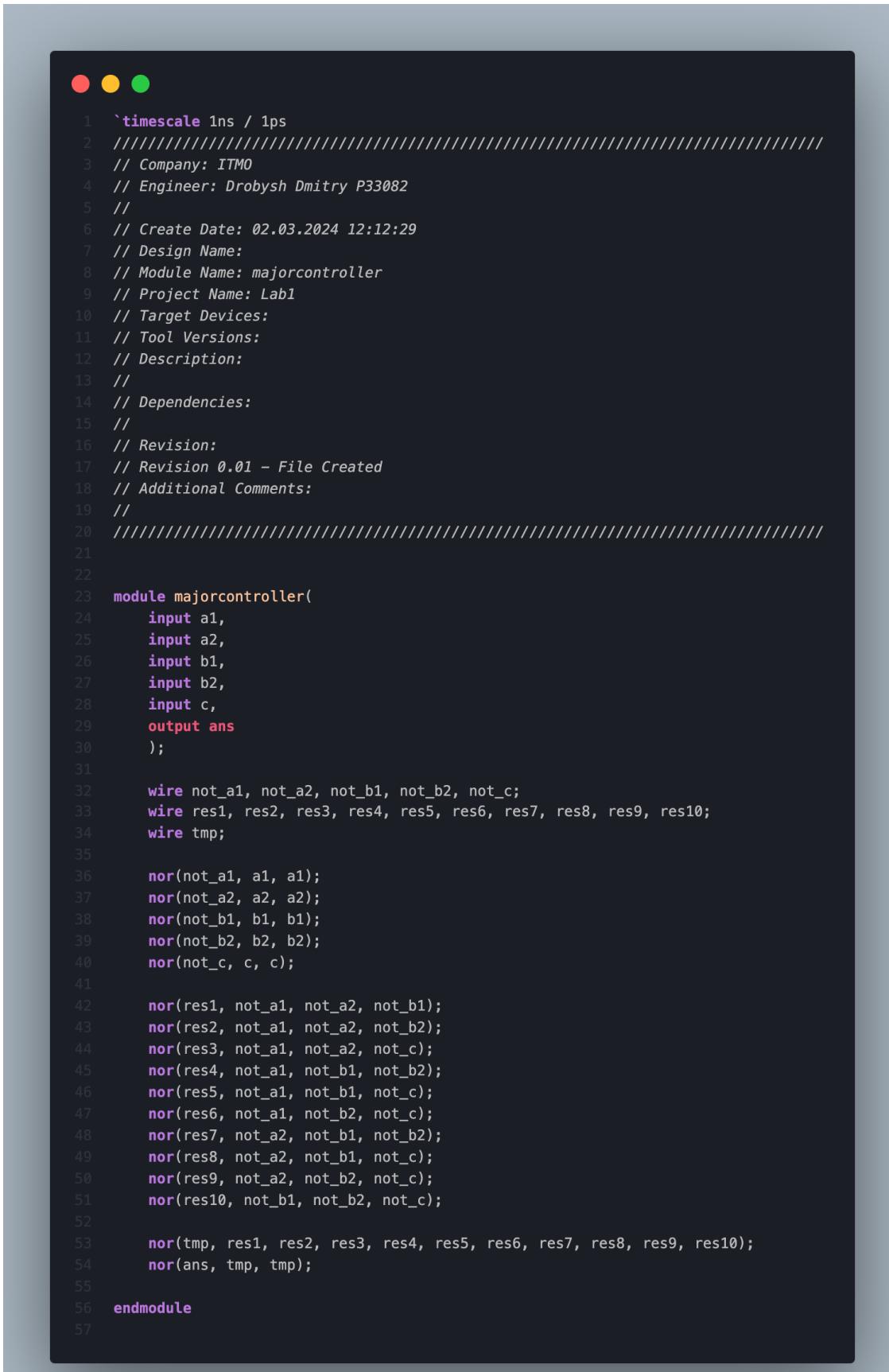


рис.37. Тесты схемы БОЭ без нагрузок.

4. Выполнение части 2.

Код на Verilog.



```
1  `timescale 1ns / 1ps
2  ///////////////////////////////////////////////////////////////////
3  // Company: ITMO
4  // Engineer: Drobyshev Dmitry P33082
5  //
6  // Create Date: 02.03.2024 12:12:29
7  // Design Name:
8  // Module Name: majorcontroller
9  // Project Name: Lab1
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21
22
23 module majorcontroller(
24     input a1,
25     input a2,
26     input b1,
27     input b2,
28     input c,
29     output ans
30 );
31
32     wire not_a1, not_a2, not_b1, not_b2, not_c;
33     wire res1, res2, res3, res4, res5, res6, res7, res8, res9, res10;
34     wire tmp;
35
36     nor(not_a1, a1, a1);
37     nor(not_a2, a2, a2);
38     nor(not_b1, b1, b1);
39     nor(not_b2, b2, b2);
40     nor(not_c, c, c);
41
42     nor(res1, not_a1, not_a2, not_b1);
43     nor(res2, not_a1, not_a2, not_b2);
44     nor(res3, not_a1, not_a2, not_c);
45     nor(res4, not_a1, not_b1, not_b2);
46     nor(res5, not_a1, not_b1, not_c);
47     nor(res6, not_a1, not_b2, not_c);
48     nor(res7, not_a2, not_b1, not_b2);
49     nor(res8, not_a2, not_b1, not_c);
50     nor(res9, not_a2, not_b2, not_c);
51     nor(res10, not_b1, not_b2, not_c);
52
53     nor(tmp, res1, res2, res3, res4, res5, res6, res7, res8, res9, res10);
54     nor(ans, tmp, tmp);
55
56 endmodule
57
```

рис.38. Код на Verilog.

код на рис.38. реализует функцию:

$f(a_1, a_2, b_1, b_2, c) = (a_1 \wedge a_2 \wedge b_1) \vee (a_1 \wedge a_2 \wedge b_2) \vee (a_1 \wedge a_2 \wedge c) \vee (a_1 \wedge b_1 \wedge b_2) \vee (a_1 \wedge b_1 \wedge c) \vee (a_1 \wedge b_2 \wedge c) \vee (a_2 \wedge b_1 \wedge b_2) \vee (a_2 \wedge b_1 \wedge c) \vee (a_2 \wedge b_2 \wedge c) \vee (b_1 \wedge b_2 \wedge c)$
not_a1, not_a2, not_b1, not_b2, not_c — обратные элементы для a1, a2, b1, b2, c.

Все изменения происходят только из-за применения операции NOR, что соответствует техническому заданию.

На вход попадают шины: a1, a2, b1, b2, c.

На выход ans.

Тестирование: Код на языке Verilog.



```
1 `timescale 1ns / 1ps
2 ///////////////////////////////////////////////////////////////////
3 // Company: ITMO
4 // Engineer: Drobyshev Dmitry P33082
5 //
6 // Create Date: 02.03.2024 13:38:18
7 // Design Name:
8 // Module Name: majorcontroller_tb
9 // Project Name: Lab1
10 // Target Devices:
11 // Tool Versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21
22
23 module majorcontroller_tb;
24
25     reg a1_in, a2_in, b1_in, b2_in, c_in;
26     wire ans_out;
27
28     majorcontroller majorcontroller_1 (
29         .a1 (a1_in),
30         .a2 (a2_in),
31         .b1 (b1_in),
32         .b2 (b2_in),
33         .c (c_in),
34         .ans (ans_out)
35     );
36
37     integer i;
38     reg[4:0] test_value;
39
40     initial begin
41         for (i = 0; i < 32; i = i + 1) begin
42             test_value = i;
43             a1_in = test_value[0];
44             a2_in = test_value[1];
45             b1_in = test_value[2];
46             b2_in = test_value[3];
47             c_in = test_value[4];
48
49             #10
50
51             $display("a1 = %b; a2 = %b; b1 = %b; b2 = %b; c = %b; answer = %b",
52                     a1_in, a2_in, b1_in, b2_in, c_in, ans_out);
53         end
54     #10 $stop;
55     end
56 endmodule
57
```

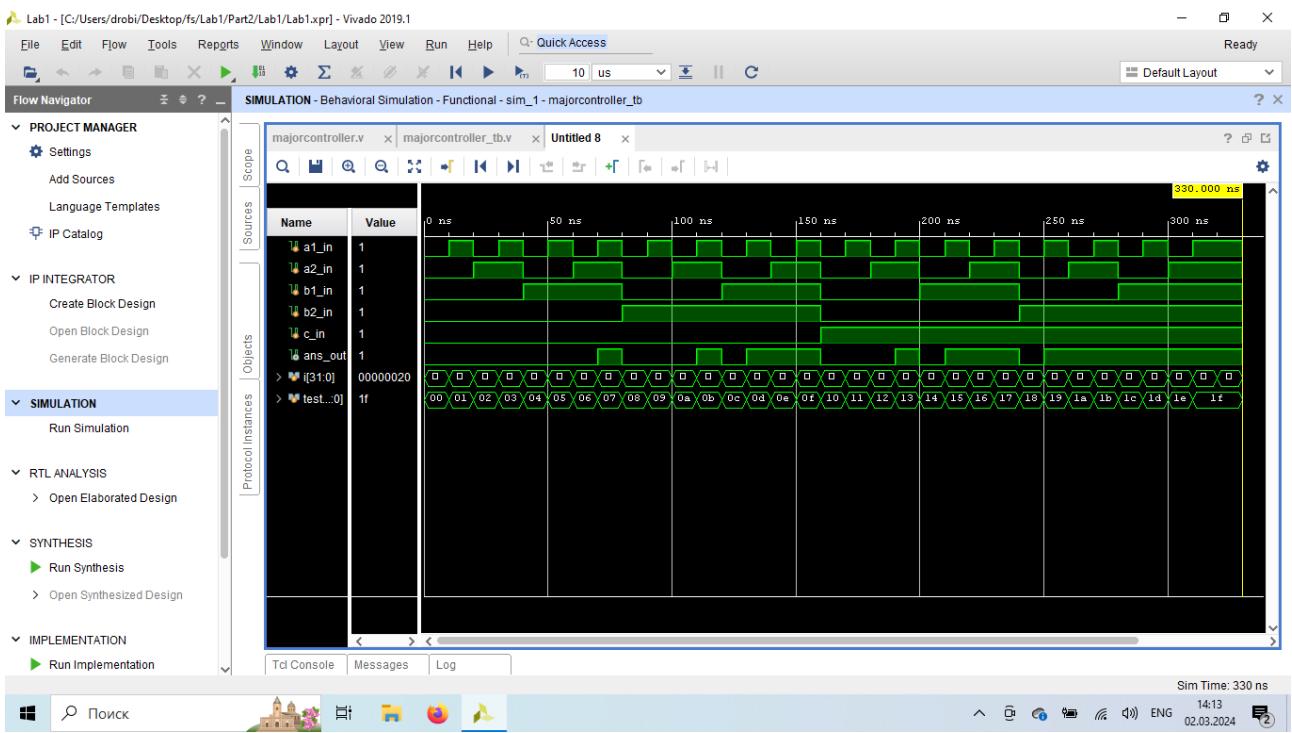


рис.40. Результаты работы кода Verilog

Заметим, что результаты работы программы совпадают с результатами рис. 30-31. Это означает, что схема была составлена корректно и лабораторная работа завершена.

5. Выводы.

В ходе лабораторной работы я ознакомился с инструментом моделирования схем на основе транзисторов LTSPICE, встретился с проблемой пространственной оптимизации. Принял решение с точки зрения достижимости и времени выполнения работы. Реализовал собственный элемент NOR, контроллер управления (3+). Кроме того, смог успешно воспроизвести и протестировать свою работу при помощи языка Verilog HDL.