

《硬件综合设计》

课程设计任务书

题 目	LCD 显示驱动模块设计				
学生姓名		学号		专业班 级	
设计 内容 与 要求	<p>1. 设计目的：</p> <p>（1）了解 DE2-70 开发板的硬件构成；</p> <p>（2）熟悉开发板可用资源的硬件电路；</p> <p>（3）掌握 EDA 开发流程；</p> <p>（4）熟悉 Quartus II 开发环境；</p> <p>（5）掌握 Verilog 基本语法；</p> <p>（6）熟练掌握在 Quartus II 环境下进行软件仿真的方法；</p> <p>2. 设计内容</p> <p style="padding-left: 20px;">设计一个 LCD 液晶屏的驱动模块，该模块完成如下功能：</p> <p>（1）基本要求：</p> <p style="padding-left: 40px;">①阅读 DE2-70 开发板上 16×2LCD 液晶显示屏的工作原理和控制时序；</p> <p style="padding-left: 40px;">②设计并实现一个 LCD 的控制模块，该模块可以实现数字、字母的正常显示。</p> <p style="padding-left: 40px;">③建立测试环境对 LCD 模块的功能进行验证。</p> <p>（2）扩展要求：</p> <p style="padding-left: 40px;">能够通过拨码开关将输入的 ASCII 码字符显示在 LCD 屏幕上。</p> <p>3. 撰写课程设计报告。</p> <p style="padding-left: 40px;">（1）内容要求如下：</p> <p style="padding-left: 60px;">设计题目；任务要求；任务分析（需求分析，可行性分析）；系统总体框架（或电路图）；核心模块实现过程；项目运行结果及其仿真说明（包括项目实际运行结果、主要模块仿真图及其分析）；设计时碰到的问题及解决方法。</p> <p style="padding-left: 40px;">（2）形式要求：层次清晰，内容完整，语言流畅，字迹整洁，图表规范。</p> <p style="padding-left: 40px;">（3）应包含的附件（可打印）</p> <p style="padding-left: 60px;">硬件综合课程设计报告附件 1</p> <p style="padding-left: 60px;">FPGA 引脚分配表附件 2</p> <p style="padding-left: 60px;">编程模块的源代码清单附件 3</p>				
起止时间	2019 年 6 月 24 日 至 2019 年 7 月 5 日				
指导教师签名	年 月 日				
系（教研室）主任 签名	年 月 日				
学生签名	年 月 日				

《硬件综合设计》

课程设计任务书

题 目	定点运算器				
学生姓名		学号		专业班 级	
设计 内 容 与 要 求	<p>1. 设计目的：</p> <p>（1）了解 DE2-70 开发板的硬件构成；</p> <p>（2）熟悉开发板可用资源的硬件电路；</p> <p>（3）掌握 EDA 开发流程；</p> <p>（4）熟悉 Quartus II 开发环境；</p> <p>（5）掌握 Verilog 基本语法；</p> <p>（6）熟练掌握在 Quartus II 环境下进行软件仿真的方法。</p> <p>2. 设计内容及基本要求：</p> <p>设计一个定点整数的运算器，能够对 16 位的补码定点整数实现如下操作：</p> <p>（1）基本要求</p> <p>① 可以执行连续的加、减、乘、除运算；</p> <p>② 求绝对值、求相反数；</p> <p>③ 对选定的数据可以用一个队列进行存储、读取和删除操作；</p> <p>④ 用七段数码管显示本次运算或操作的 10 进制数结果。</p> <p>⑤ 具有复位功能。</p> <p>（运算结果的判定标准：C 语言单精度数的运算结果）</p> <p>（2）扩展要求</p> <p>求平方根</p> <p>3. 撰写课程设计报告。</p> <p>（1）内容要求如下：</p> <p>设计题目；任务要求；任务分析（需求分析，可行性分析）；系统总体框架（或电路图）；核心模块实现过程；项目运行结果及其仿真说明（包括项目实际运行结果、主要模块仿真图及其分析）；设计时碰到的问题及解决方法。</p> <p>（2）形式要求：层次清晰，内容完整，语言流畅，字迹整洁，图表规范。</p> <p>（3）应包含的附件（可打印）</p> <p style="padding-left: 20px;">硬件综合课程设计报告附件 1</p> <p style="padding-left: 20px;">FPGA 引脚分配表附件 2</p> <p style="padding-left: 20px;">编程模块的源代码清单附件 3</p>				
起止时间	2019 年 6 月 24 日 至 2019 年 7 月 5 日				
指导教师签名	年 月 日				
系（教研室）主任 签名	年 月 日				
学生签名	年 月 日				

《硬件综合设计》

课程设计任务书

题 目	智能竞赛抢答器				
学生姓名		学号		专业班级	
设计 内容 与 要求	<p>1. 设计目的：</p> <p style="padding-left: 20px;">（1）了解 DE2-70 开发板的硬件构成；（2）熟悉开发板可用资源的硬件电路；</p> <p style="padding-left: 20px;">（3）掌握 EDA 开发流程；（4）熟悉 Quartus II 开发环境；</p> <p style="padding-left: 20px;">（5）掌握 Verilog 基本语法；（6）熟练掌握在 Quartus II 环境下进行软件仿真的方法；</p> <p>2. 设计一个智能竞赛抢答器，控制选手抢答工作的正常开展。</p> <p style="padding-left: 20px;">（1）基本功能</p> <p style="padding-left: 20px;">① 4 名选手编号分别为:1,2,3,4，抢答按钮的编号与选手的编号对应；</p> <p style="padding-left: 20px;">② 给主持人操作控制按钮，用来控制系统清零和抢答开始（可用指示灯表示）；</p> <p style="padding-left: 20px;">③ 抢答开始后，所有选手均可按动抢答按钮，抢答器上显示该抢答最快选手的编号和所用时间（从抢答开始时刻算起），该编号一直保持到主持人将系统清零为止；</p> <p style="padding-left: 20px;">④主持人可以控制查看每个选手的抢答用时时间。</p> <p style="padding-left: 20px;">⑤ 抢答器具有定时（5 秒）抢答的功能。当主持人按下开始按钮后，定时器开始倒计时，定时显示器显示倒计时时间，若无人抢答，倒计时结束时用指示灯持续 0.5 秒亮灯指示。若选手在设定时间内抢答有效，抢答成功，指示灯常亮，并保持到将系统清零为止；</p> <p style="padding-left: 20px;">⑥若抢答定时已到，却无人抢答，本次抢答无效。禁止选手超时后抢答，时间显示器显示 0。</p> <p style="padding-left: 20px;">（2）扩展功能</p> <p style="padding-left: 20px;">抢答定时时长可以设置。</p> <p>3. 撰写课程设计报告。</p> <p style="padding-left: 20px;">（1）内容要求如下：</p> <p style="padding-left: 40px;">设计题目；任务要求；任务分析（需求分析，可行性分析）；系统总体框架（或电路图）；核心模块实现过程；项目运行结果及其仿真说明（包括项目实际运行结果、主要模块仿真图及其分析）；设计时碰到的问题及解决方法。</p> <p style="padding-left: 20px;">（2）形式要求：层次清晰，内容完整，语言流畅，字迹整洁，图表规范。</p> <p style="padding-left: 20px;">（3）应包含的附件（可打印）</p> <p style="padding-left: 40px;">硬件综合课程设计报告附件 1</p> <p style="padding-left: 40px;">FPGA 引脚分配表附件 2</p> <p style="padding-left: 40px;">编程模块的源代码清单附件 3</p>				
起止时间	2019 年 6 月 24 日 至 2019 年 7 月 5 日				
指导教师签名	年 月 日				
系（教研室）主任 签名	年 月 日				
学生签名	年 月 日				

课程设计任务书

题 目	数字时钟				
学生姓名		学号		专业班级	
设计内容 与 要求	<p>1. 设计目的：</p> <p>(1) 了解 DE2-70 开发板的硬件构成；</p> <p>(2) 熟悉开发板可用资源的硬件电路；</p> <p>(3) 掌握 EDA 开发流程；</p> <p>(4) 熟悉 Quartus II 开发环境；</p> <p>(5) 掌握 Verilog 基本语法；</p> <p>(6) 熟练掌握在 Quartus II 环境下进行软件仿真的方法。</p> <p>2. 设计内容及基本要求：</p> <p>设计多功能数字时钟。具体要求如下：</p> <p>(1) 基本功能</p> <p>①显示年、月、日、星期、时、分、秒，是否为闰年（只有校对生效情况时间可以不连续）；</p> <p>②定时与闹铃：到设定的时间（选择周一至周末或具体日期）进行报警；</p> <p>③校对：可手动调整年、月、日、星期、时、分。</p> <p>(2) 扩展功能</p> <p>显示本周是一年中的第几周，以及是本学期中的第几周（设置开学日期为第一周）。</p> <p>3. 撰写课程设计报告。</p> <p>(1) 内容要求如下：</p> <p>设计题目；任务要求；任务分析（需求分析，可行性分析）；系统总体框架（或电路图）；核心模块实现过程；项目运行结果及其仿真说明（包括项目实际运行结果、主要模块仿真图及其分析）；设计时碰到的问题及解决方法。</p> <p>(2) 形式要求：层次清晰，内容完整，语言流畅，字迹整洁，图表规范。</p> <p>(3) 应包含的附件（可打印）</p> <p>硬件综合课程设计报告附件 1</p> <p>FPGA 引脚分配表附件 2</p> <p>编程模块的源代码清单附件 3</p>				
起止时间	2019 年 6 月 24 日 至 2019 年 7 月 5 日				
指导教师签名	年 月 日				
系（教研室）主任签名	年 月 日				
学生签名	年 月 日				

《硬件综合设计》

课程设计任务书

题 目	运动电子表				
学生姓名		学号		专业班级	
设计 内容 与 要求	<p>1. 设计目的：</p> <p>（1）了解 DE2-70 开发板的硬件构成； （2）熟悉开发板可用资源的硬件电路；（3）掌握 EDA 开发流程；</p> <p>（4）熟悉 Quartus II 开发环境； （5）掌握 Verilog 基本语法；</p> <p>（6）熟练掌握在 Quartus II 环境下进行软件仿真的方法。</p> <p>2. 设计内容及基本要求：</p> <p>设计一个数字跑表，要求实现如下功能：</p> <p>（1）基本功能：</p> <p>① 正常显示时间，时间格式：时时：分分：秒秒</p> <p>② 跑表功能：</p> <p>a.最大的计时范围为 59 分 59.99 秒；</p> <p>b.同一时刻最多允许 3 人（不同编号）同时计时；</p> <p>c.具有复位（总）、启动（总）和暂停（独立）功能；</p> <p>d.复位功能时清除各种功能模式，并将时间值和所有时间记录都清 0；</p> <p>e.每个人计时结束后，显示其计时时间，并进行存储。</p> <p>f.查看功能：计时结束后可以查看最多 6 个人的时间成绩。</p> <p>③倒计时秒表：</p> <p>a.具有 30 秒、60 秒、100 秒倒计时长选择。</p> <p>b. 具有复位、启动和暂停功能；</p> <p>c. 显示格式：分分：秒秒：百分秒</p> <p>（2）扩展功能：对存储的成绩进行排序，并滚动显示</p> <p>3. 撰写课程设计报告。</p> <p>（1）内容要求如下：</p> <p>设计题目；任务要求；任务分析（需求分析，可行性分析）；系统总体框架（或电路图）；核心模块实现过程；项目运行结果及其仿真说明（包括项目实际运行结果、主要模块仿真图及其分析）；设计时碰到的问题及解决方法。</p> <p>（2）形式要求：层次清晰，内容完整，语言流畅，字迹整洁，图表规范。</p> <p>（3）应包含的附件（可打印）</p> <p style="padding-left: 20px;">硬件综合课程设计报告附件 1</p> <p style="padding-left: 20px;">FPGA 引脚分配表附件 2</p> <p style="padding-left: 20px;">编程模块的源代码清单附件 3</p>				
起止时间	2019 年 6 月 24 日 至 2019 年 7 月 5 日				
指导教师签名	年 月 日				
系（教研室）主任签名	年 月 日				
学生签名	年 月 日				