



如果 **PORTxn** 位被写 1，同时这个端口被配置为输入端口，这个端口的上拉电阻有效。如果想要禁止端口的上拉电阻，**PORTxn** 必须写为 0 或者将这个端口配置为输出端口。

端口的复位初始化状态为输入状态，上拉电阻无效。

PORTxn 设置为 1，同时这个端口被配置为输出端口，外部端口将会被驱动为高电平。如果 **PORTxn** 设置为 0，端口将会被驱动为低。

输入/输出切换

当 I/O 状态在三态([DDxn, PORTxn] = 0b00)和输出高电平([DDxn, PORTxn] = 0b11)之间切换时，将会出现一个端口上拉或者输出为低的中间状态。通常，上拉电阻是可以被接受的，因为在一个高阻环境下，驱动为高和上拉之间的区别并不重要。如果不是这种情况，可以通过 **MCUCR** 寄存器中的 **PUD** 位关闭所以端口的上拉功能。

同样，在上拉使能的输入与输出低电平之间切换时，也会出现同样的问题。用户必须使用三态([DDxn, PORTxn] = 0b00)或者输出高([DDxn, PORTxn] = 0b11)作为中间状态。

端口驱动配置表：

DDxn	PORTxn	PUD	端口状态	上拉	功能说明
0	0	X	输入	禁止	三态(High-Z)
0	1	0	输入	使能	输入+内部上拉模式
0	1	1	输入	禁止	三态(High-Z)
1	0	X	输出	禁止	输出低(扇入)
1	1	X	输出	禁止	输出高(扇出)

读端口值

无论端口方向位 **DDxn** 如何设置，都可以通过 **PINxn** 寄存器位读取到端口的当前状态。为避免直接读取端口产生的亚稳态，**PINxn** 寄存器位是端口经过一个同步器的结果。同步器为一个锁存器和一个寄存器共同组成，因此 **PINxn** 的值与当前端口之间有一个很小的延迟。这个延迟是因为同步器存在的结果，延迟时间最多为 1 个半系统周期。

我们假设系统周期从系统时钟的第一个下降沿开始，锁存器在时钟为低的时候锁存数据，时钟为高时数据直通过锁存器，如上图阴影部分所示。在时钟为低电平时，端口数据被锁