和接收器使用,这一过程会引入两个系统时钟的延时,因此外部 XCK 的最大时钟频率由以下公式限制:

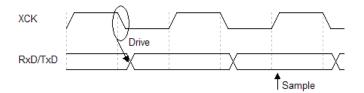
$f_{XCK} < f_{svs}/4$

要注意 fsys 有系统时钟的稳定性决定,为了防止因频率漂移而丢失数据,建议保留足够的裕量。

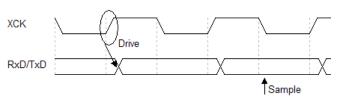
同步时钟操作

同步模式下,XCK 引脚被用于时钟输入(从机模式)或时钟输出(主机模式)。时钟的边沿与数据采样和数据变化关系的基本规律是:对数据输入端(RXD)采样所使用的时钟沿与数据输出端变化所使用的时钟沿是相反的。

UCPOL = 1



UCPOL = 0



同步模式下的 XCK 时序

如上图所示,当 UCPOL 值为"1"时,在 XCK 的下降沿改变数据输出,在 XCK 的上升沿进行数据采样;当 UCPOL 值为"0"时,在 XCK 的上升沿改变数据输出,在 XCK 的下降沿进行数据采样。

帧格式

一个串行数据帧由数据字加上同步位(起始位和停止位)以及用于纠错的奇偶校验位构成。 USART接受以下30种组合的数据帧格式:

- 1 个起始位
- ◆ 5、6、7、8或9个数据位
- 无校验位、奇校验位或偶校验位
- 1或2个停止位

数据帧以起始位开始,紧接着是数据字的最低位,接着是其它数据位,以数据字的最高位结束,最多成功传输9位数据。如果使能了校验,校验位将紧接着数据字,最后是停止位。当一个完整的数据帧传输后,可以立即传输下一个新的数据帧,或者使传输线处于空闲(高电平)状态。下图为可能的数据帧结构,方括号中的位是可选的。

