

LD	Rd, Z+	间接加载, 地址递增	$Rd \leftarrow (Z), Z \leftarrow Z+1$	None	1/2
LD	Rd, -Z	地址递减, 间接加载	$Z \leftarrow Z-1, Rd \leftarrow (Z)$	None	1/2
LDD	Rd, Z+q	带偏移量的间接加载	$Rd \leftarrow (Z+q)$	None	1/2
LDS	Rd, k	直接从 SRAM 中加载	$Rd \leftarrow (k)$	None	2
ST	X, Rr	间接存储	$(X) \leftarrow Rr$	None	1
ST	X+, Rr	间接存储, 地址递增	$(X) \leftarrow Rr, X \leftarrow X+1$	None	1
ST	-X, Rr	地址递减, 间接存储	$X \leftarrow X-1, (X) \leftarrow Rr$	None	1
ST	Y, Rr	间接存储	$(Y) \leftarrow Rr$	None	1
ST	Y+, Rr	间接存储, 地址递增	$(Y) \leftarrow Rr, Y \leftarrow Y+1$	None	1
ST	-Y, Rr	地址递减, 间接存储	$Y \leftarrow Y-1, (Y) \leftarrow Rr$	None	1
STD	Y+q, Rr	带偏移量的间接存储	$(Y+q) \leftarrow Rr$	None	1
ST	Z, Rr	间接存储	$(Z) \leftarrow Rr$	None	1
ST	Z+, Rr	间接存储, 地址递增	$(Z) \leftarrow Rr, Z \leftarrow Z+1$	None	1
ST	-Z, Rr	地址递减, 间接存储	$Z \leftarrow Z-1, (Z) \leftarrow Rr$	None	1
STD	Z+q, Rr	带偏移量的间接存储	$(Z+q) \leftarrow Rr$	None	1
STS	k, Rr	直接存储到 SRAM 中	$(k) \leftarrow Rr$	None	2
LPM		加载程序空间数据	$R0 \leftarrow (Z)$	None	2
LPM	Rd, Z	加载程序空间数据	$Rd \leftarrow (Z)$	None	2
LPM	Rd, Z+	加载程序数据, 地址递增	$Rd \leftarrow (Z), Z \leftarrow Z+1$	None	2
LD	Rd, Z+	间接加载, 地址递增	$Rd \leftarrow (Z), Z \leftarrow Z+1$	None	1
LD	Rd, -Z	地址递减, 间接加载	$Z \leftarrow Z-1, Rd \leftarrow (Z)$	None	1
LDD	Rd, Z+q	带偏移量的间接加载	$Rd \leftarrow (Z+q)$	None	1
LDS	Rd, k	直接从 SRAM 中加载	$Rd \leftarrow (k)$	None	2
IN	Rd, P	读端口	$Rd \leftarrow P$	None	1
OUT	P, Rr	写端口	$P \leftarrow Rr$	None	1
PUSH	Rr	压栈	$STACK \leftarrow Rr$	None	1
POP	Rd	出栈	$Rd \leftarrow STACK$	None	1/2
SBI	P, b	设置 IO 寄存器	$I/O(P, b) \leftarrow 1$	None	1
CBI	P, b	清零 IO 寄存器	$I/O(P, b) \leftarrow 0$	None	1
LSL	Rd	逻辑左移	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	Z, C, N, V	1
LSR	Rd	逻辑右移	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	Z	1
ROL	Rd	包含进位的循环左移	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	Z	1
ROR	Rd	包含进位的循环右移	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	Z	1
ASR	Rd	算术右移	$Rd(n) \leftarrow Rd(n+1), n=0:6$	Z	1
SWAP	Rd	位交换	$Rd(3:0) \leftarrow Rd(7:4), Rd(7:4) \leftarrow Rd(3:0)$	None	1
BSET	s	设置状态位	$SREG(s) \leftarrow 1$	SREG(s)	1
BCLR	s	清零状态位	$SREG(s) \leftarrow 0$	SREG(s)	1
BST	Rr, b	存储到 T 位	$T \leftarrow Rr(b)$	T	1
BLD	Rd, b	读出 T 位到寄存器	$Rd(b) \leftarrow T$	None	1
SEC		设置进位标志	$C \leftarrow 1$	C	1
CLC		清除进位标志	$C \leftarrow 0$	C	1