

ИТМО

Проектирование аппаратно- программной системы обработки сигналов на основе процессора с архитектурой RISC-V

Носов Михаил Александрович
Руководитель: Антонов А.А., к.т.н., Университет ИТМО
Для конкурса SHWare на программу магистратуры
Компьютерные системы и технологии

Целью работы является разработка системы на базе процессора с архитектурой RISC-V для ускоренного вычисления алгоритма быстрого преобразования Фурье.



Задачи:

- изучить архитектуру процессора RISC-V;
- разработать программную реализацию алгоритма быстрого преобразования Фурье для архитектуры RISC-V;
- реализовать аппаратное ускорение алгоритма быстрого преобразования Фурье на основе интерфейсов системной-шины и/или интерфейса расширения систем команд;
- выполнить сравнительный анализ полученных реализаций по критериям производительности, площади и энергопотребления, выбрать наилучшие варианты реализации.

В проекте разработаны и рассмотрены различные варианты реализации выполнения алгоритма БПФ: с помощью сопроцессора, модуля расширения на системной шине и вариант без аппаратного ускорения. Все они тестируются на одинаковых входных данных с помощью программы на С, скомпилированной gcc и RISC-V GNU toolchain и сравниваются в симуляции Vivado 2019.1 по показателям времени работы алгоритма, использованным ресурсам ПЛИС и энергопотреблению.



Перечень результатов проекта



В результаты работы над проектом входят:

- Сопроцессор
- Модуль расширения системной шины
- Программная реализация алгоритма и её модификации, использующие аппаратное ускорение
- Сравнительный анализ показателей различных исполнений системы

Данный проект создавался с оглядкой на статью Zheng Z., Zhu X., Qian H. Design and Implementation of Arbitrary Point FFT Based on RISC-V SoC, однако в ней рассматривается вариант исполнения процессора с урезанным набором команд и проверяется возможность выполнения на нём алгоритма БПФ, в то время как данная работа напротив рассматривает расширение функционала процессора общего назначения и фокусируется на аппаратном ускорении работы БПФ. На данную тему научных работ для архитектуры RISC-V на момент разработки проекта ещё не публиковалось.



Перечень использованных технологий **ІТМО**

Разработка велась на языке C в Visual Studio Code и языке Verilog в Vivado 2019.1. Последний также использовался для симуляции. Компиляция кода для RISC-V выполнялась с помощью gcc и RISC-V GNU toolchain. В ходе разработки использовалась ПЛИС. В основе проекта лежит процессор из фреймворка ActiveCore с ядром Aquaris. Для проверки корректности работы алгоритма и генерации поворотных коэффициентов использовался Matlab и Excel.



Результаты времени работы

Прирост производительности при использовании сопроцессора оказался больше, чем при использовании модуля расширения. Это связано с тем, что алгоритм часто обращается к памяти и возможность сопроцессора загружать сразу два операнда даёт больший прирост, чем параллельное выполнение математических операций.

Реализация	Время выполнения	Процент
Программная	1,9 мс	100%
Сопроцессор	1,66 мс	87%
Шина UDM	1,79 мс	94%

Таблица результатов времени работы

Использование ресурсов ПЛИС

При меньшей производительности реализация модуля расширения требует больше ресурсов, особенно блоков DSP реализующих умножение. Сопроцессор же требует небольшого увеличения площади и всего один блок DSP. Данные по энергопотреблению всех трёх реализаций совпадают.

Реализация	LUT	FF	DSP
Программная	4338	2852	4
Сопроцессор	4416	2897	5
Шина UDM	4511	2982	8

Таблица использования аппаратных ресурсов

Была разработана программная реализация алгоритма и два варианта аппаратного ускорения. Как и ожидалось, внешний модуль занял больше места на кристалле, чем сопроцессор, но поскольку алгоритм часто обращается к памяти, производительность сопроцессора оказалась выше, за счёт возможности получать два операнда и возвращать один на каждом такте.

Лучшей разработанной реализацией оказался вариант с использованием сопроцессора.

Ссылка на репозиторий: <https://github.com/NosovMihail/activecore>

