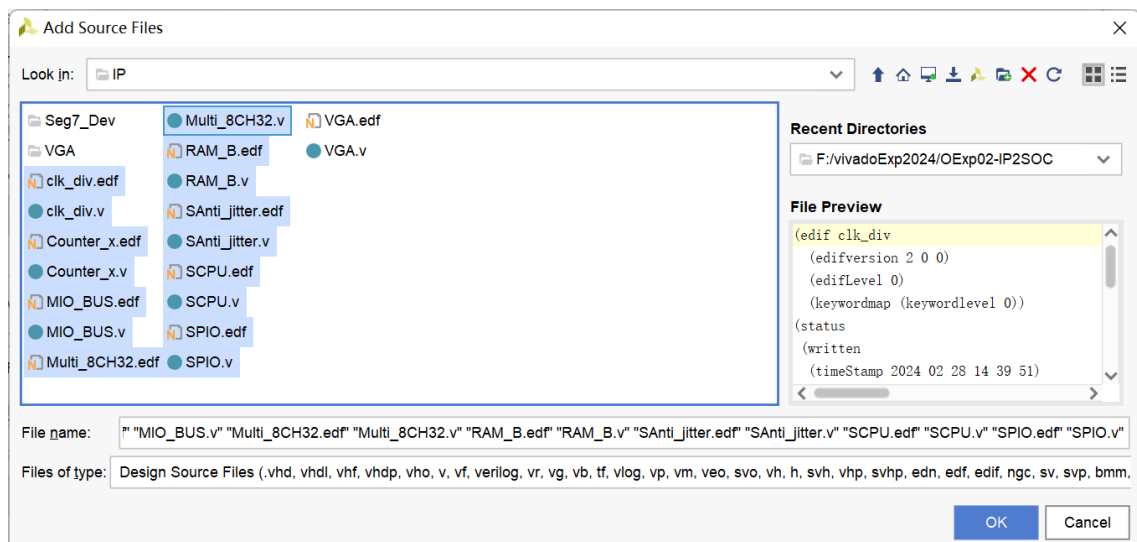


实验验收

- 本lab目的：建立一个调试CPU模块的环境，后续lab4会对SCPU模块单独构造，然后替换lab2实验中的SCPU部分，再在本实验中搭建的环境中测试SCPU功能。即lab2只需要在顶层模块中组织各子模块即可，各子模块功能只需要大概了解即可。
- 需要存入ROM的demo指令程序在 `.\OExp02-IP2SOC\I_mem.coe` 中，其对应的RISC-V指令内容在 `.\PPT\I_mem.pdf` 中（对应PPT P77），可以先在<https://venus.cs61c.org/>中观察运行结果：
 - 对应的程序功能为斐波那契数列
 - 从PC为0x3c开始，I_mem.pdf的Result结果有误，会和显示器上不同
- 验收需要在数码管和VGA上显示I_mem.coe的功能：
 - 数码管上：
 - 调整SW[8], SW[2] = 0, 1；观察单步时钟的结果；
 - 调整SW[8], SW[2] = 1, 0；来回拨动SW[10]观察手动调试的结果；
 - 通过调整SW[7:5]，观察alu_res, pc, inst等输出；
 - VGA上：
 - 主要观察内容：alu_res的结果为alu输出；PC显示的是字节地址，每次增加4；inst为指令内容；
 - 逻辑图中VGA模块的输入包含被显示的内容，显示器上其他部分（如寄存器组）没有接入VGA因此显示全0
- **注意PPT P89的复位按键**，可以将PC置0，即demo程序从头开始运行
- 验收截止时间：10.28日 18:00前
- 本实验**不需要**实验报告

辅助说明

- 约束文件位置： `.\OExp02-IP2SOC\A7.xdc`
- 关于模块添加，Seg7_Dev在IP Catalog中查找添加，ROM的生成方式参考lab0，其他都是通过导入网表文件+.v文件的方式添加（即直接add sources选中文件添加）

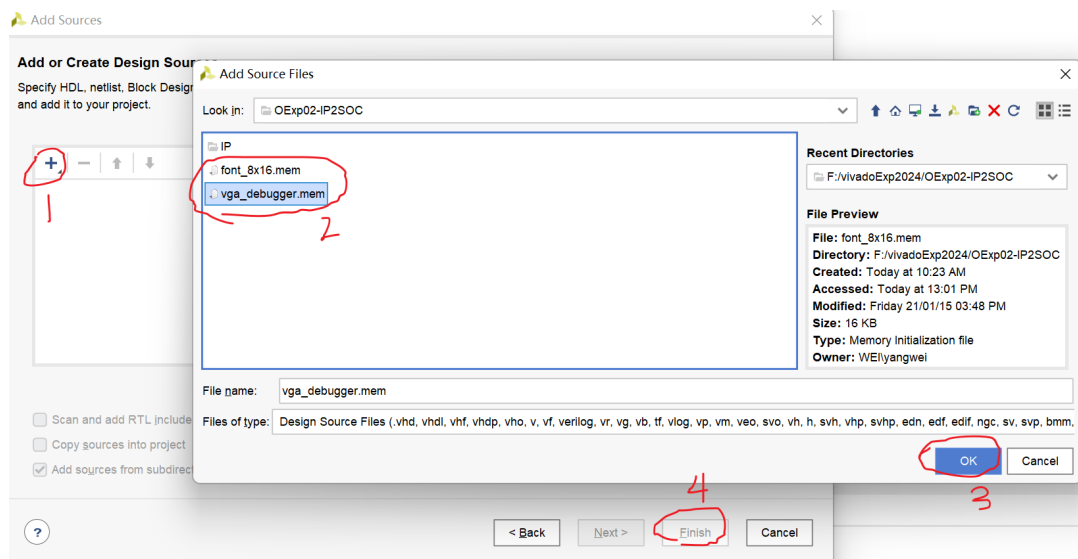


- IP Catalog添加：先在项目目录中放入IP文件夹；settings > IP > Reository添加；在IP Catalog中搜索模块名，双击即可（可以参考lab0）

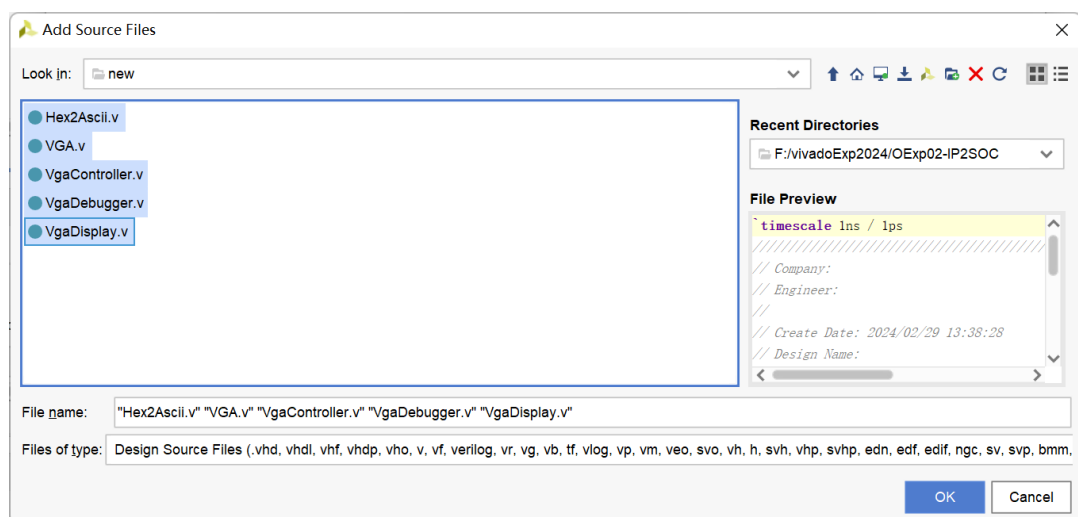
- ROM添加时设置Data Width为32!

- 关于VGA的导入:

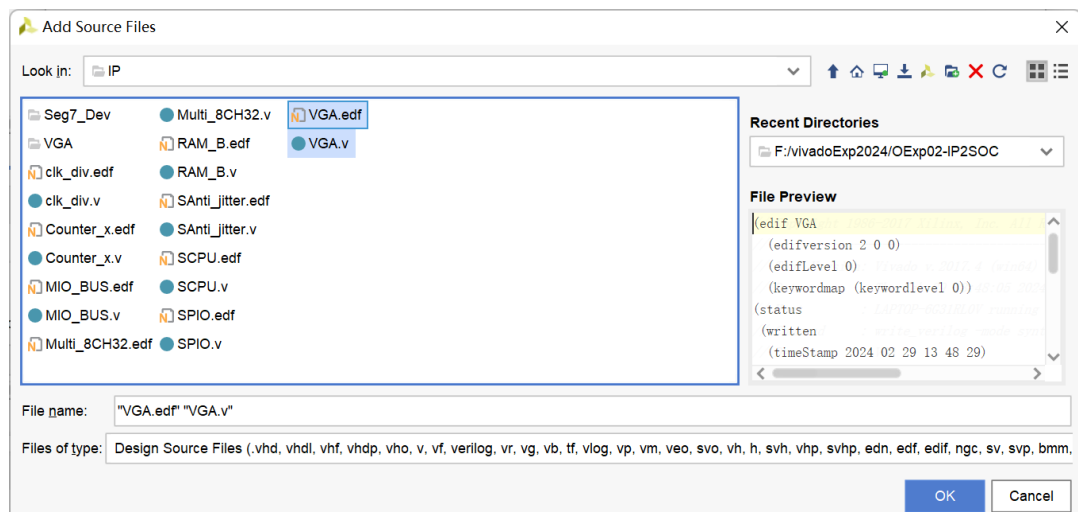
- ppt67中的两个.mem文件在 .\OExp02-IP2SOC\ 目录下中, 添加方式:



- 添加方式1 (源文件, 推荐使用此方法): 在 ./IP/VGA/ 文件夹的srcs中找到下列文件, 全部添加, 添加后在VgaDisplay.v中修改两个.mem的路径! 用 // 分隔!



- 添加方式2 (ip): 直接导入IP目录中网表文件VGA.edf和源文件VGA.v, 还需要将两个.mem文件放到PPT67所指定的位置下!



- 实验参考流程:

- 创建TOP文件CSSTE.v (包含的输入输出已在PPT71页给出) , 在按ppt要求添加完所有模块后, 连线

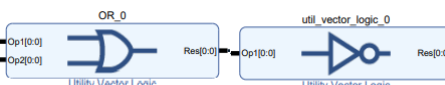
```
// 样例一, u8和u10的clkdiv和clk0的连线
wire [31:0] clkdiv; //额外声明wire用于连接两个或多个模块
clk_div u8
(
    //...
    .clkdiv(clkdiv),
    //...
);
Counter_x U10
(
    //...
    .clk0(clkdiv[6]), //U8和U10对应的连线
    //...
);

//样例二, 顶层模块CSSTE的input默认为wire, 可以不声明wire
module CSSTE(
    //...
    input [3:0] BTN_y,
    //...
);
SAnti_jitter U9
(
    //...
    .Key_y(BTN_y), // 连接
    //...
);
endmodule

//程序中可以不需要assign
```

- 关于顶层逻辑图中的部分部件:

- slice样例: `.attribute(input[n])/attribute(input[n:m])`
- concat样例: `.attribute({input1, input2})`
- constant样例: `.attribute(8'b00000000)`
- 名称为sw10、sw0、sw7_5的slice截取的是就是名称中指定sw的位置

- 关于  等, 直接在连线时进行运算, 例如 `.attribute(op1|op2)/attribute(~op)`