



OpenMIPS(Verilog HDL)  
教学版v1.0

绘图：雷思磊  
日期：2014-2-18

说明：  
(1) **红色加粗斜体**是OpenMIPS处理器的输入接口  
(2) **蓝色加粗斜体**是OpenMIPS处理器的输出接口  
(3) 每一个模块在绘制的时候，其左侧都是输入接口，右侧都是输出接口