

目录


目录


软件一 Logisim	2
1 下载安装.....	2
2 用户界面.....	2
2.1 浏览栏 (Explorer Pane)	2
2.2 属性栏 (Attribute Table)	3
2.3 工具栏 (Toolbar)	3
3 基本使用.....	3
3.1 根据提供的与或非门设计异或门器件.....	3
3.2 设计 4X32 寄存器文件.....	5
软件二 Modelsim_10.4c.....	8
1 下载安装 (关闭安全软件)	8
2 用户界面.....	9
2.1 主窗口.....	9
2.2 library 窗口	9
2.3 project 窗口.....	9
2.4 sim 窗口	10
2.5 objects 窗口	10
2.6 process 窗口	10
2.7 locals 窗口	10
2.8 watch 窗口	10
2.9 wave 窗口	10
3 基本使用.....	10
3.1 建立 Modelsim 库.....	10
3.2 建立项目.....	10
3.3 编译源代码.....	12
3.4 启动仿真器.....	12
3.5 运行仿真器.....	13
3.6 调试.....	14
软件三 Vivado 2016.2	16
1 下载安装 (关闭安全软件)	16
2 Vivado 和 ModelSim 关联	24
3 基本使用-点亮开发板上的 LED 灯.....	26

软件一 Logisim

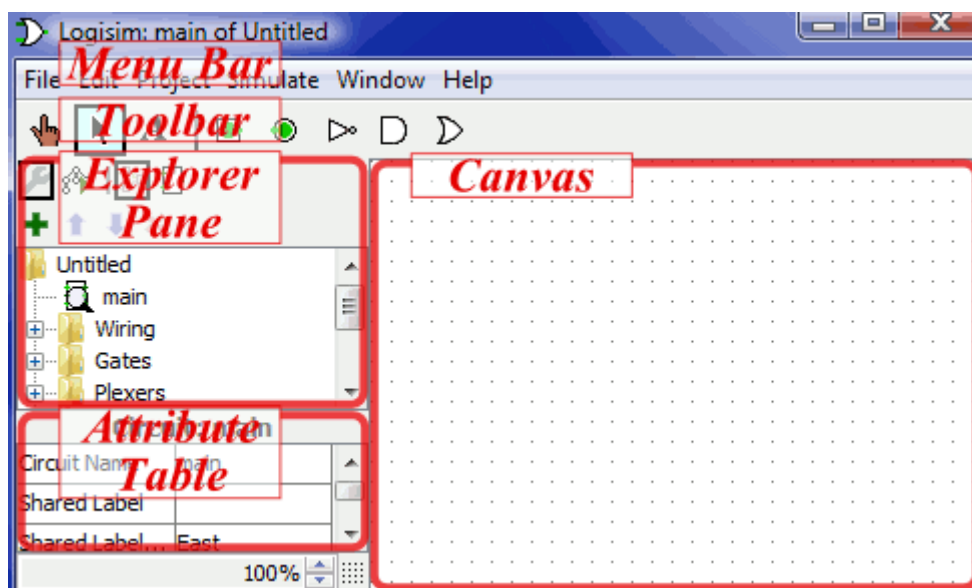
Logisim 是一款用于帮助学生设计和模拟数字逻辑电路的辅助教学软件。运用 logisim 提供的工具，不仅可以设计相应的数字逻辑电路，还可模拟电路运行，验证电路设计的正确性。使用 Logisim，大型复杂的数字逻辑电路设计不再复杂。采用从下向上分层设计的思路，学生先设计实现小部件，验证通过后，再将小部件放到大设计中去。如此，设计和模拟完整的 CPU 也不是问题。

1 下载安装

下载  logisim-win-2.7.0.zip

无需安装，双击  logisim-win-2.7.0.exe 即可运行

2 用户界面




2.1 浏览栏（Explorer Pane）

在浏览栏，学生可以浏览到当前的项目设计和加载的工具库。设计好的或正在设计的数字电路在项目名下边，main 代表项目的顶层设计；以文件夹形式组织的是设计电路过程中需要用到工具，包括连线、逻辑门、编解码器、算术运算器、存储单元、输入输出和基本的操作工具。

- **Wiring:** Components that interact directly with wires.
- **Gates:** Components that perform simple logic functions.
- **Plexers:** More complex combinational components, like multiplexers and decoders.
- **Arithmetic:** Components that perform arithmetic.
- **Memory:** Components that remember data, like flip-flops, registers, and RAM.
- **I/O:** Components that exist for the purpose of interacting with the user.
- **Base:** Tools that are integral to using Logisim, though you probably won't need to dig into this library very often.

2.2 属性栏 (Attribute Table)

使用  选择具体器件，可在属性栏修改该器件的属性，包括数据宽度、器件大小、朝向、器件名等。

2.3 工具栏 (Toolbar)

工具栏只放置了一些最基本的工具（箭头、文字输入、输入输出、与或非门），这些在工具库中都能够找到。

3 基本使用

3.1 根据提供的与或非门设计异或门器件

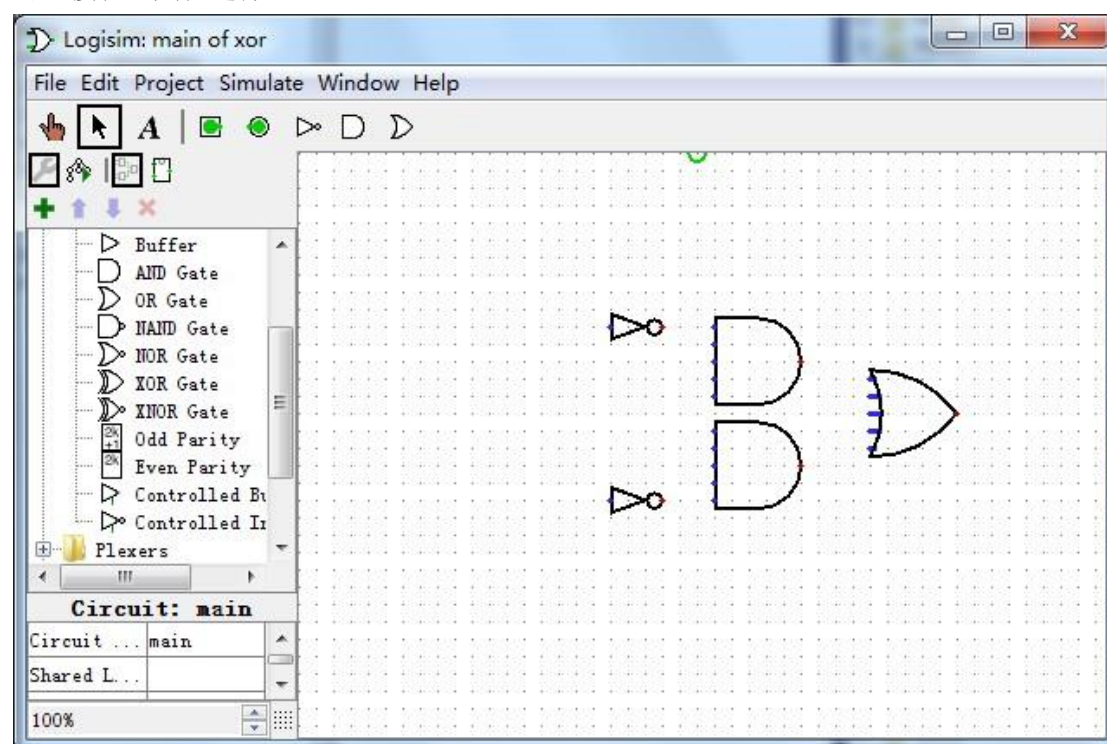
3.1.1 新建项目

File->New, 新建项目

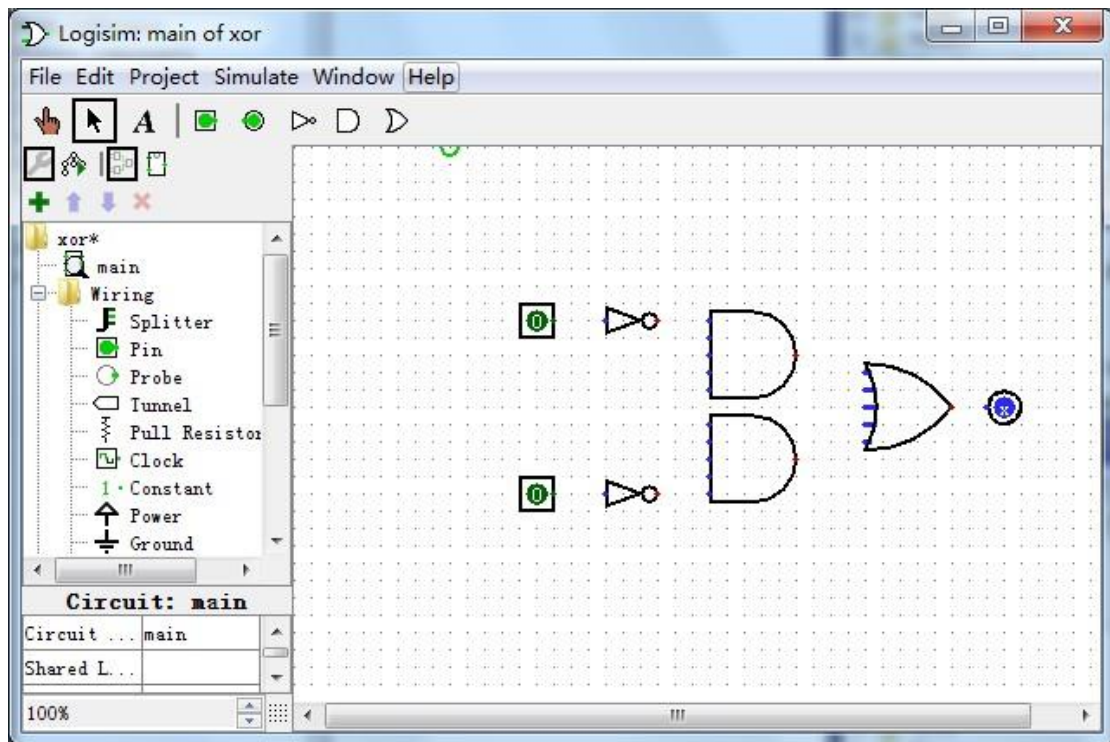
File->Save, 将新项目命名为 xor.circ, 并保存


3.1.2 设计器件

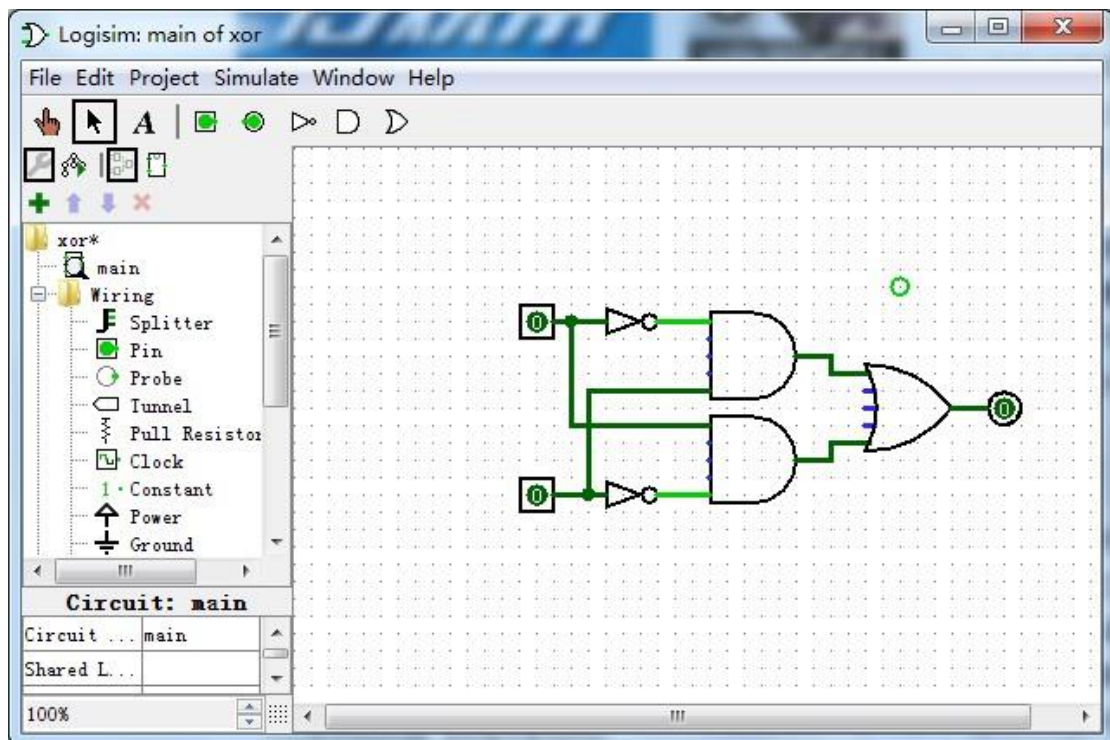
添加门器件。在浏览栏中选择与门、或门和非门，按照需要将它们添加到右边的画布。可直接从工具栏选择。



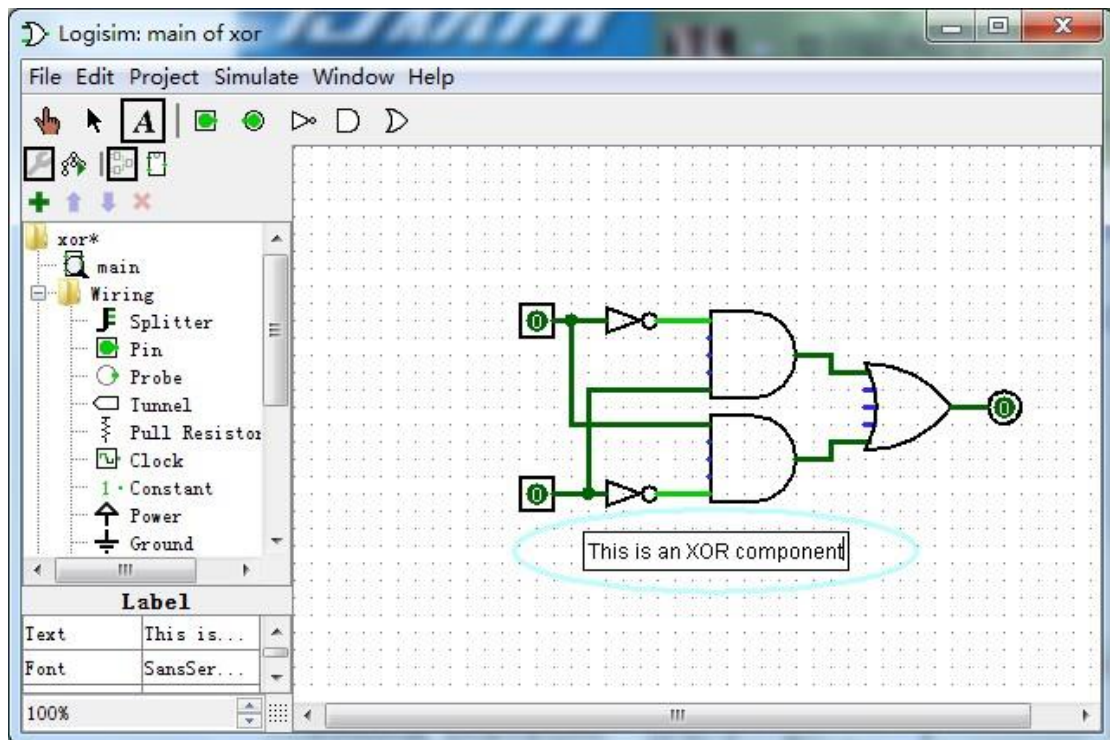
添加输入输出引脚。在连线器件中选择 pin, 将其添加到画布。可直接从工具栏选择。




连线。箭头选择 ，将箭头放在器件连线端，单击，按住左键拖动即可将器件连接起来。



添加文字。选择工具 **A**，在画布中器件下边单击输入“This is an XOR component”。



3.1.3 电路验证

箭头选择 ，单击可以改变输入引脚的值，查看输出引脚的值，判断跟预想的是否一致。在上图中， $0 \text{ xor } 0 = 0$ ，没问题。再试一下其它的值，查看输出，验证电路的正确性。在电路中，亮色的连线代表线值为 1，暗色的线值为 0。

3.2 设计 4X32 寄存器文件

4 个 32 位寄存器。可复位；一个写端口，写使能有效时，时钟上升沿写有效；两个读端口，写使能无效时读出相应寄存器数据。

3.2.1 单个寄存器设计

新建项目，命名为 regfile.circ

在浏览栏，右键 regfile，添加电路 register

双击 register，在其画布中设计单个寄存器

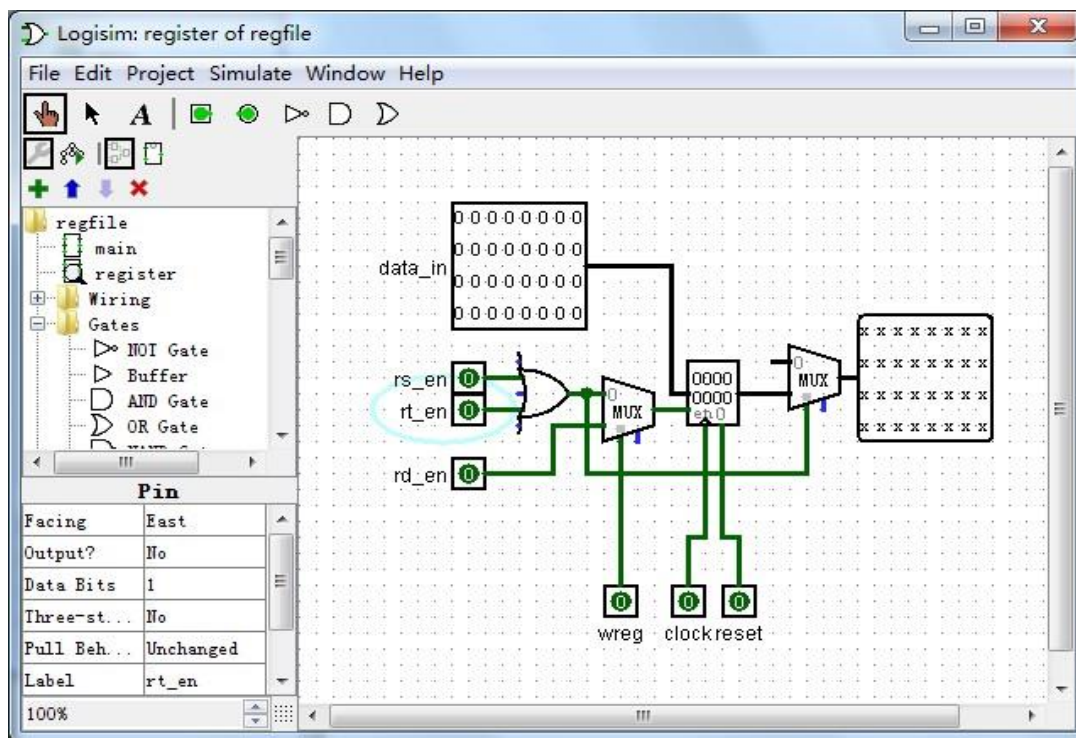
在 Memory 中选择 Register，添加到画布，设置数据宽度为 32 位

添加 32 位数据输入端，命名为 data_in

添加 clock 和 reset 输入端

设计 enable 输入。根据 enable 为 0 时，读有效，enable 为 1 时，写有效，需要在 enable 前端放置一个选择器，选择信号为写使能信号 wreg，输入为读有效和写有效信号。因有两个读寄存器端口，会产生两个读有效信号，只要其中任一个有效，都会读出数据，因此需要添加一个或门。

对于输出端。只有当读有效时才输出数据，否则输出任意值。因此需要添加一个选择器，选择信号为读有效信号。32 位输出端肯定也是需要的。



3.2.2 单个寄存器验证

数据写入。将数据设置为 0x01010101, rd_en, wreg 为 1, 给个时钟上升沿, 看寄存器值是否变成 0x01010101

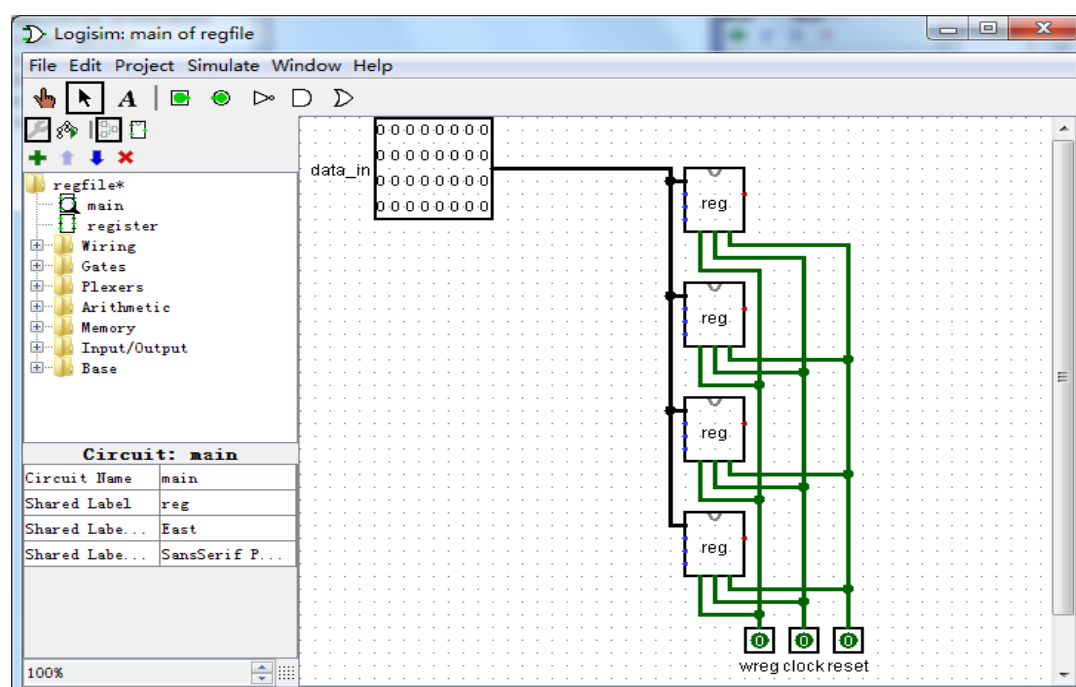
数据读取。将 rs_en 或 rt_en 设为 1, wreg 为 0, 查看输出端是否跟寄存器内容一致
复位。单击 reset, 看寄存器内容是否置 0

3.2.3 寄存器文件设计

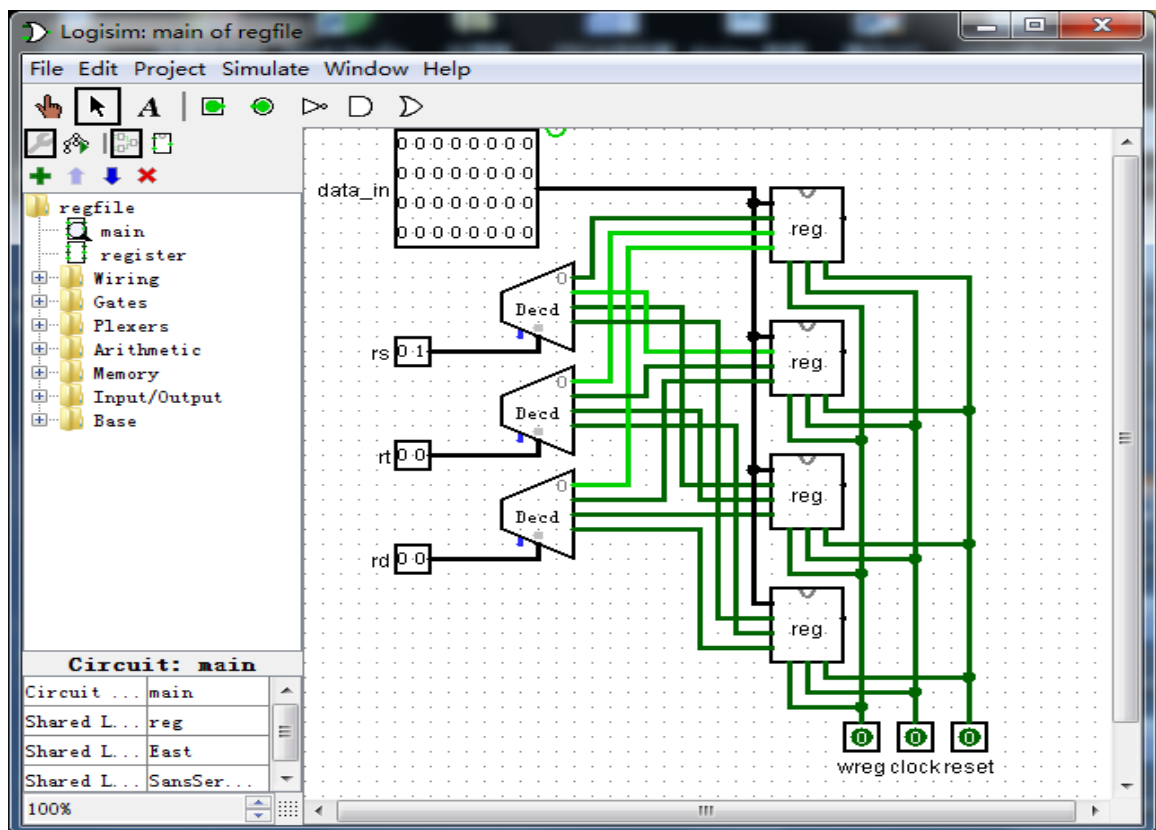
单个寄存器验证通过后, 可以将其作为一个封装好的元器件使用。

在 main 中添加 4 个自定义的 register。

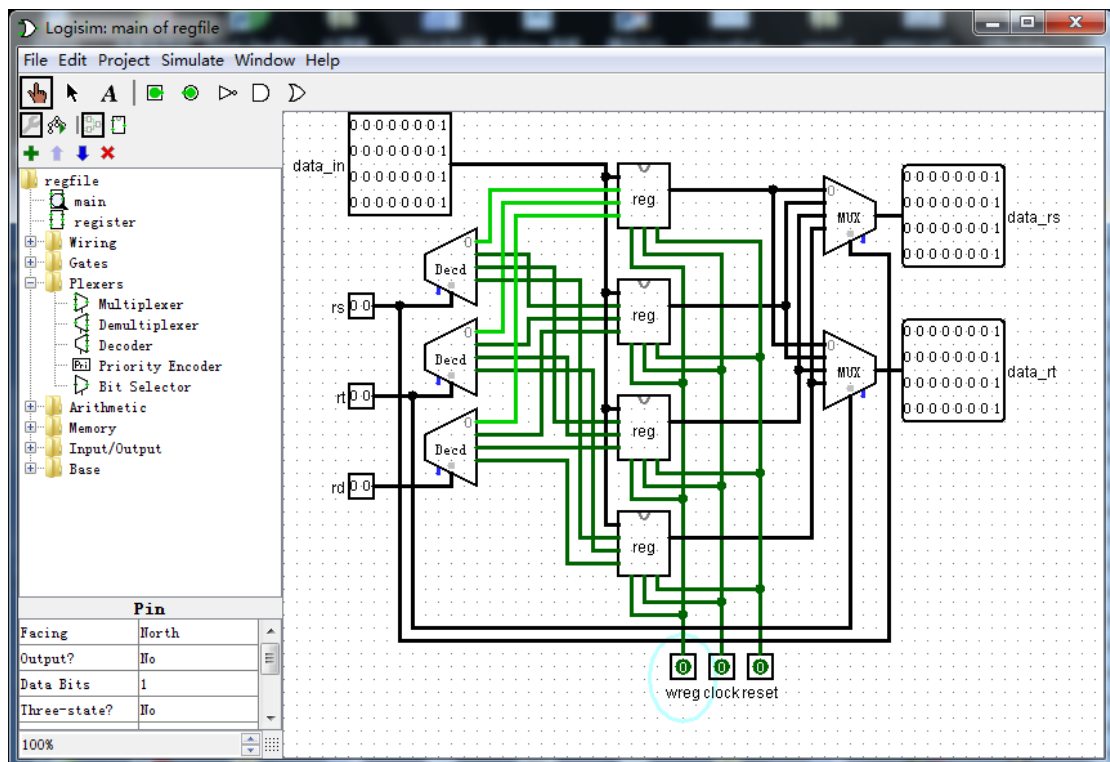
添加数据输入引脚、写使能、时钟和复位引脚。



根据输入的寄存器端口号译码得到相应寄存器的 enable 输入。



输出端口的数据来自哪个寄存器，需要选择器选择，选择信号为相应的寄存器端口号。



3.2.4 寄存器文件验证

同单个寄存器验证思路验证该寄存器文件电路的正确性。

软件二 Modelsim_10.4c

Modelsim 仿真软件是由 MentorGraphic 公司的子公司 Model 技术公司开发的工业界上最为通用的仿真器之一。它可以用于 Verilog 仿真、VHDL 仿真或者两者的混合仿真。

1 下载安装（关闭安全软件）

（1）到学校网站 mips246.tongji.edu.cn 下载安装 modelsim_10.4c。

文件名	大小	修改日期	操作
license.lic	0 KB	2018/9/9 14:42:30	下载
logisim-win-2.7.0.rar	5613 KB	2016/4/6 20:46:52	下载
Mars4_5 导出十六进制文件及结果比对说明.rar	25306 KB	2017/4/12 21:54:34	下载
ModelSim 数据连接配置客户端-同济大学.pdf	134 KB	2019/9/2 19:13:08	下载
modelsim_10.4c.rar	303859 KB	2018/9/9 14:15:12	下载
modelsim_crack.rar	508 KB	2018/10/14 10:04:59	下载
ModelSim安装步骤说明.pdf	370 KB	2020/9/14 14:38:09	下载
ultracompare.zip	9927 KB	2018/8/4 12:22:34	下载
VIVADO 14.4安装流程.pdf	1575 KB	2019/9/2 20:35:02	下载
vivado_16.2.rar	9825404 KB	2018/9/9 14:36:15	下载
vivado在线安装程序.rar	51348 KB	2016/9/8 20:14:14	下载
Xilinx_ise_vivado.lic	0 KB	2019/9/2 20:31:53	下载
数字逻辑软件安装手册.pdf	4424 KB	2021/9/9 19:35:19	下载
数字逻辑软件安装手册（9-21更新版）.pdf	3222 KB	2020/9/14 14:38:08	下载

（2）下载完成之后自行安装，安装参考网站 mips246.tongji.edu.cn 上的 modelsim 安装步骤说明文档，最后一步**不需要**安装 hardware security key drive。

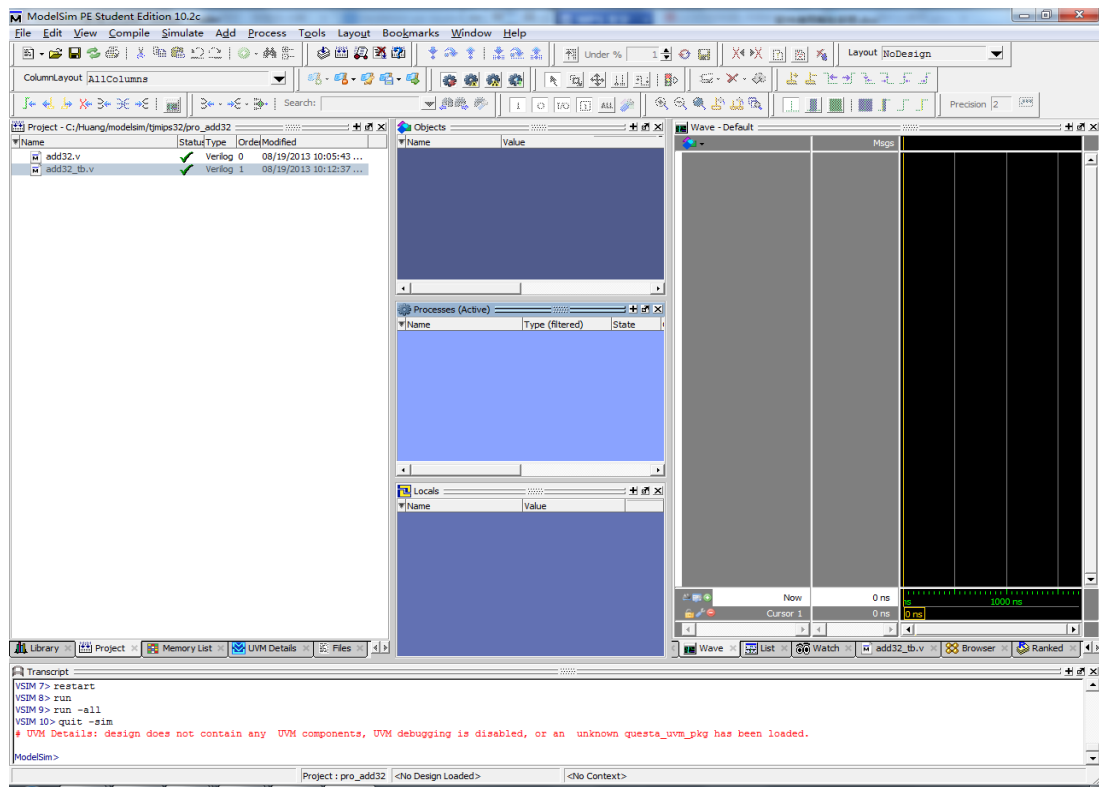
文件名	大小	修改日期	操作
license.lic	0 KB	2018/9/9 14:42:30	下载
logisim-win-2.7.0.rar	5613 KB	2016/4/6 20:46:52	下载
Mars4_5 导出十六进制文件及结果比对说明.rar	25306 KB	2017/4/12 21:54:34	下载
ModelSim 数据连接配置客户端-同济大学.pdf	134 KB	2019/9/2 19:13:08	下载
modelsim_10.4c.rar	303859 KB	2018/9/9 14:15:12	下载
modelsim_crack.rar	508 KB	2018/10/14 10:04:59	下载
ModelSim安装步骤说明.pdf	370 KB	2020/9/14 14:38:09	下载
ultracompare.zip	9927 KB	2018/8/4 12:22:34	下载
VIVADO 14.4安装流程.pdf	1575 KB	2019/9/2 20:35:02	下载
vivado_16.2.rar	9825404 KB	2018/9/9 14:36:15	下载
vivado在线安装程序.rar	51348 KB	2016/9/8 20:14:14	下载
Xilinx_ise_vivado.lic	0 KB	2019/9/2 20:31:53	下载
数字逻辑软件安装手册.pdf	4424 KB	2021/9/9 19:35:19	下载
数字逻辑软件安装手册（9-21更新版）.pdf	3222 KB	2020/9/14 14:38:08	下载

（3）安装之后打开提示证书错误，同样参考 mips246.tongji.edu.cn 网站上的相关文档（ModelSim 数据连接配置客户端-同济大学）进行激活。

文件名	大小	修改日期	操作
license.lic	0 KB	2018/9/9 14:42:30	下载
logisim-win-2.7.0.rar	5613 KB	2016/4/6 20:46:52	下载
Mars4_5 号出十六进制文件及结果比对说明.rar	25306 KB	2017/4/12 21:54:34	下载
ModelSim 数据连接配置客户端-同济大学.pdf	134 KB	2019/9/2 19:13:08	下载
modelsim_10.4c.rar	303859 KB	2018/9/9 14:15:12	下载
modelsim_crack.rar	508 KB	2018/10/14 10:04:59	下载
ModelSim安装步骤说明.pdf	370 KB	2020/9/14 14:38:09	下载
ultracompare.zip	9927 KB	2018/8/4 12:22:34	下载
VIVADO 14.4安装流程.pdf	1575 KB	2019/9/2 20:35:02	下载
vivado_16.2.rar	9825404 KB	2018/9/9 14:36:15	下载
vivado在线安装程序.rar	51348 KB	2016/9/8 20:14:14	下载
Xilinx_jse_vivado.lic	0 KB	2019/9/2 20:31:53	下载
数字逻辑软件安装手册.pdf	4424 KB	2021/9/9 19:35:19	下载
数字逻辑软件安装手册 (9-21更新版) .pdf	3222 KB	2020/9/14 14:38:08	下载

2 用户界面

2.1 主窗口



2.2 library 窗口

呈现编译好的库文件

2.3 project 窗口

呈现当前项目文件

2.4 sim 窗口

仿真时自动打开，呈现仿真内容

2.5 objects 窗口

Objects 窗口显示了被选中的设计层次模块的信号名以及它们的值。信号可以是VHDL信号，可以是Verilog 线网、寄存器变量和命名事件。窗口中的信号能够支持“拖放”功能，即将信号拖放到Wave 窗或者List 窗。Edit 菜单中的Force 菜单可以用于产生激励。View 菜单中的Filter 可以帮助快速显示或者不显示想要观察的信号类型，例如输入，输出，或者内部信号等。

2.6 process 窗口

2.7 locals 窗口

Locals 窗口显示下面即将被执行的语句中的可以马上被看到的数据对象及其值。（即将被执行的语句在源程序中是被绿色的箭头标示的）。Locals 窗口包含了两列，第一列列出了数据对象的名字，第二列是其数值。

2.8 watch 窗口

Watch 窗口显示了当前仿真时间下的信号与变量的值，与Objects 窗口和Locals 窗口不同的是，Watch 窗口允许你观察当前设计中任意的信号与变量的值。

在 Watch 窗口中被观察的值可以是VHDL 的信号、变量、generic，也可以是Verilog 的线网、寄存器、命名事件与模块参数。要在Watch 窗口观察信号或者变量，只需要从Object 窗口或者Locals 窗口中将信号拖放进来即可。

2.9 wave 窗口

显示待观察信号的波形

3 基本使用

ModelSim 有三种实现方法。第一种是交互式的命令行，这种操作方法没有用户界面，唯一的界面是控制台的命令行。第二种是用户界面(UI)，它能够接收菜单输入和命令行输入。第三种是批处理模式，是用DOS 或UNIX 命令行运行批处理文件。我们在这里主要讨论第二种——用户界面的方式。

3.1 建立 Modelsim 库

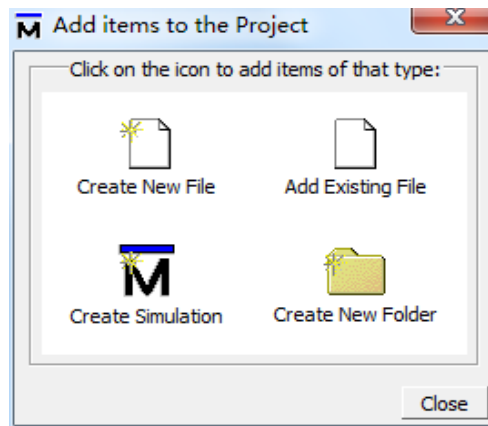
从主菜单里面：File->New->Library 点击Library 得到Create a New Library 对话框。选择a new library and a logical mapping to it，在Library Name 中输入work，相应的在Library Physical Name 中也会出现物理名work。然后点击OK 确定。

此时在工作空间 workspace 的Library 栏内会出现一个名为work 的库。

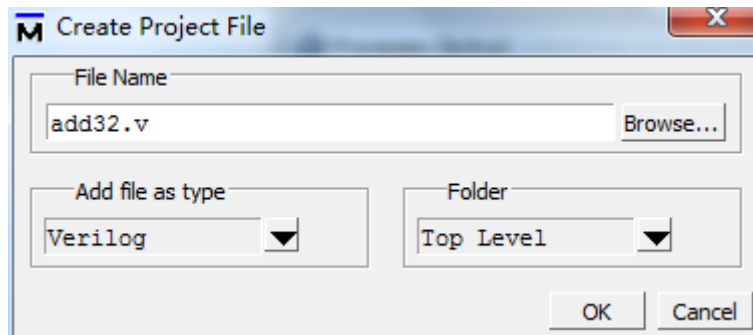
3.2 建立项目

从主菜单里面：File->New->Project 点击Project 得到Create Project 窗口，在Project Name 栏输入工程名pro_add32，在Project Location 栏输入新建工程所处的位置（默认为用户当前所在的工作目录下），在Default Library Name 栏中输入所使用的库名（默认为work 库）。输入完毕以后点击OK 确认。

此时在工作空间 workspace 内会出现一个名为Project 的栏。同时出现了一个Add items to the Project 的对话框。如果源文件已经存在, 选择Add Existing File 后又会弹出一个Add file to Project 的对话框, 将需要的源文件添加到当前项目即可。



否则, 新建源文件 add32.v, 文件类型为 Verilog, 添加如下代码。



```
1  
2   module add32(a, b, result);  
3       input  [31:0] a, b;  
4       output [31:0] result;  
5  
6       assign result = a + b;  
7   endmodule
```

同样, 新建源文件 add32_tb.v, 文件类型为 Verilog, 添加如下代码。

```

1  module add32_tb();
2      reg [31:0] a, b;
3      wire [31:0] result;
4
5      add32 adder(a, b, result);
6
7      initial
8      begin
9          a = 0; b = 0;
10         #100;
11         a = 1; b = 8;
12         #100;
13         a = 32'h12345678;
14         b = 32'h87654321;
15         #100;
16         b = 0;
17     end
18
19 endmodule

```

编辑好后，在Project 栏中出现add32.v、add32_tb.v 两个文件。同时它们的状态Status 被显示为?，代表了这两个文件现在还没有被编译。

3.3 编译源代码

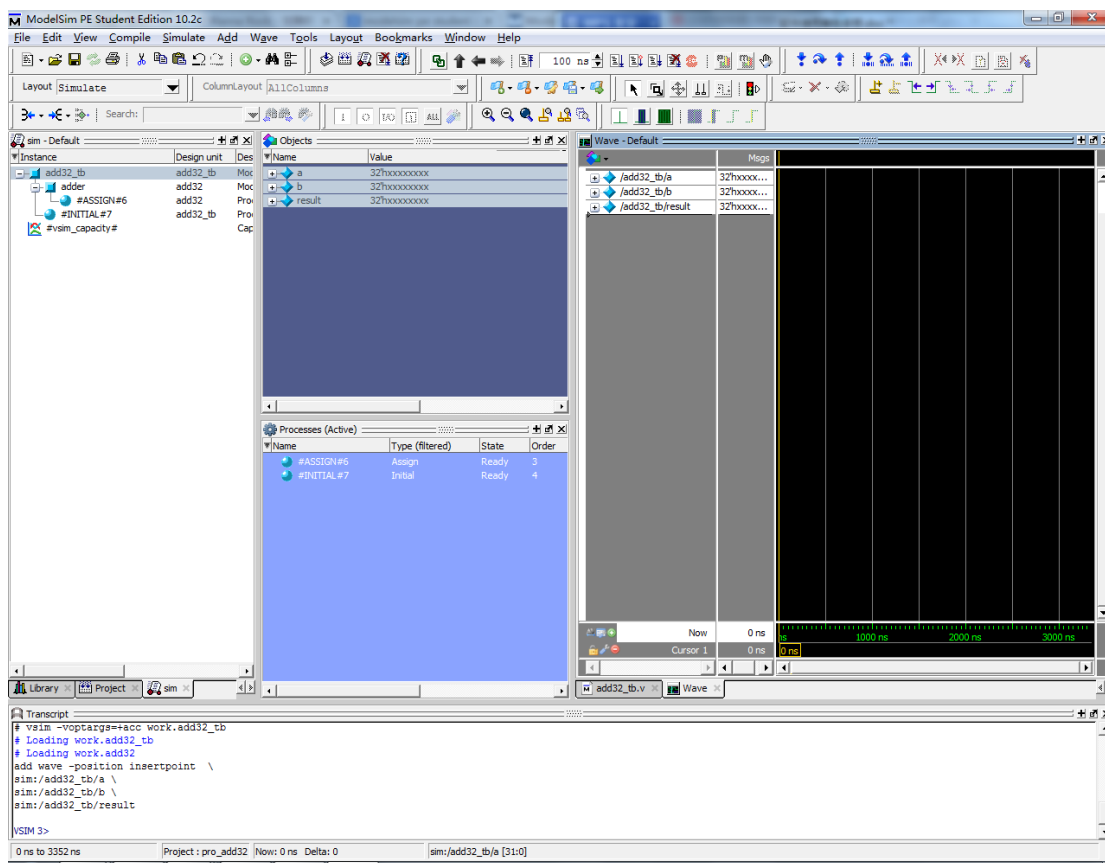
点击右键在下拉菜单中点击Compile->Compile All，此时两个文件都会被编译。也可以分别选中两个文件右键选择Compile Selected 对两个文件分别编译。

编译完以后用户界面如图2.7 所示：此时状态Status 显示为绿色的对号(√)表示编译已通过。

3.4 启动仿真器

编译通过以后，点击 Library 栏，展开work库。发现此时在work 库内部出现了add32与add32_tb两个模块(图标表示是Verilog 的module)。选择测试模块tb_nand2（注意：必须选择顶层的测试模块）点击右键得到下拉菜单，选择Simulate，就可以加载要仿真的设计了。

点击 Simulate后在Project栏旁边出现sim 栏。选择sim栏中不同的实例，Objects栏中的信号会发生变化。点击add32_tb，出现下拉菜单，选择Add->Add to Wave。此时用户界面出现 Wave-default 新的内嵌窗口，波形窗中出现了待观察的信号a、b、result。

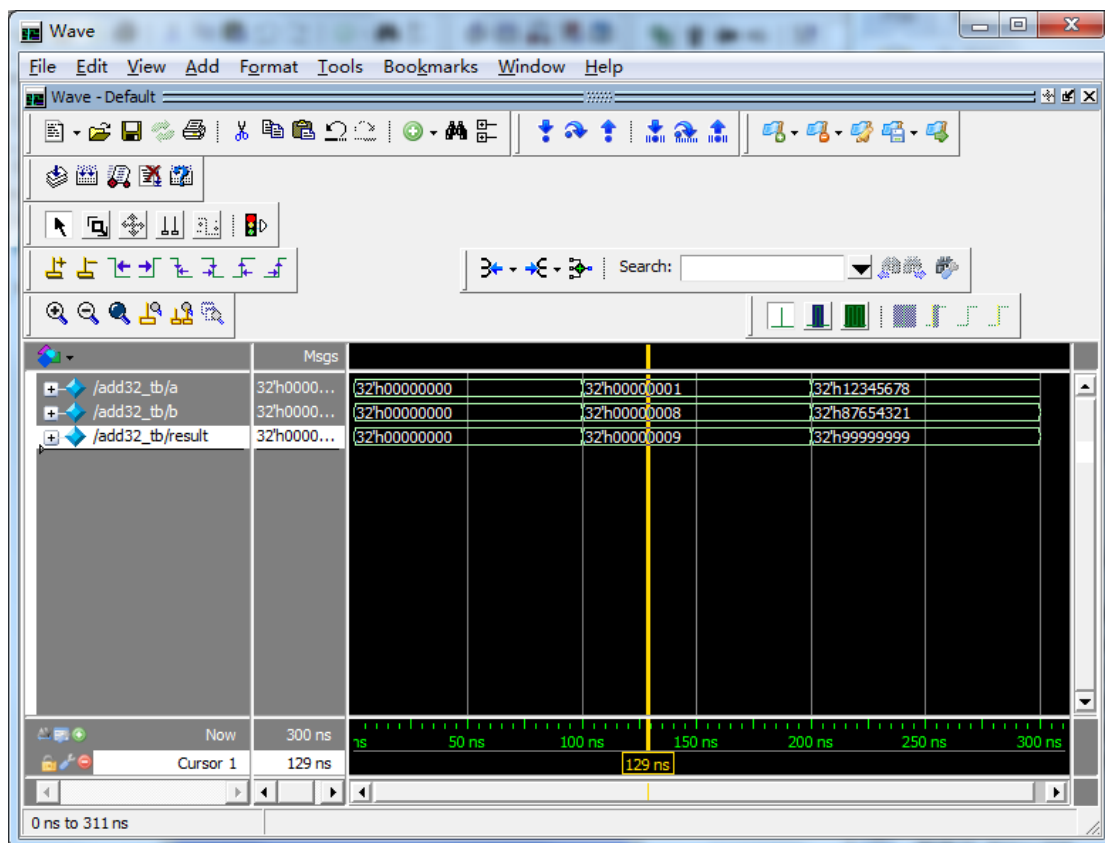


3.5 运行仿真器

在 Transcript 窗口中输入run -all, 然后enter 键确定(或点击工具栏按钮), 运行仿真。在仿真结束时弹出 Finish Vsim 窗口, 选择No, 否则会退出仿真器。

波形窗内嵌在主窗口内很不容易观察, 可以点击图 2.14 中波形窗右上角的按钮 (Dock/Undock)将波形窗单独调出来观察。

调出来的波形窗口如图 2.15 所示, 可以通过拉动波形窗下面的滚卷条来调节显示波形的位置时刻, 点击工具栏中的按钮可以从整体上对波形进行观察。



观察波形，如果波形是错误的，可以在用户工作区修改源代码。修改完代码以后保存，重新运行仿真。重新运行仿真时点击工具栏中的**Restart** 按钮，弹出**Restart** 对话框如图2.16所示。

点击 **Restart** 按钮以后，重新点击按钮执行仿真。

如果观察波形正确，说明设计达到了要求，可以退出仿真器。首先在 **Transcript** 窗口中输入命令`quit -sim` 后`enter` 键确定执行(也可以利用菜单**Simulate->End Simulation** 菜单完成，不过此时要在弹出的对话框中选中**YES** 确定退出仿真)，退出仿真，如图2.17 所示。

利用 `quit -sim` 命令退出仿真以后的界面又恢复到了启动仿真前的状态，如图2.18 所示。注意右边用户界面处的几个窗口同学们可以自己关掉。

3.6 调试

可以采用两种方式，一是信号监视，将要监视的信号拖拽到**wave**窗口；二是设置断点。可以在源代码窗口设置断点。还可以设置条件断点。

```

1  module add32_tb();
2      reg  [31:0] a, b;
3      wire [31:0] result;
4
5      add32 adder(a, b, result);
6
7      initial
8      begin
9          a = 0; b = 0;
10         #100;
11         a = 1; b = 8;
12         #100;
13         a = 32'h12345678;
14         b = 32'h87654321;
15         #100;
16         b = 0;
17     end
18
19 endmodule

```

软件三 Vivado 2016.2

1 下载安装（关闭安全软件）

方法 1 mips246 网站下载安装包

访问 mips246.tongji.edu.cn 网站，下载 [vivado_16.2.rar](#)。跳第 4 步安装 vivado

开发工具

文件名	大小	修改日期	操作
license.lic	0 KB	2018/9/9 14:42:30	下载
logisim-win-2.7.0.rar	5613 KB	2016/4/6 20:46:52	下载
Mars4_5 导出十六进制文件及结果比对说明.rar	25306 KB	2017/4/12 21:54:34	下载
ModelSim 数据连接配置客户端-同济大学.pdf	134 KB	2019/9/2 19:13:08	下载
modelsim_10.4c.rar	303859 KB	2018/9/9 14:15:12	下载
modelsim_crack.rar	508 KB	2018/10/14 10:04:59	下载
ModelSim安装步骤说明.pdf	370 KB	2020/9/14 14:38:09	下载
ultracompare.zip	9927 KB	2018/8/4 12:22:34	下载
VIVADO 14.4安装流程.pdf	1575 KB	2019/9/2 20:35:02	下载
vivado_16.2.rar	9825404 KB	2018/9/9 14:36:15	下载
vivado在线安装程序.rar	51348 KB	2016/9/8 20:14:14	下载
Xilinx_ise_vivado.lic	0 KB	2019/9/2 20:31:53	下载
数字逻辑软件安装手册.pdf	4424 KB	2021/9/9 19:35:19	下载
数字逻辑软件安装手册（9-21更新版）.pdf	3222 KB	2020/9/14 14:38:08	下载

[添加](#)

方法 2 在线安装程序下载安装包

（1）访问 mips246.tongji.edu.cn 网站，下载 Vivado 在线安装程序（需要至 [xilinx 官网](#) 注册）。

6

首页

实验指导书

PPT

开发工具

相关资料

工具

常见问题

论坛

特殊文件

课程设计

学生管理

成绩管理

作业管理

16

开发工具

文件名	大小	修改日期	
logisim-win-2.7.0.rar	5613 KB	2016/4/6 20:46:52	下载
Mars_4_2.jar	3057 KB	2016/4/6 20:46:53	下载
modelsim-pe_student_edition.exe	354831 KB	2016/4/6 20:46:53	下载
modelsimPE.rar	303700 KB	2016/4/6 20:46:56	下载
vivado在线安装程序.rar	51348 KB	2016/9/8 20:14:14	下载
Xilinx ISE 14.7.rar	8018467 KB	2016/4/6 20:47:01	下载

Vivado 2016.2 Installer - Select Install Type

Select Install Type

Please select install type and provide your Xilinx.com user ID and password for authentication.

User Authentication

Please provide your Xilinx user account credentials to download the required files.
If you don't have an account, [please create one](#). If you forgot your password, you can [reset it here](#).

User ID:

Password:

☐ Download and Install Now

Select your desired device and tool installation options and the installer will download and install just what is required. Downloaded installation files will be saved for future use. NOTE: Future installs using these downloaded files will be restricted to the options selected during this install. For access to all options later, choose "Download Full Image".

☒ Download Full Image (Install Separately)

The installer will download an image containing all devices and tool options for later installation. Use this option if you wish to install a full image on a network drive or allow different users maximum flexibility when installing.

Select the directory where you want the software to be downloaded

Download files to create full image for selected platform(s)

☒ Windows ☐ Linux

Copyright © 1986-2016 Xilinx, Inc. All rights reserved.

< Back Next > Cancel

(3) 开始下载

Vivado 2016.2 Installer - Installation Summary

Download Summary

VIVADO
HLS Editions

Download location

- C:\Xilinx\Downloads\2016.2

Disk Space Required

- Download Size: 9.31 GB
- Disk Space Required: 9.31 GB

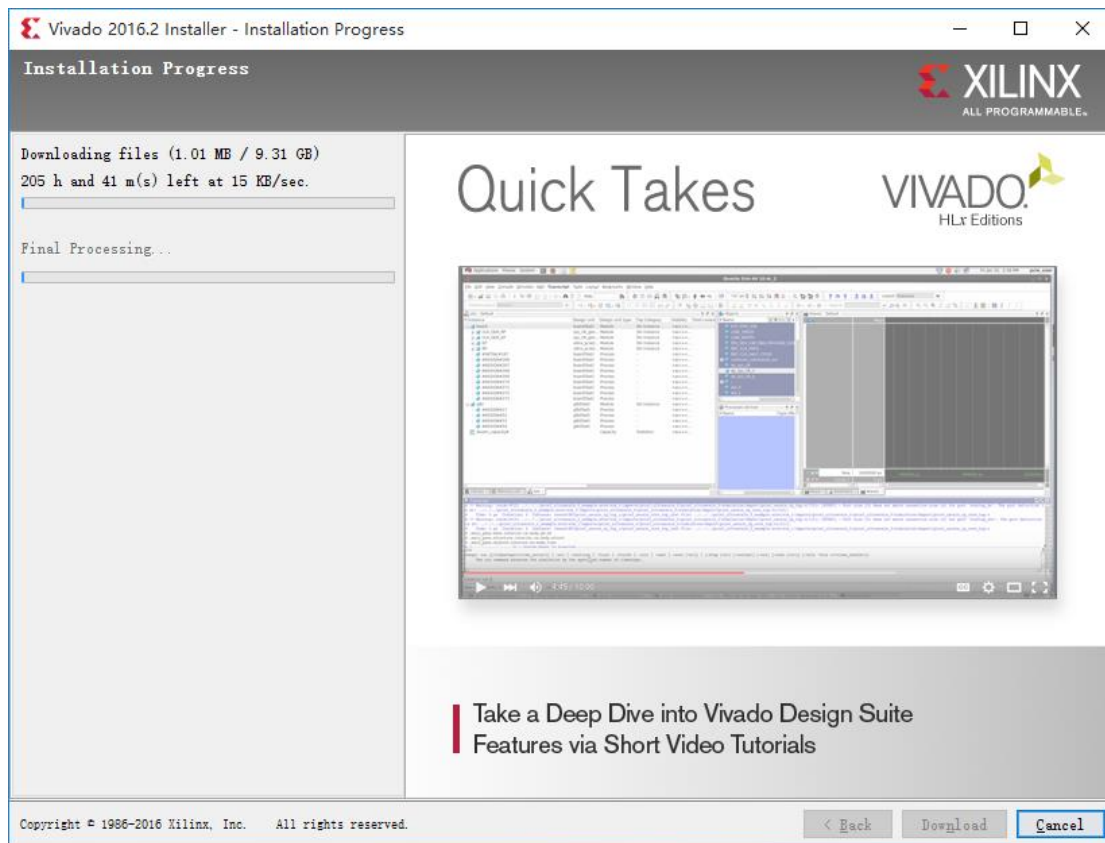
Download platform

- Windows

XILINX
ALL PROGRAMMABLE.

Copyright © 1986-2016 Xilinx, Inc. All rights reserved.

Preferences < Back Download Cancel

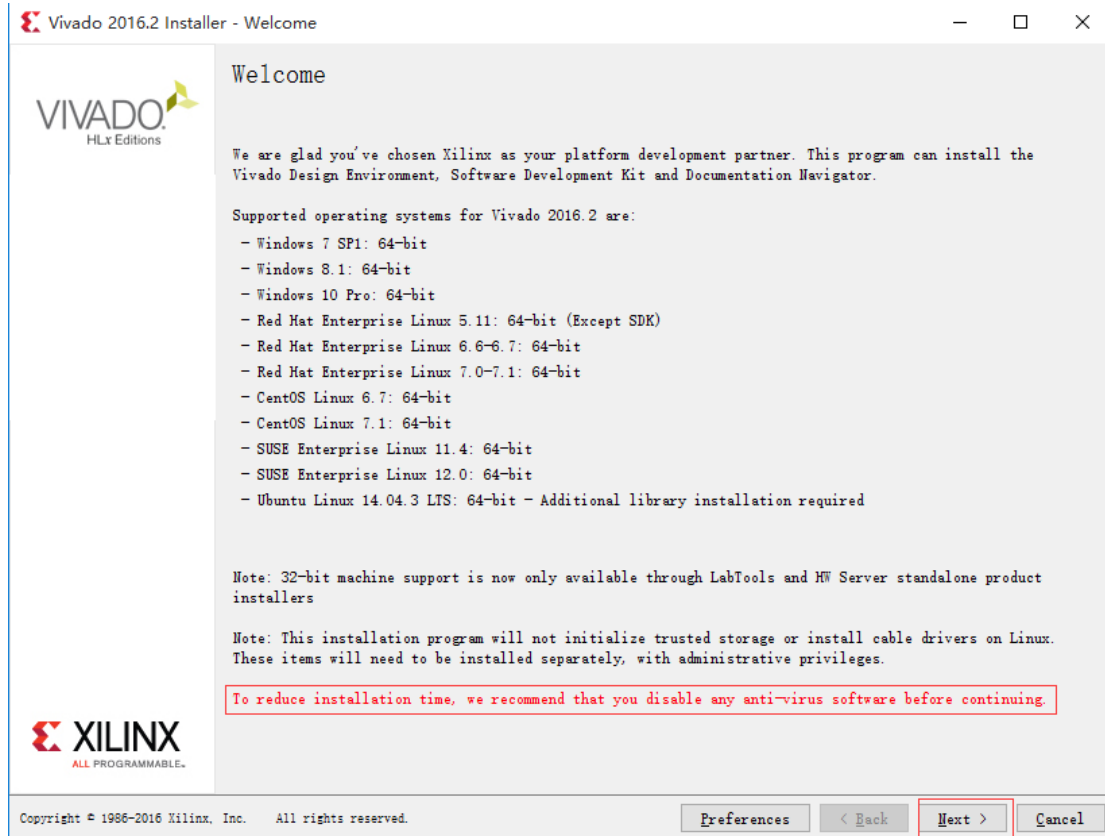


(4) 下载完成打开下载文件，进行安装。

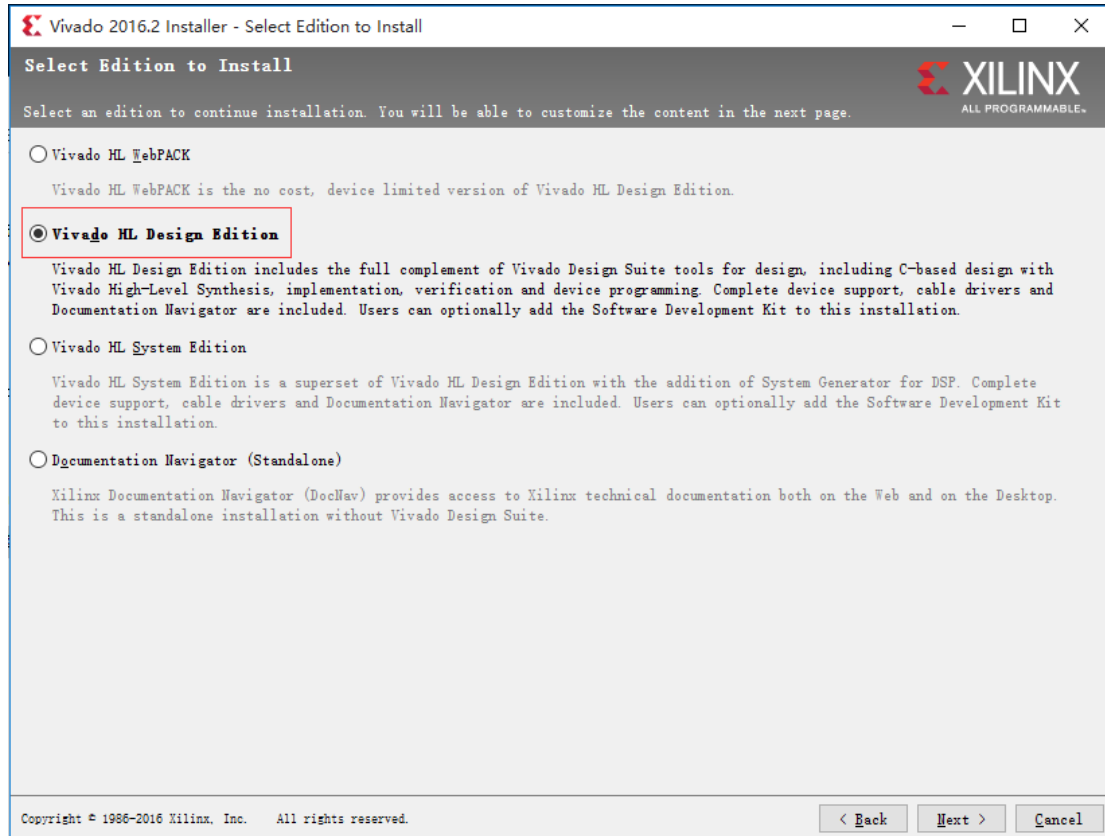
1) 双击 xsetup.exe

电脑 > 本地磁盘 (C:) > Xilinx > Downloads > 2016.2				
名称	修改日期	类型	大小	
bin	2016/9/10 0:43	文件夹		
data	2016/9/10 0:43	文件夹		
lib	2016/9/10 0:43	文件夹		
payload	2016/9/10 0:42	文件夹		
scripts	2016/9/10 0:43	文件夹		
tps	2016/9/10 0:43	文件夹		
msvcp110.dll	2016/6/3 6:59	应用程序扩展	523 KB	
msvcr110.dll	2016/6/3 6:59	应用程序扩展	855 KB	
vccorlib110.dll	2016/6/3 6:59	应用程序扩展	247 KB	
xsetup	2016/6/3 7:00	应用程序	434 KB	

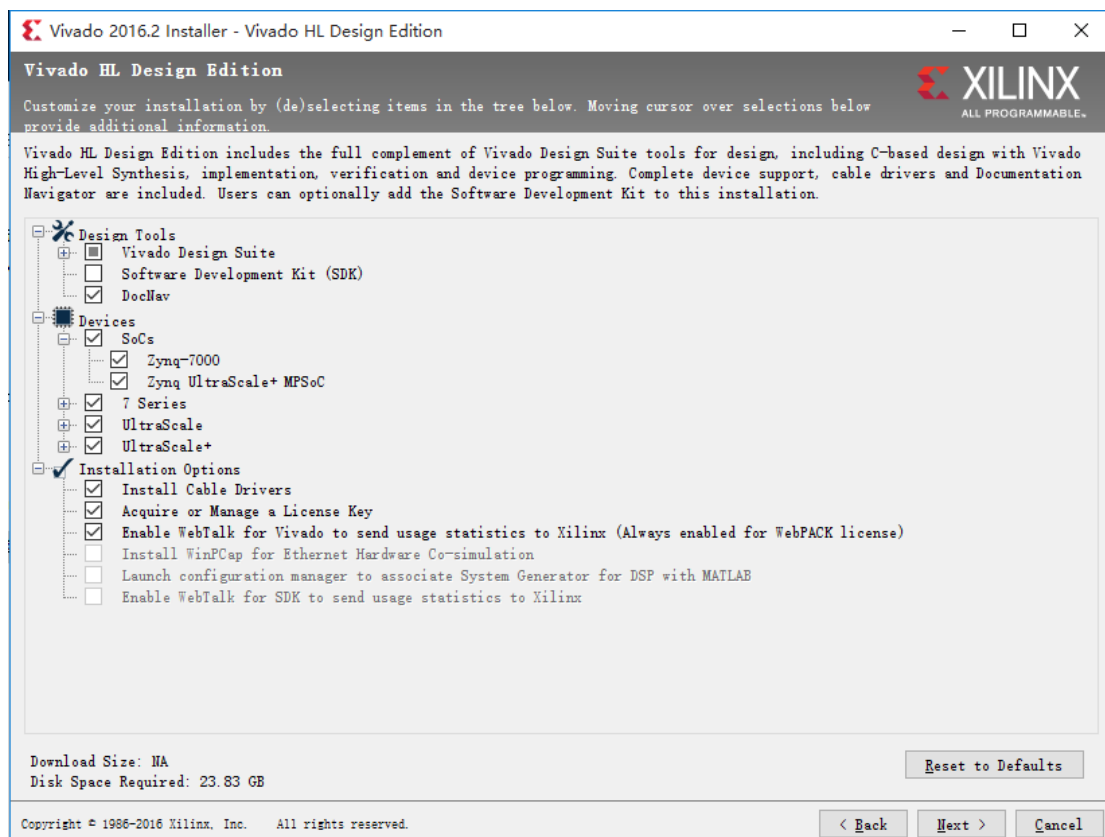
2) 支持的操作系统



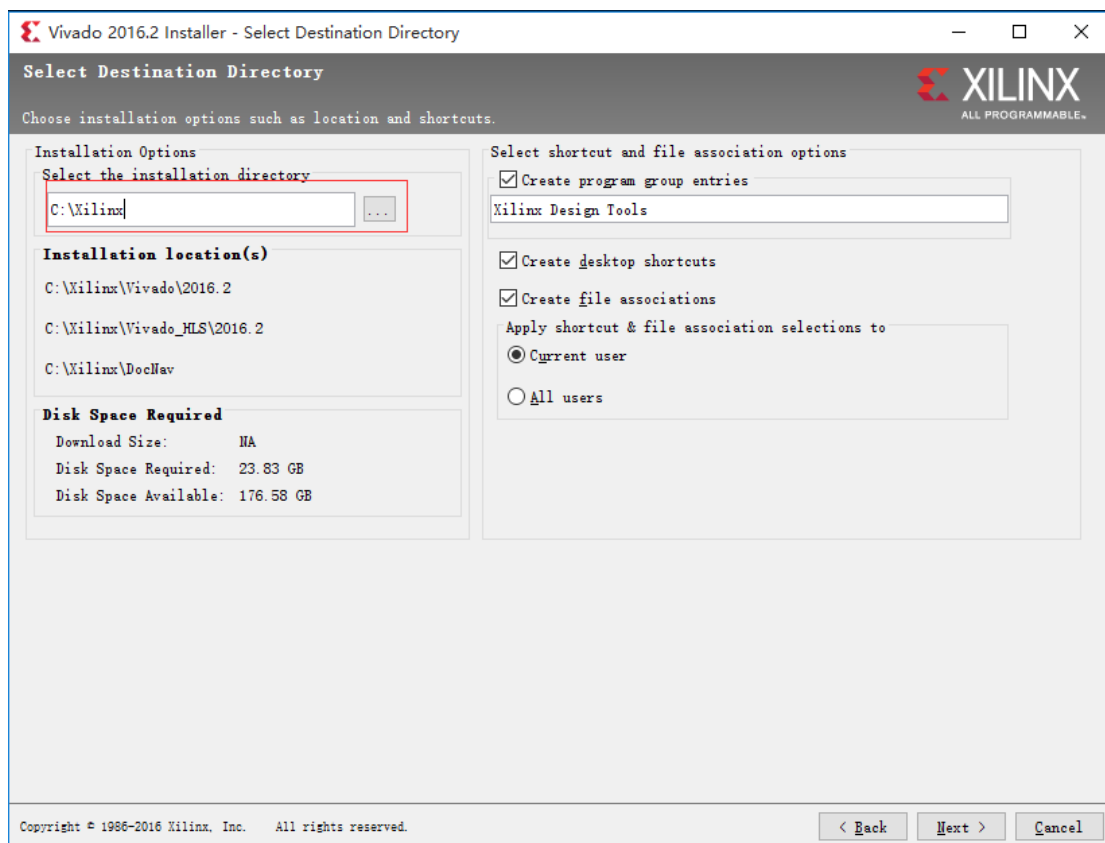
3) 选择 vivado HL Design Edition



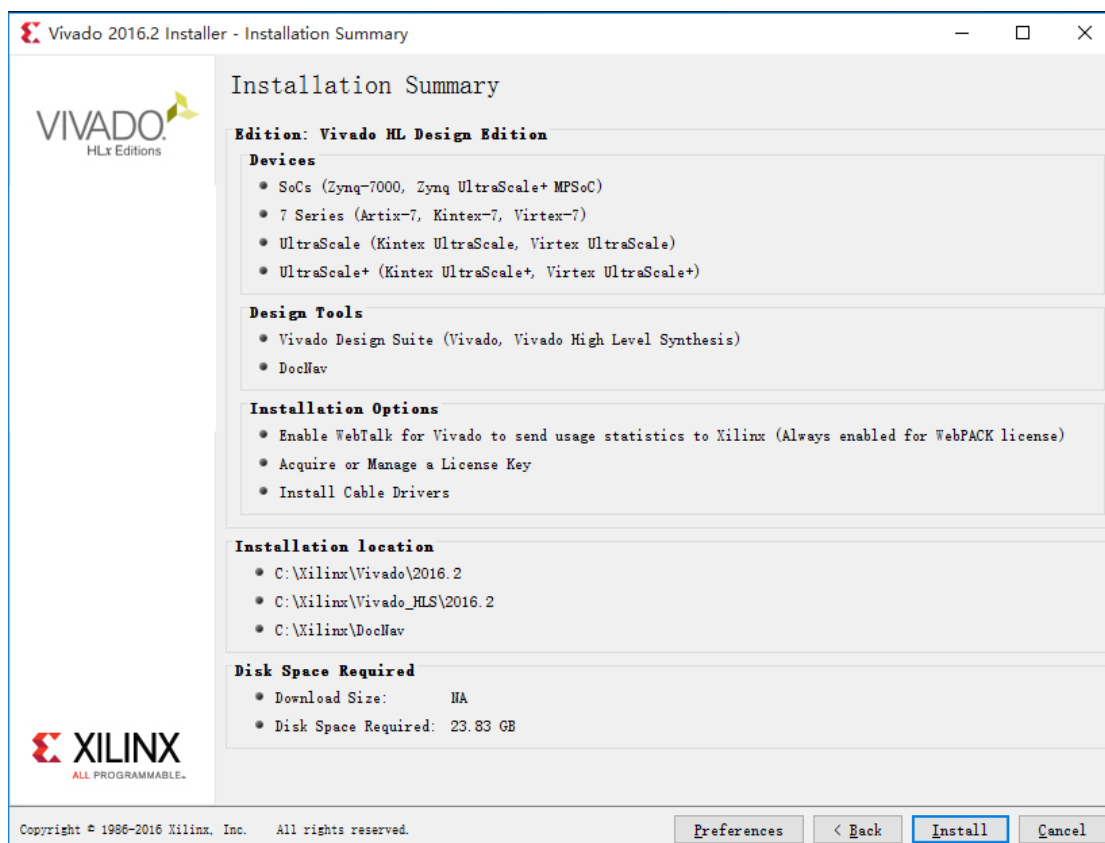
4) 保持默认选项



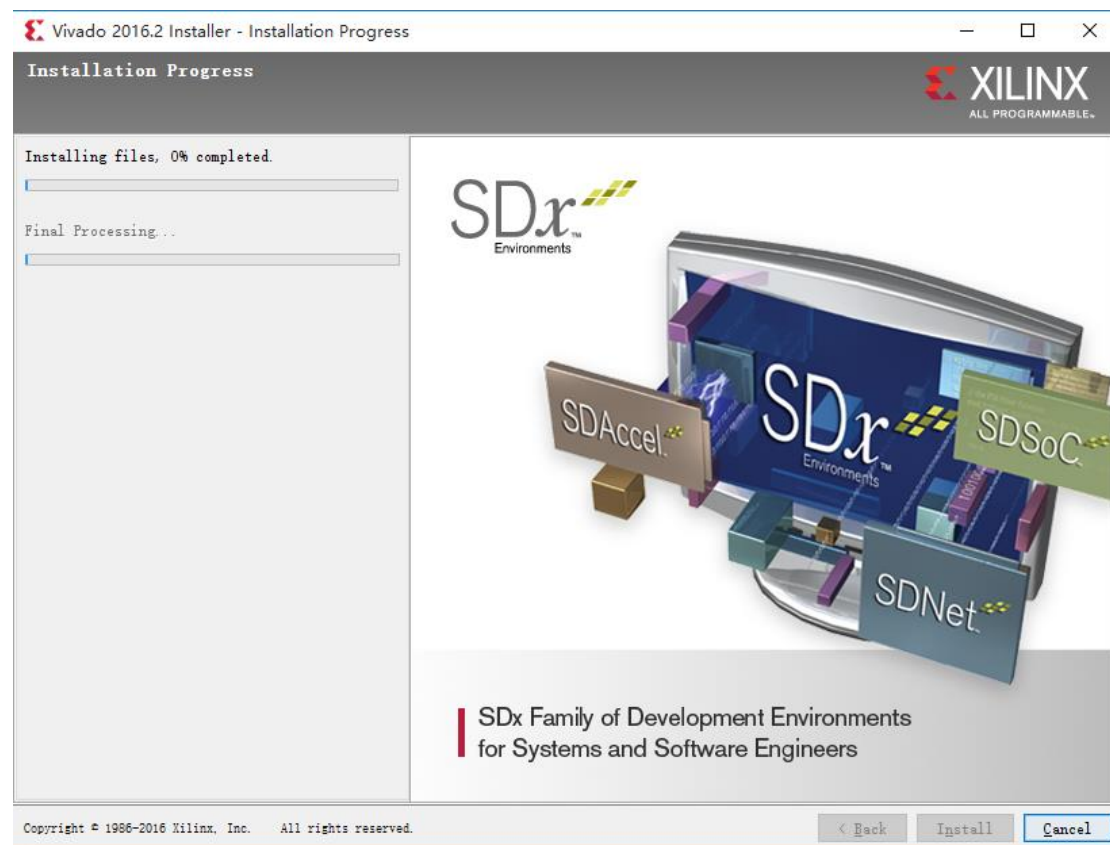
5) 选择安装位置（不要使用中文以及带空格目录）



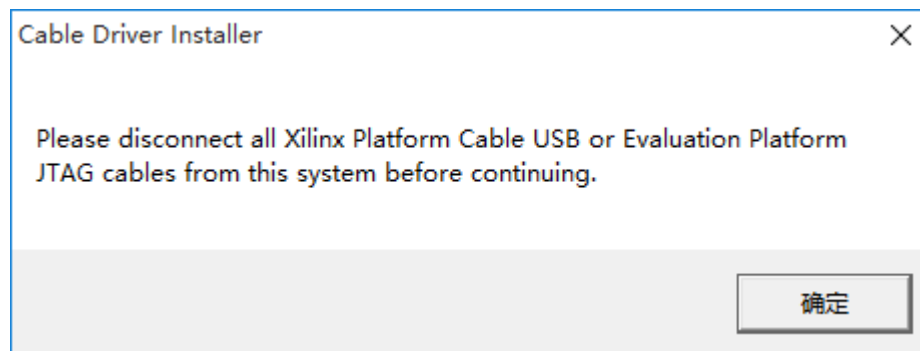
6) 安装信息



7) 开始安装

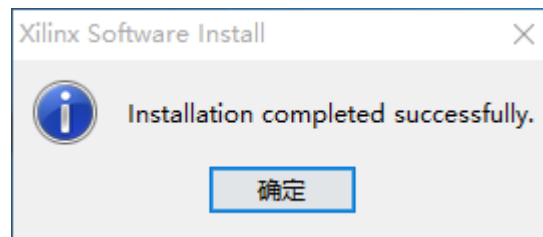


8) 安装过程中，提示安装的软件均选择安装，如下。





9) 安装成功。



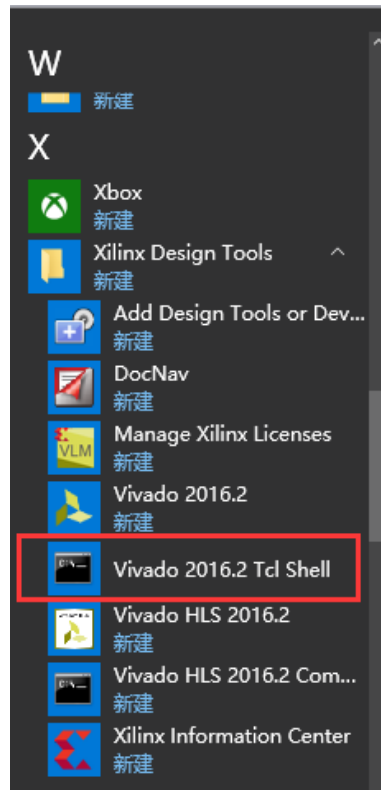
10) 证书的安装，选择左侧的 load license，然后单击 copy license,选择证书。证书可至 mips246.tongji.edu.cn(开发工具->license.lic)下载。



至此，安装结束。

2 Vivado 和 ModelSim 关联

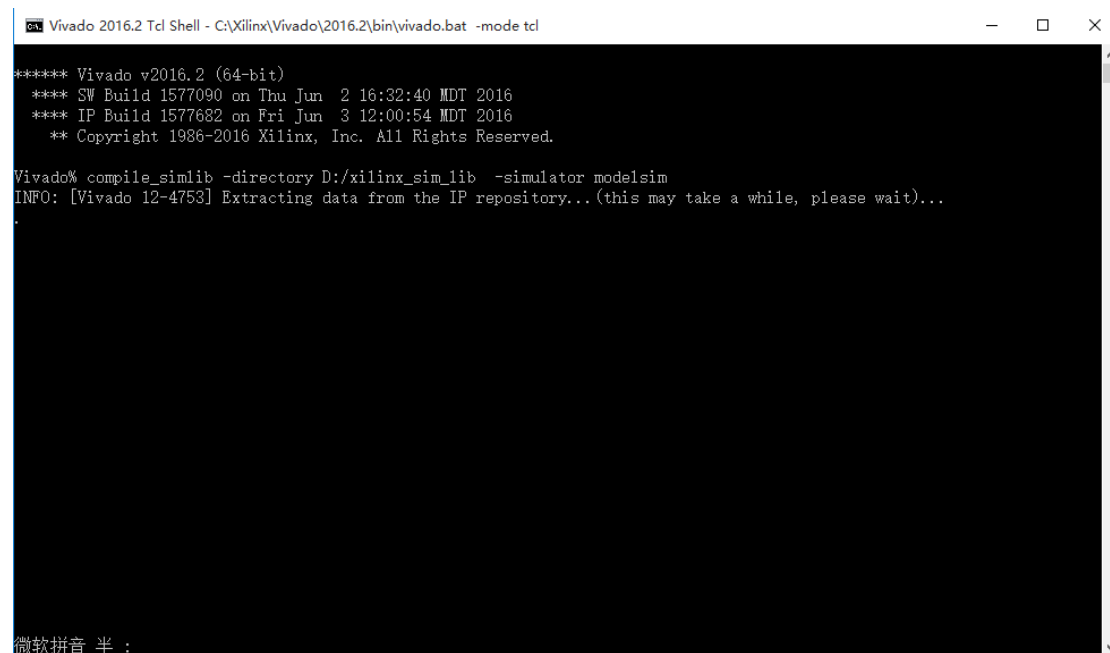
(1) 打开 Vivado 2016.2 Tcl Shell



(2) 将以下代码粘贴进去，自动开始编译（可能时间比较长）。

```
compile_simlib -directory D:/xilinx_sim_lib -simulator modelsim  
-simulator_exec_path C:/modeltech_pe_10.4c/win32pe
```

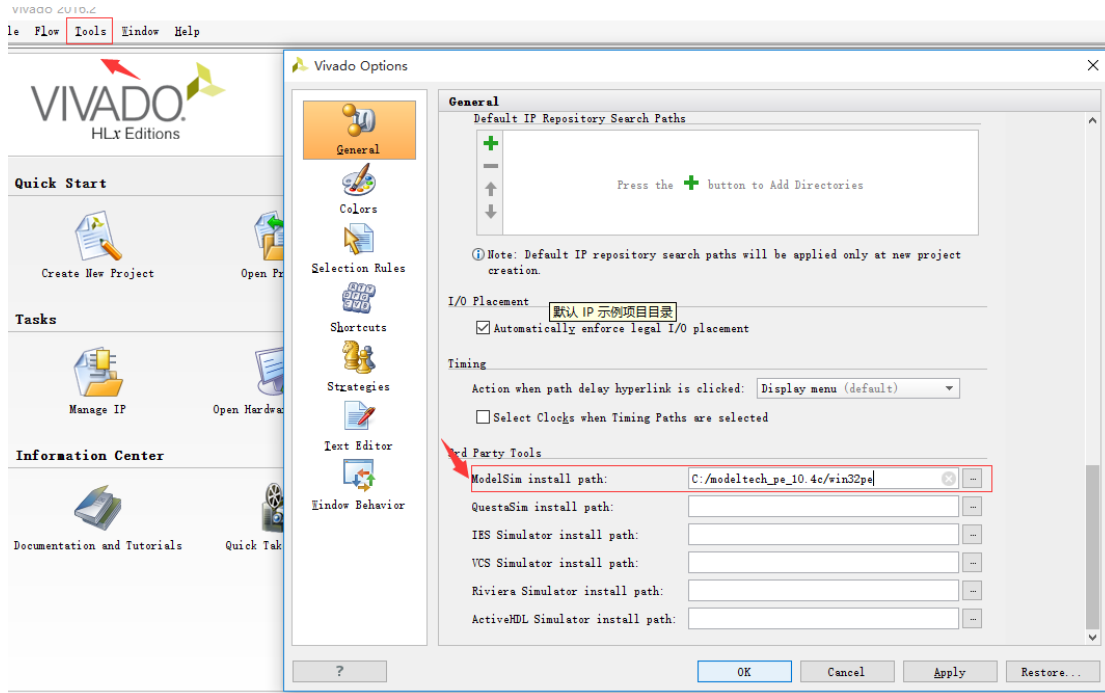
注意：请将表红色部分替换为自己 modelsim 的实际安装位置路径



(3) 编译结束（现在查看你 D:/xilinx_sim_lib 文件夹，已经生成了库文件）

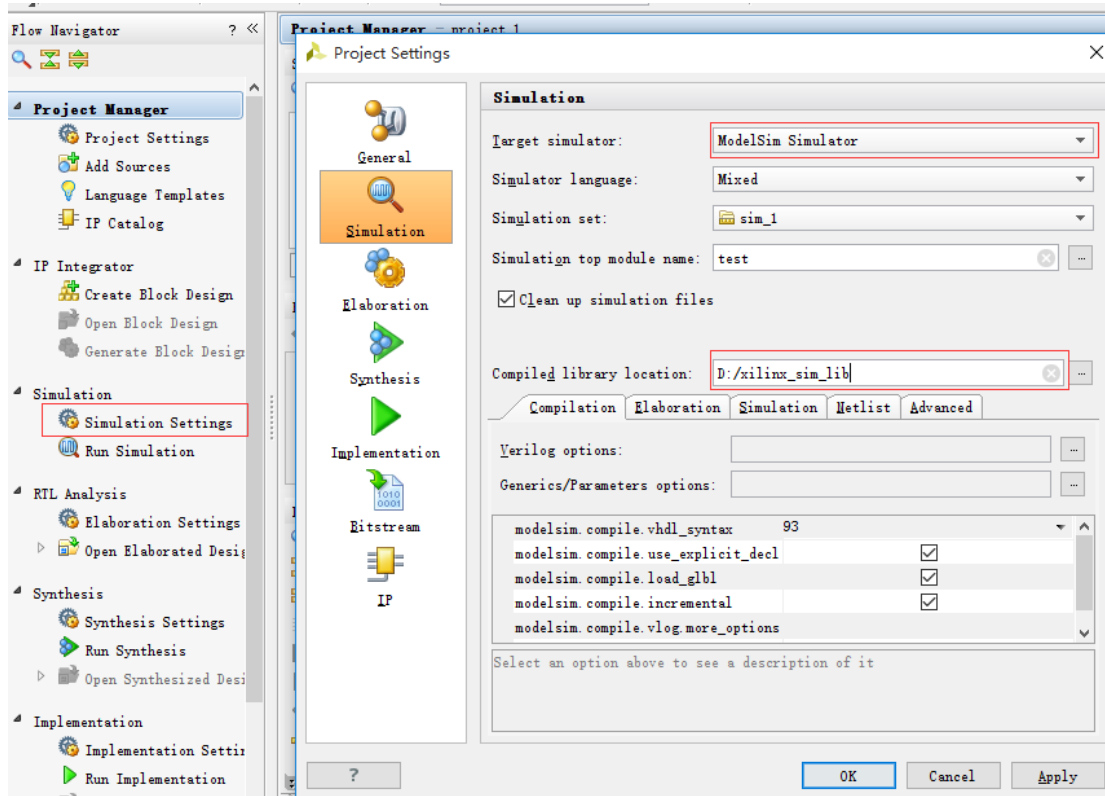
```
Vivado 2016.2 Tcl Shell - C:\Xilinx\Vivado\2016.2\bin\vivado.bat -mode tcl
* v_smpte2022_12_tx_v2_0_6 | vhd1 | v_smpte2022_12_tx_v2_0_6 | 0 | 1 | *
* v_smpte2022_56_rx_v5_0_5 | vhd1 | v_smpte2022_56_rx_v5_0_5 | 0 | 130 | *
* v_smpte2022_56_rx_v5_0_5 | verilog | v_smpte2022_56_rx_v5_0_5 | 0 | 1 | *
* v_smpte2022_56_tx_v4_0_7 | vhd1 | v_smpte2022_56_tx_v4_0_7 | 0 | 2 | *
* v_tpg_v6_0_7 | vhd1 | v_tpg_v6_0_7 | 0 | 3 | *
* v_voip_decap_v1_0_1 | vhd1 | v_voip_decap_v1_0_1 | 0 | 1 | *
* v_voip_fec_rx_v2_0_1 | vhd1 | v_voip_fec_rx_v2_0_1 | 0 | 173 | *
* v_voip_fec_rx_v2_0_1 | verilog | v_voip_fec_rx_v2_0_1 | 0 | 1 | *
* v_voip_fec_tx_v2_0_1 | vhd1 | v_voip_fec_tx_v2_0_1 | 0 | 44 | *
* v_ycrb2rgb_v7_1_8 | vhd1 | v_ycrb2rgb_v7_1_8 | 0 | 1 | *
* xbip_dsp48_macro_v3_0_12 | vhd1 | xbip_dsp48_macro_v3_0_12 | 0 | 1 | *
* xfft_v9_0_10 | vhd1 | xfft_v9_0_10 | 0 | 1 | *
* xsdbs_v1_0_2 | verilog | xsdbs_v1_0_2 | 0 | 1 | *
*
compile_simlib: Time (s): cpu = 00:01:02 ; elapsed = 00:20:21 . Memory (MB): peak = 708.047 ; gain = 501.332
Vivado%
-simulator_exec_path C:/modeltech_pe_10.4c/win32pe
```

(4) 设置关联，打开 Vivado。Tools-->options-->General 选择 modelsim 的安装路径，如下图。



(5) 在工程中对仿真工具进行配置，如下图。

选择 Simulation Setting-->Simulation-->将 Target simulation 设为 modelsim, Compiled library location 设为 D:/xilinx_sim_lib。



(6) 至此，设置完成，即可使用 vivado 和 modelsim 进行联合仿真。
仿真时，点击上图中的 Simulation 中的 Run Simulation 即可调用 modelsim 进行仿真（modelsim 窗口出来后，参考前面 modelsim 基本使用部分的描述进行调试和仿真，查看波形，验证逻辑）。

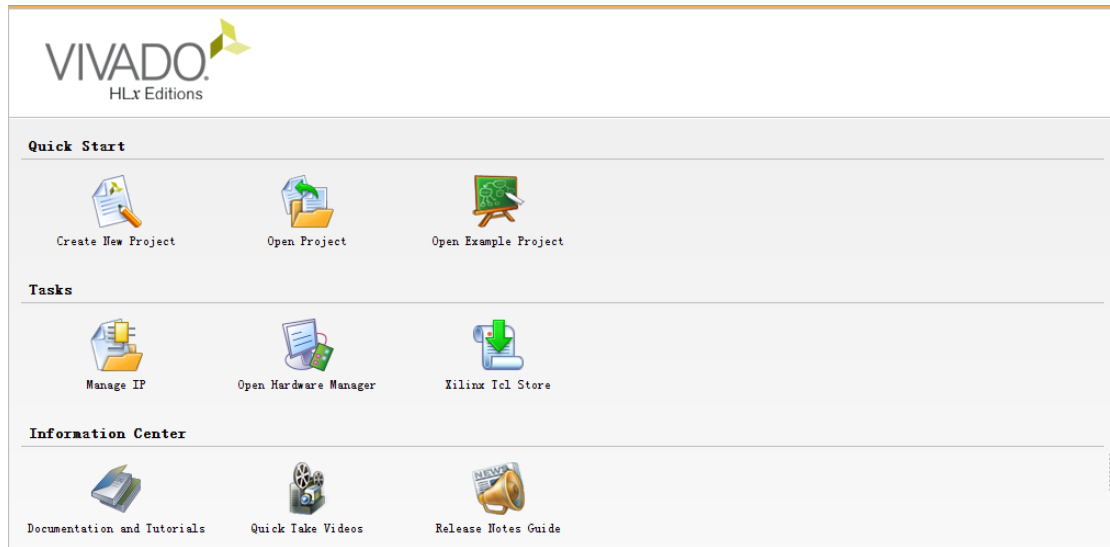
注意：如果上面操作未成功，请参考以下网址。
<http://blog.chinaaet.com/crazybird/p/5100000539>

3 基本使用-点亮开发板上的 LED 灯

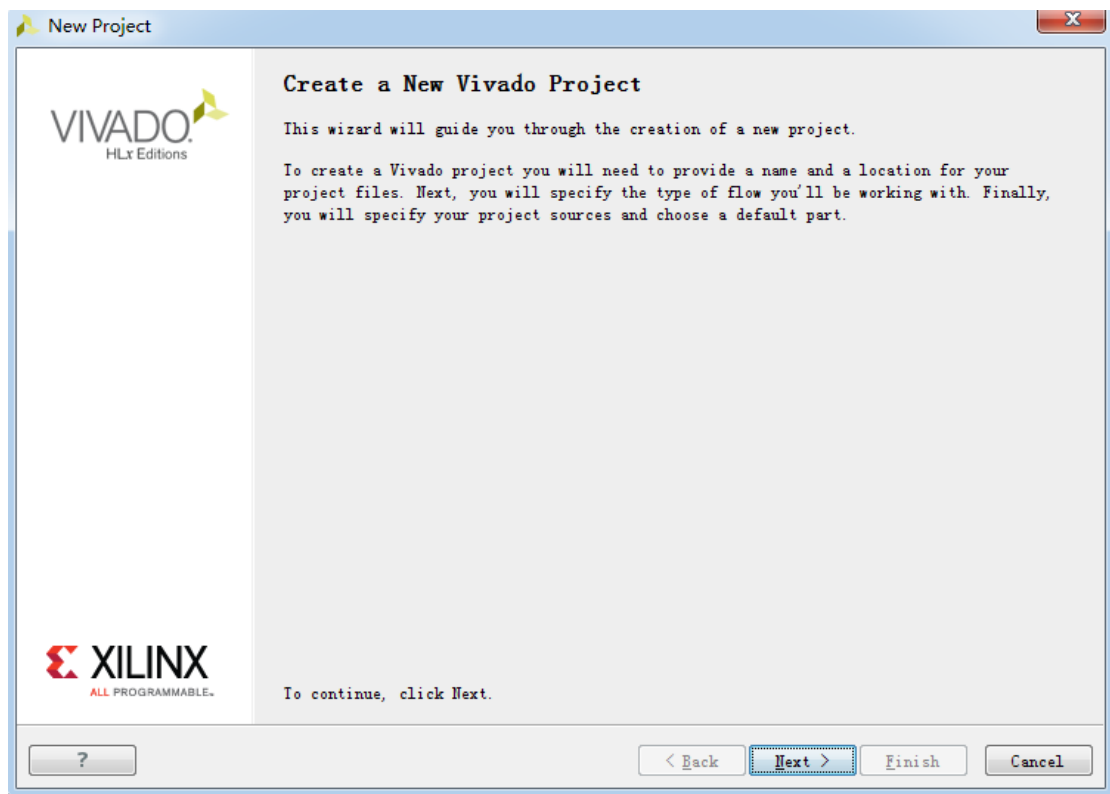
VIVADO 设计分为 Project Mode 和 Non-project Mode 两种模式，一般简单设计中，我们常用的是 Project Mode。本手册中，我们采用 DIGILENT NEXYS4 开发板，将以一个简单的实验案例，一步一步的完成 VIVADO 的整个设计流程。

3.1 新建工程

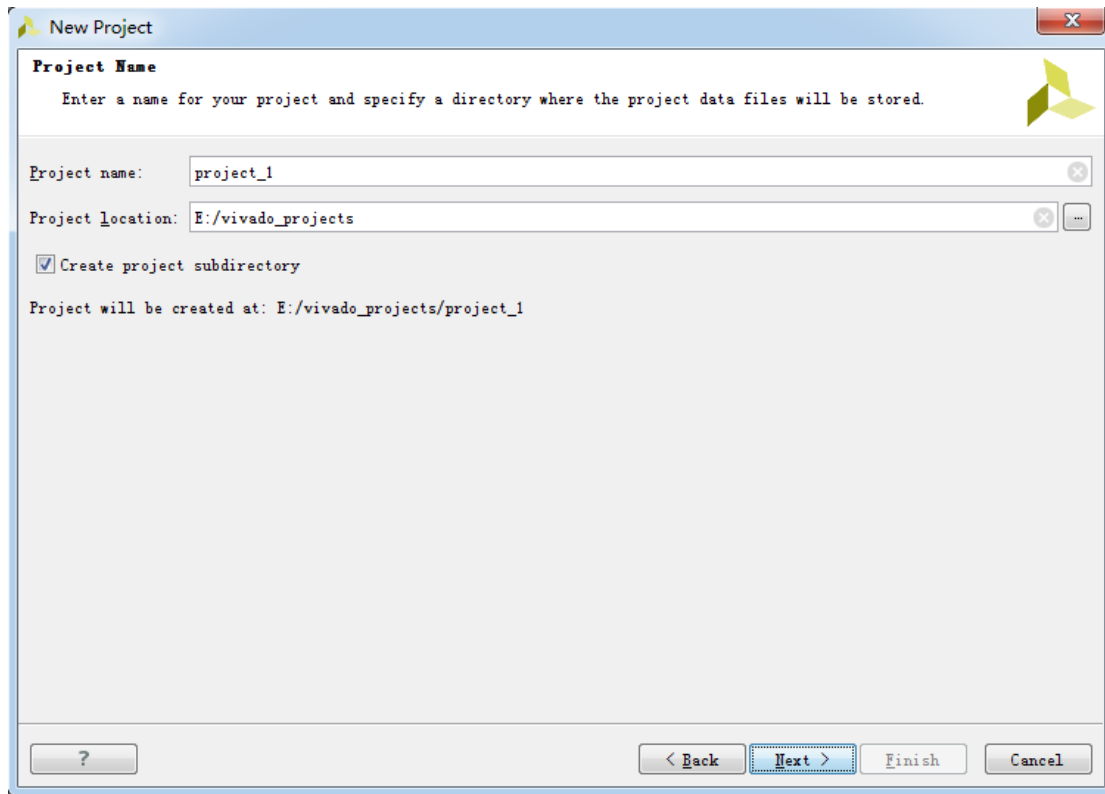
1) 打开 VIVADO 2016.2 开发工具，可通过桌面快捷方式或开始菜单中 Xilinx Design Tools ->Vivado 2016.2 下的 Vivado 2016.2 打开软件，开启后，软件如下所示：



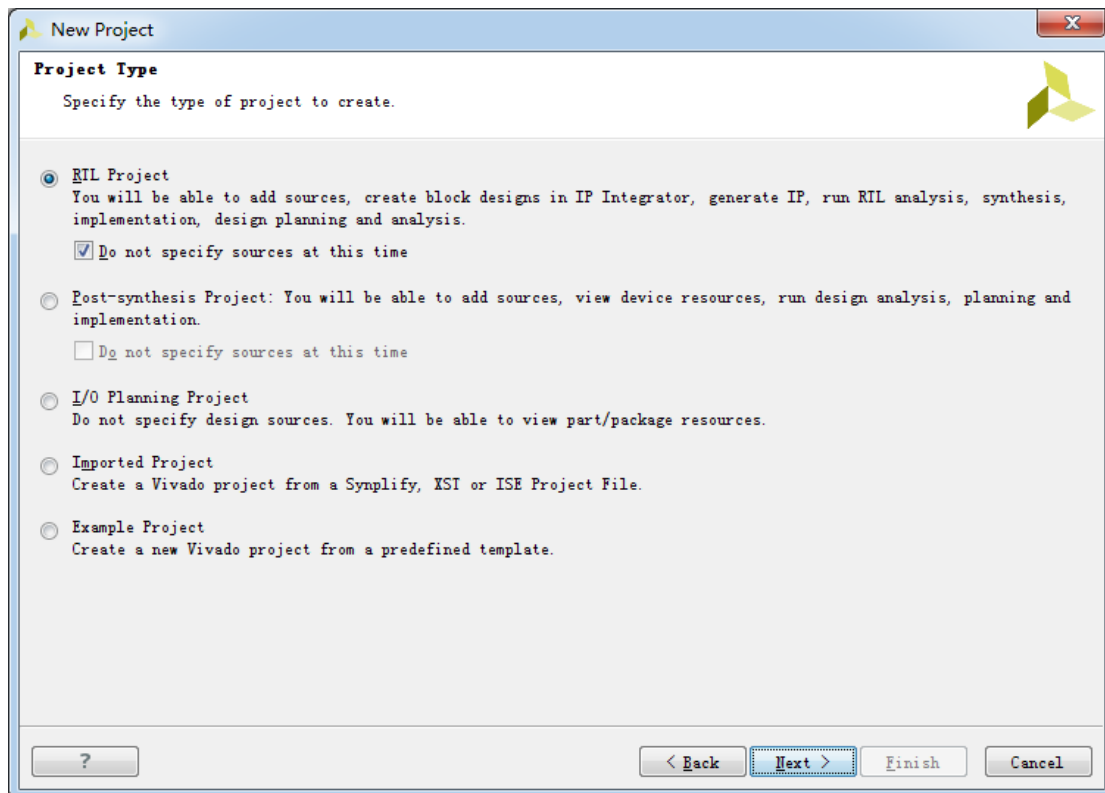
2) 点击 Create New Project 图标，弹出新建工程向导，点击 Next。



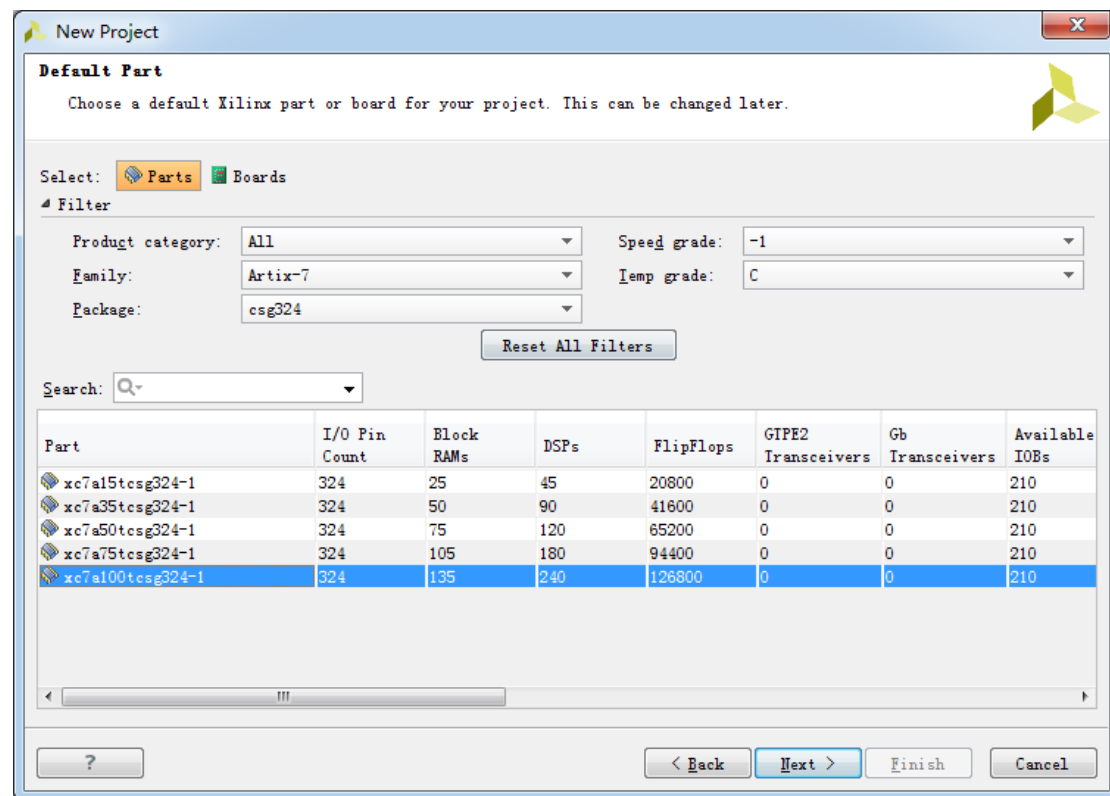
3) 输入工程名称、选择工程存储路径，并勾选 Create project subdirectory 选项，为工程在指定的存储路径下建立独立的文件夹。设置完毕后，点击 Next。
注意：工程名称和存储路径中不能出现中文和空格，建议工程名称以字母、数字、下划线来组成。



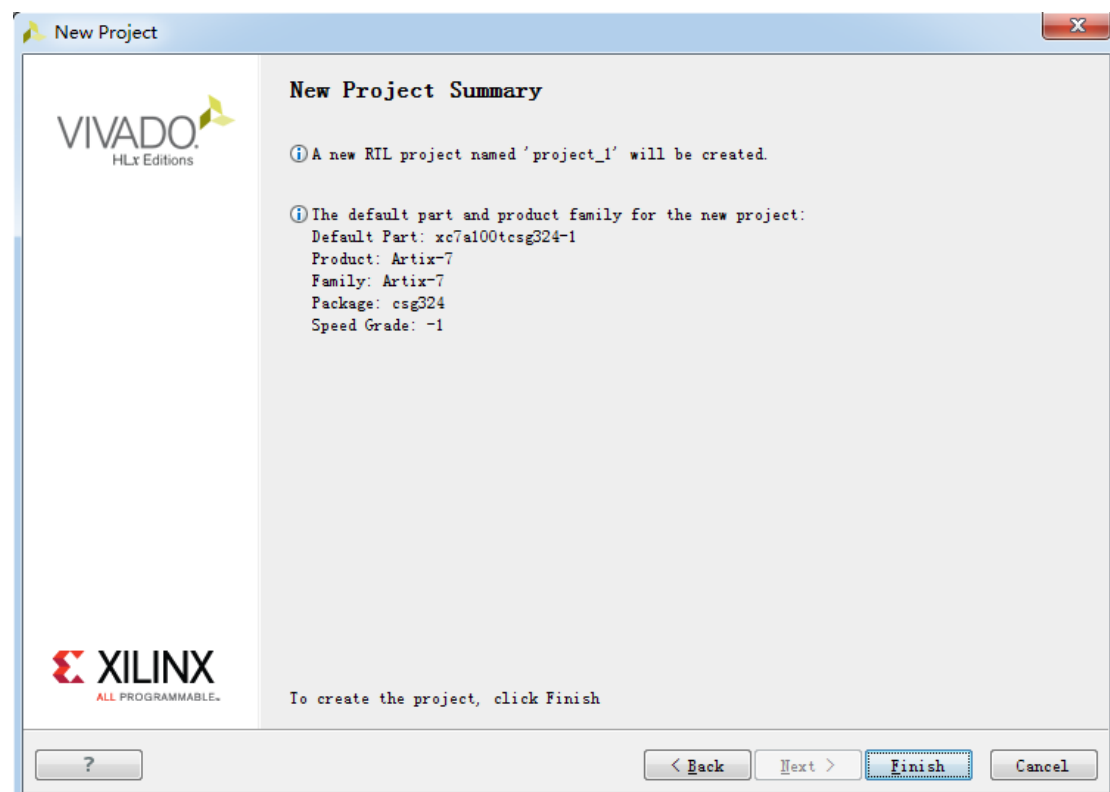
4) .选择 RTL Project 一项，并勾选 Do not specify sources at this time,勾选该选项是为了跳过在新建工程的过程中添加设计源文件。点击 Next。



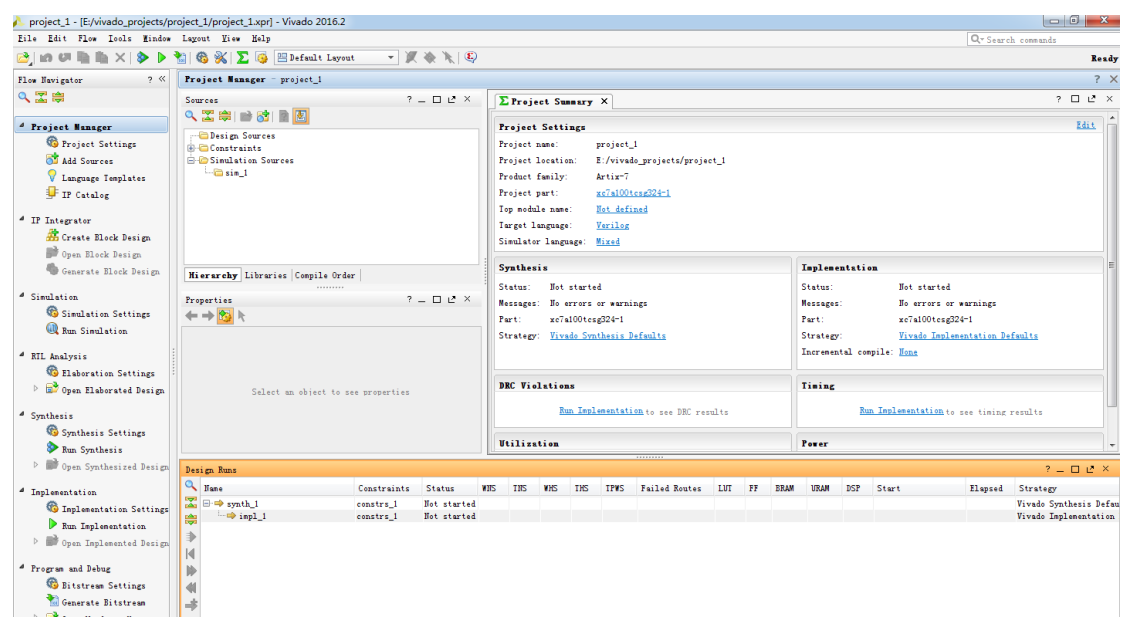
5)根据使用的 FPGA 开发平台,选择对应的 FPGA 目标器件(本手册中以 Diligent Nexys4 为例, Family:Artix-7 Package:csg324 Speed grade:-1 Temp grade:C 然后点选如下图所示的那一行), 如下所示:



6) .确认相关信息与设计所用的 FPGA 器件信息是否一致, 一致请点击 Finish, 否则返回上一步修改。

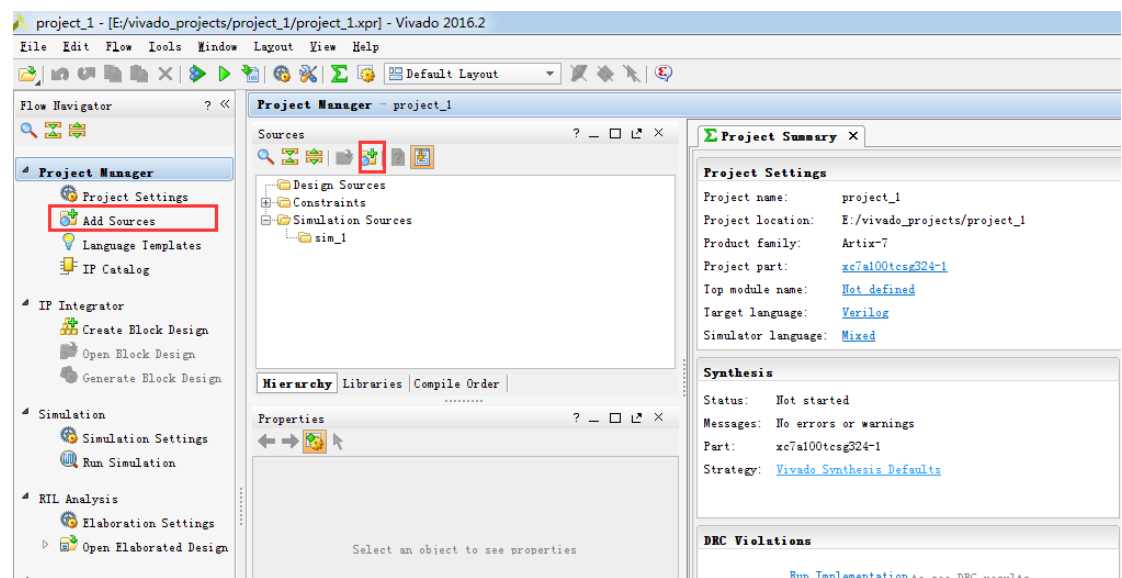


7) 得到如下的空白 Vivado 工程界面，完成空白工程的新建。

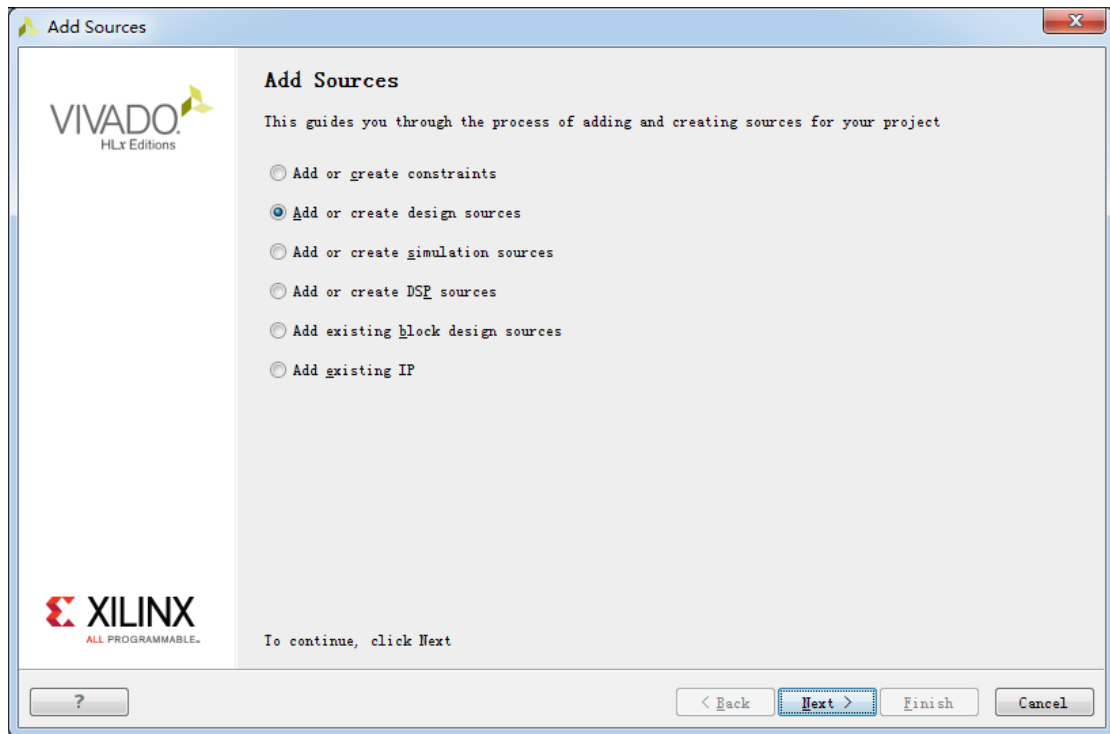


3.2 设计文件输入

1) 如下图所示，点击 Flow Navigator 下的 Project Manager->Add Sources 或中间 Sources 中的对话框打开设计文件导入添加对话框。

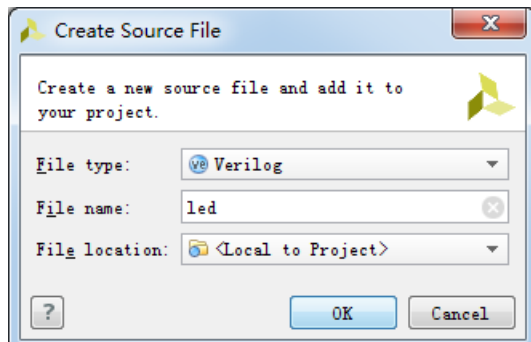


2) 选择第二项 Add Create Design Sources.用来添加或新建 Verilog 或 VHDL 源文件，点击 Next。

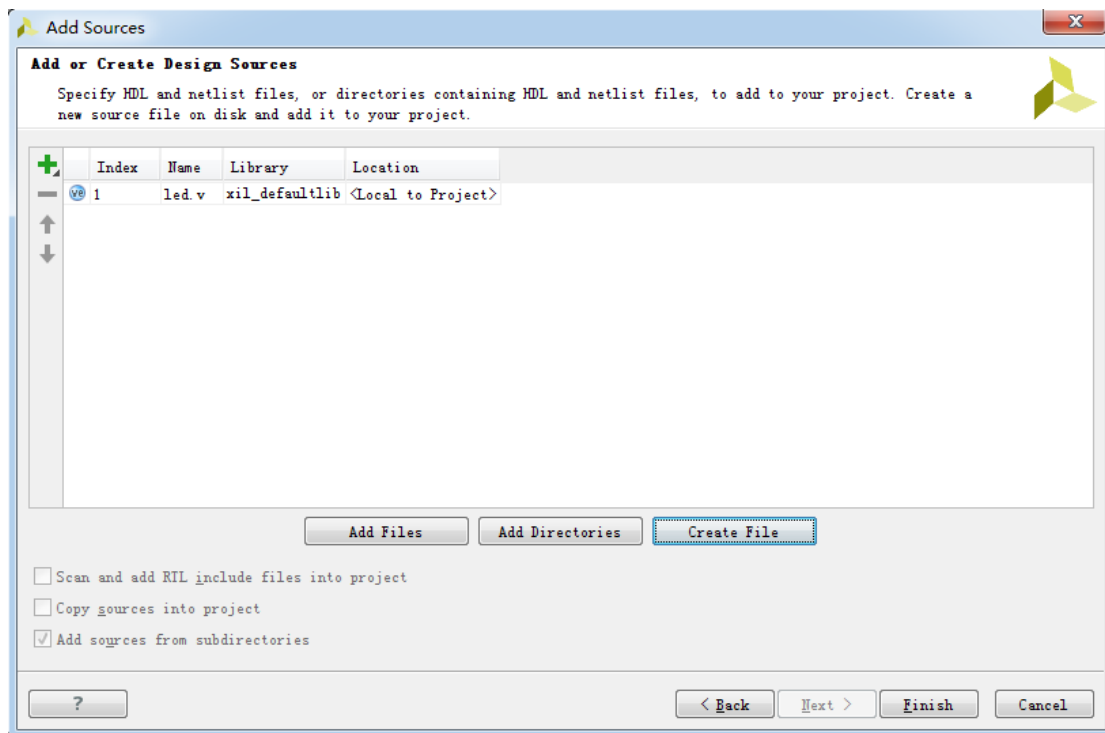


3) 如果有现有的文件，可以通过 Add Files 一项添加。在这里我们要新建文件，所以选择 Create Files 一项。

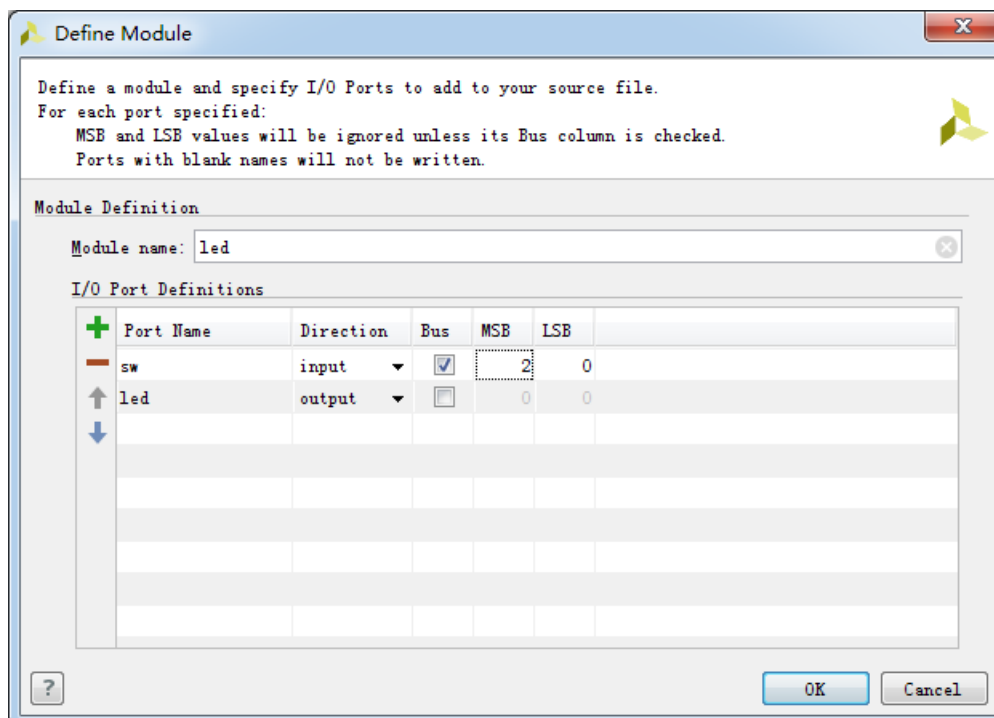
4) 在 Create Source Files 中输入 File Name，点击 OK。**注意：名称中不可出现中文和空格。**



5) 点击 Finish。



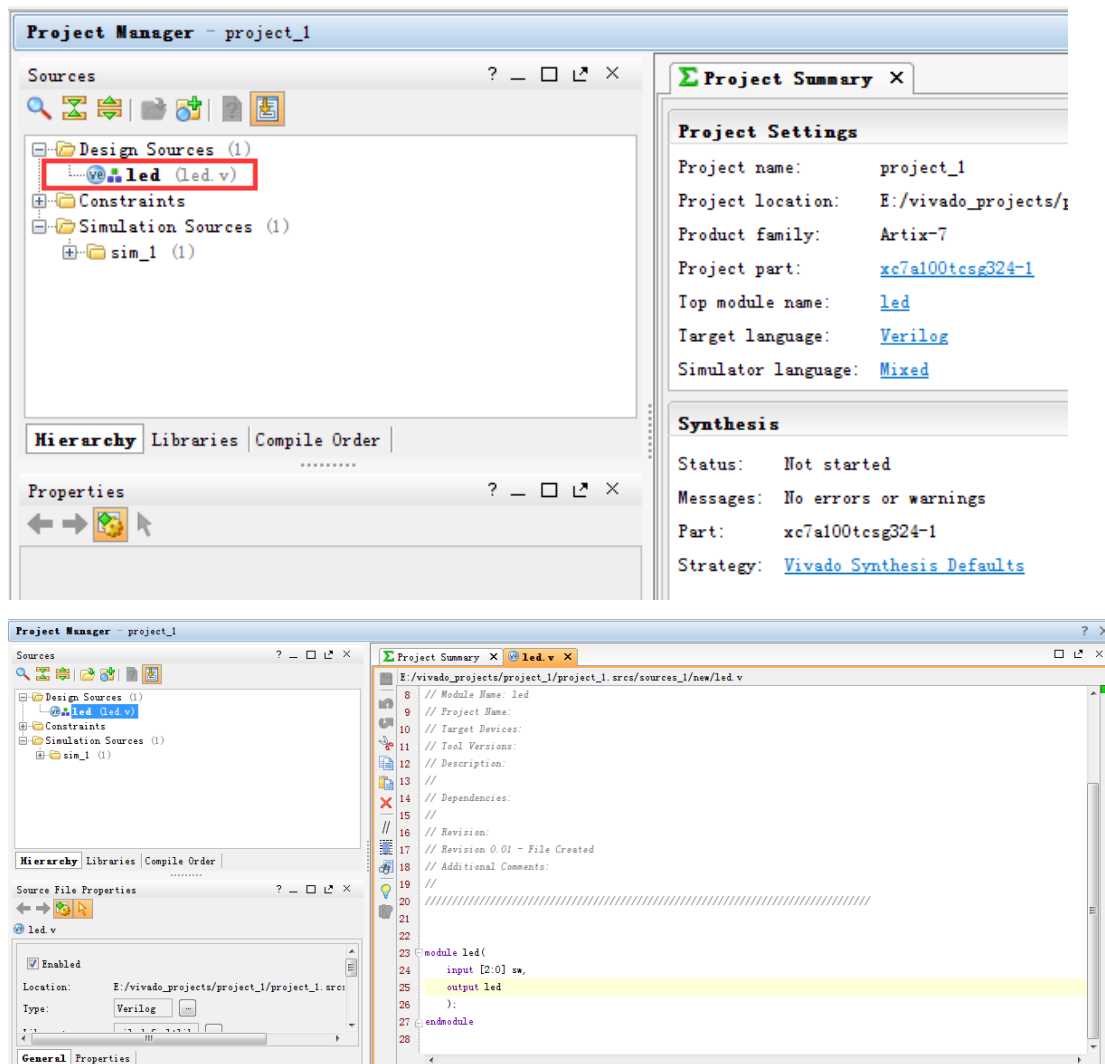
6) 在弹出的 Define Module 中的 I/O Port Definition, 输入设计模块所需的端口, 并设置端口方向, 如果端口为总线型, 勾选 Bus 选项, 并通过 MSB 和 LSB 确定总线宽度。完成后点击 OK。



7) 新建的设计文件（此处为 led.v）即存在于 Sources 中的 Design Sources 中。双击打开该文件，输入相应的设计代码。

注意：双击打开的文件里面已经自动生成一些代码，请对照下面的代码将它补全。

```
module led(  
    input [2:0] sw,  
    output led  
);  
    assign led = sw[2] & sw[1] & sw[0];  
endmodule
```



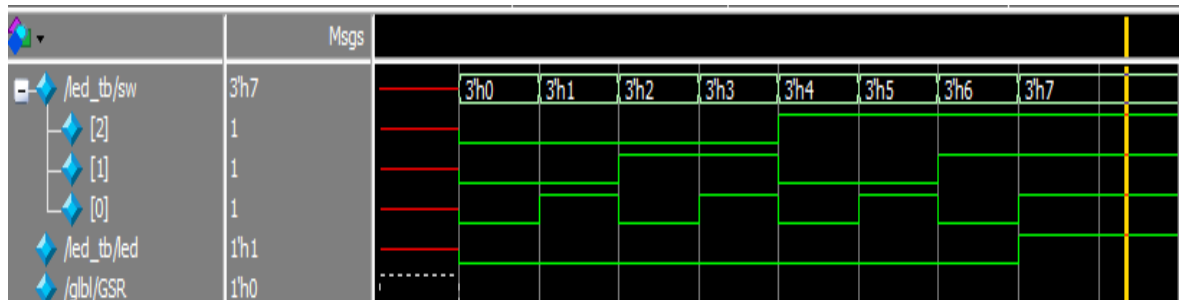
添加完 led.v 文件之后，需要添加 test bench 文件以便对 module led.v 进行测试。

8) 按照上述新建 led.v 的步骤新建 led_tb.v 文件，注意在第 6 步时不需要再指定端口，直接点击 ok 即可。

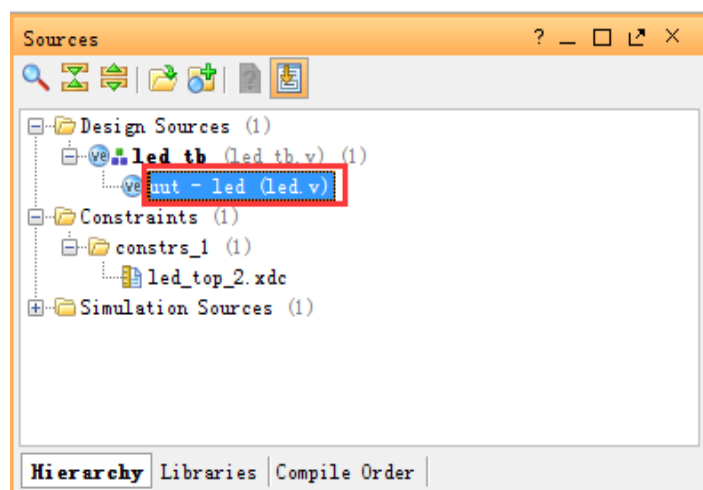
led_tb.v 代码如下，请按照下面的代码将生成的代码补全。

```
module led_tb();
    reg [2:0]sw;
    wire led;
    led uut(sw,led);
    initial
    begin
        #100 sw=3'b000;
        #100 sw=3'b001;
        #100 sw=3'b010;
        #100 sw=3'b011;
        #100 sw=3'b100;
        #100 sw=3'b101;
        #100 sw=3'b110;
        #100 sw=3'b111;
    end
endmodule
```

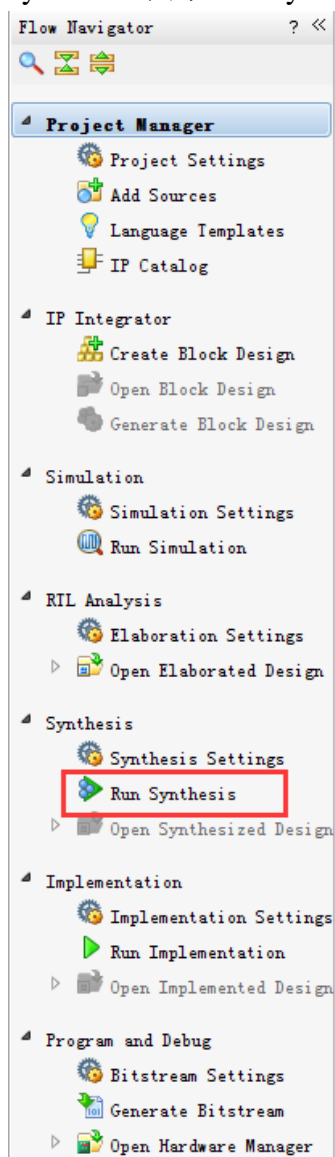
9) led.v 与 led_tb.v 添加完毕之后，点击 File 菜单下的 Save Files 保存，然后点击 Simulation 中的 Run Simulation 即可调用 modelsim 进行仿真，得到如下的仿真波形图（检查波形图是否符合逻辑，例如在该波形中，只有 sw 的三个信号都为 1 时，led 信号才为 1）：



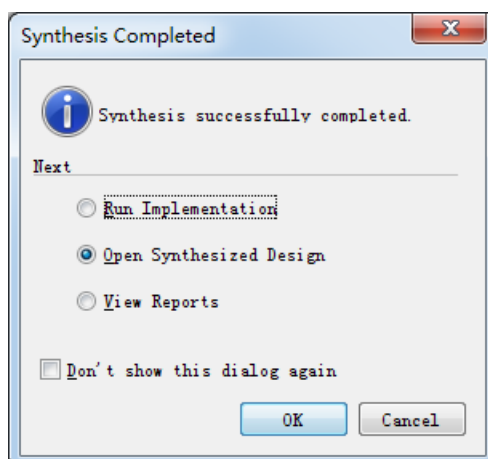
10) 仿真结束以后，如下图，右键 uut-led(led.v)，选择 set as top 设置 led.v 为顶层模块。



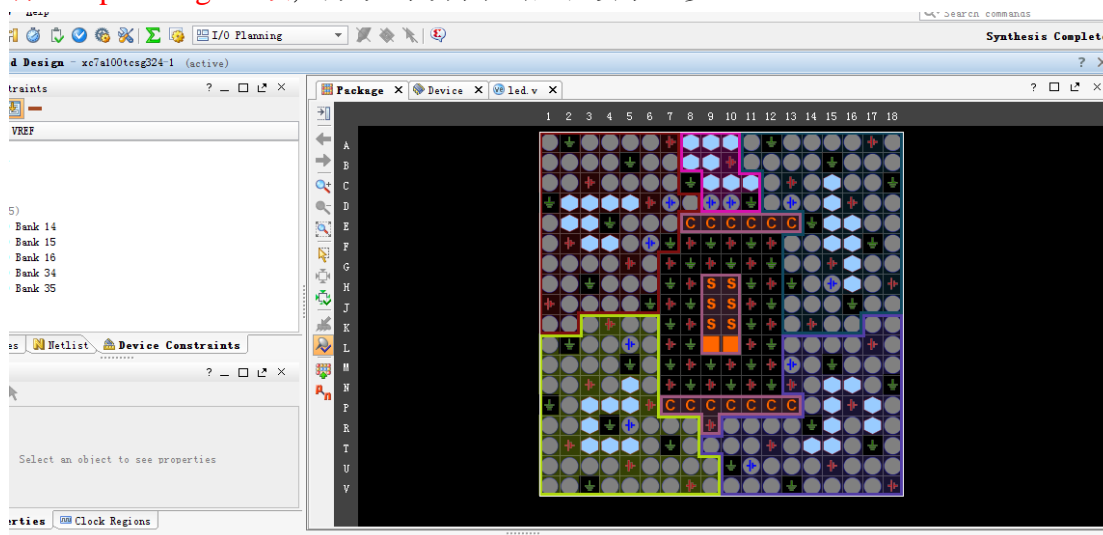
11) 点击 Flow Navigator 中 Synthesis 中的 Run Synthesis 对工程进行综合。



综合完成之后,选择 Open Synthesized Design, 打开综合结果。



此时应该看到如下界面，如果没有出现如下界面，在图示位置的 layout 中选择 I/O planning 一项,出现如下界面之后继续下一步。



12) 添加约束文件，为接口指定相应的引脚。有两种方法可以添加约束文件：一是可利用 Vivado 中 I/O planning 功能：二是可以直接新建 XDC 的约束文件，手动输入约束命令。

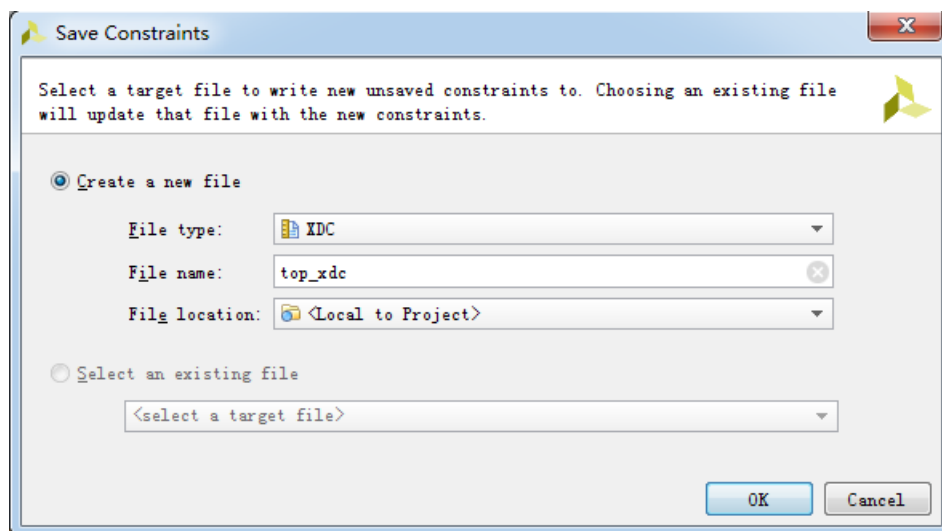
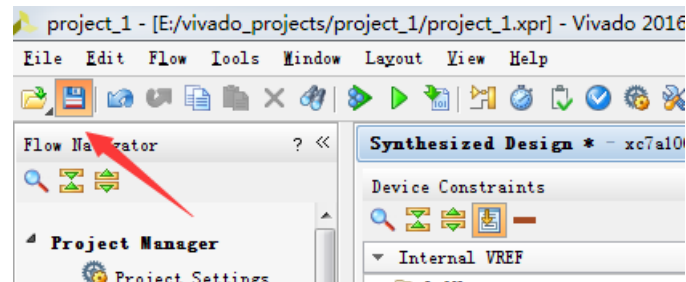
A. 第一种方法：利用 IO planning

在上图右下方的选项卡中切换到 I/O ports 一栏，见到下图。

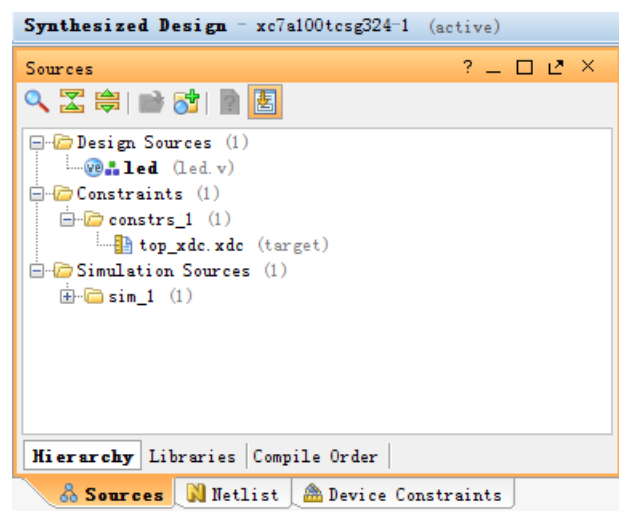
All ports (4)					
sw (3)	IN			<input checked="" type="checkbox"/>	(Multi... LVCMOS33*
sw[2]	IN	M13	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	14 LVCMOS33*
sw[1]	IN	L16	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	14 LVCMOS33*
sw[0]	IN	J15	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	15 LVCMOS33*
Scalar ports (1)					
led	OUT	K15	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	15 LVCMOS33*

在上图对应的信号后，输入对应的 FPGA 管脚标号，并指定 I/O 电平标准 std。（具体的 FPGA 约束管脚和 IO 电平标准，可参考 Nexys4DDR_Master.xdc 或直接观察板卡相应的管脚标号）。完成之后，点击下图中左上方工具栏中的保存

按钮，工程提示新建 XDC 文件或者选择工程中已有的 XDC 文件。在这里我们要 Create a new file,输入 File Name， 点击 OK 完成约束过程。

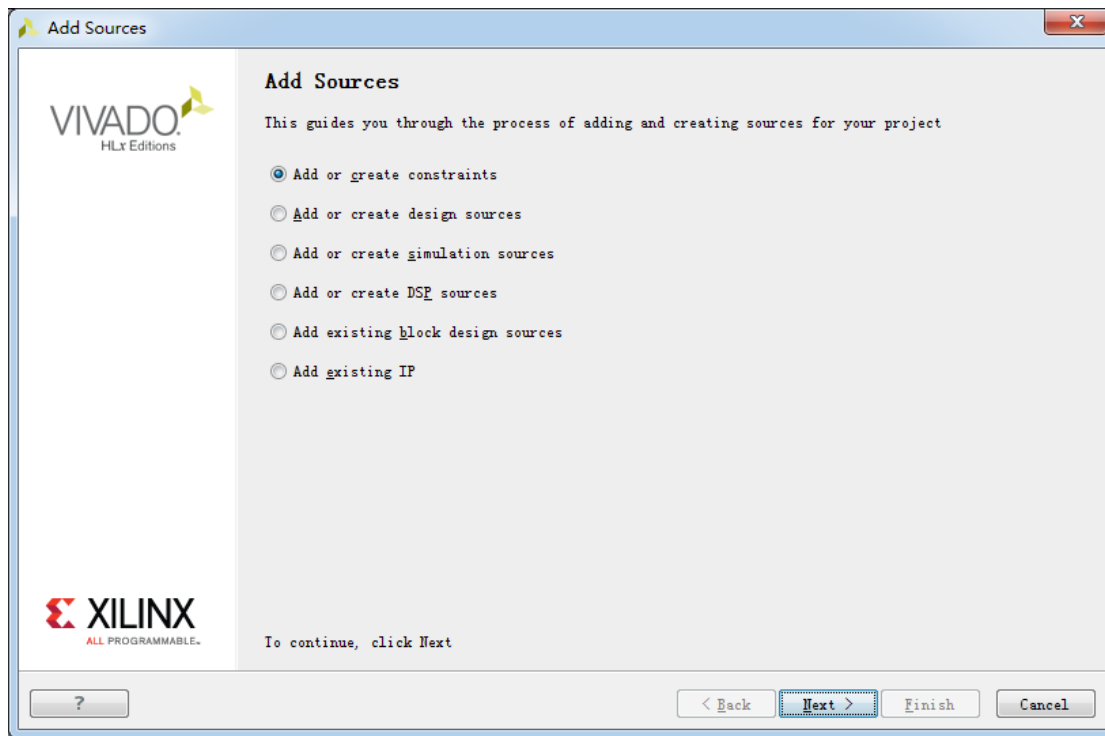


此时，在 Sources 下 Constraints 中会找到新建的 XDC 文件。

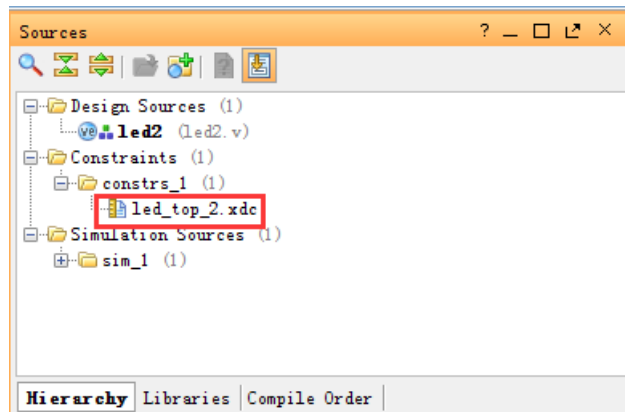


B. 第二种方法：手动输入 XDC 文件

点击 Add Sources，选择第一项 Add or Create Constrsints 一项，点击 Next。



新建一个 XDC 文件，输入 XDC 文件名，完成文件创建后见到下图。



打开新建好的 XDC 文件，并按如下规则（将如下代码复制添加进去），输入相应的 FPGA 管脚约束信息和电平标准。

```
set_property PACKAGE_PIN M13 [get_ports {sw[0]}]
set_property PACKAGE_PIN L16 [get_ports {sw[1]}]
set_property PACKAGE_PIN J15 [get_ports {sw[2]}]
set_property PACKAGE_PIN K15 [get_ports led]
```

```
set_property IOSTANDARD LVCMOS33 [get_ports led]
set_property IOSTANDARD LVCMOS33 [get_ports {sw[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {sw[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {sw[0]}]
```

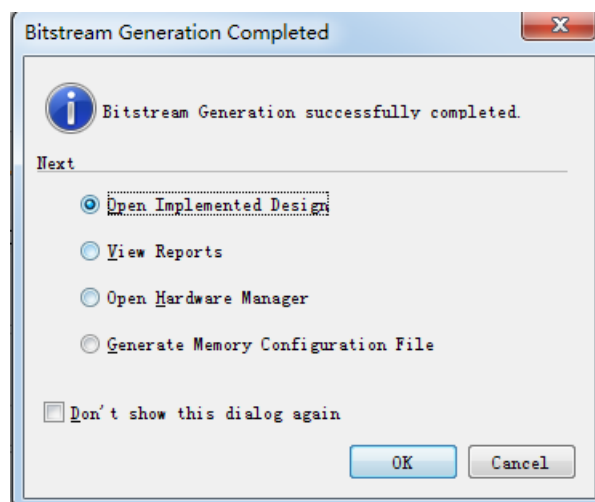
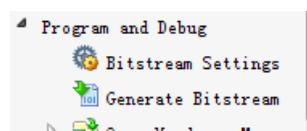
输入完成图：

```
E:/vivado_projects/project_led_2/project_led_2.srcs/constrs_1/new/
1 set_property PACKAGE_PIN M13 [get_ports {sw[0]}]
2 set_property PACKAGE_PIN L16 [get_ports {sw[1]}]
3 set_property PACKAGE_PIN J15 [get_ports {sw[2]}]
4 set_property PACKAGE_PIN K15 [get_ports led]
5
6 set_property IOSTANDARD LVCMOS33 [get_ports led]
7 set_property IOSTANDARD LVCMOS33 [get_ports {sw[2]}]
8 set_property IOSTANDARD LVCMOS33 [get_ports {sw[1]}]
9 set_property IOSTANDARD LVCMOS33 [get_ports {sw[0]}]
10
```

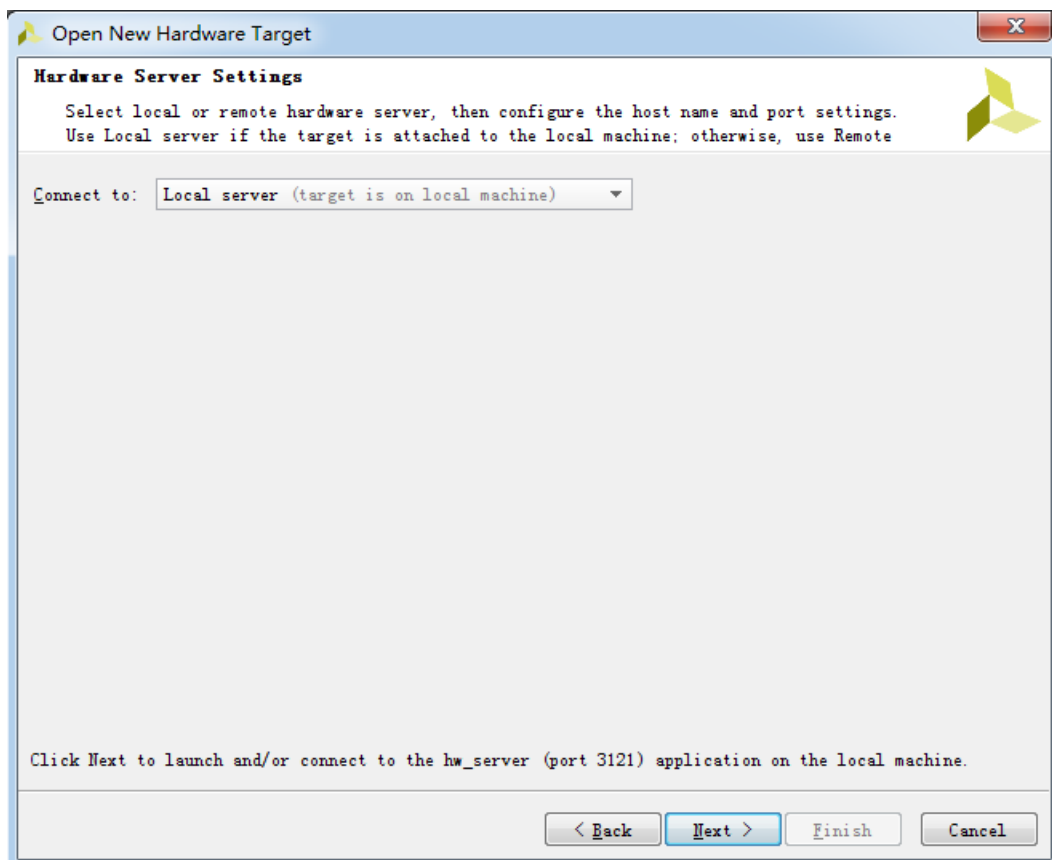
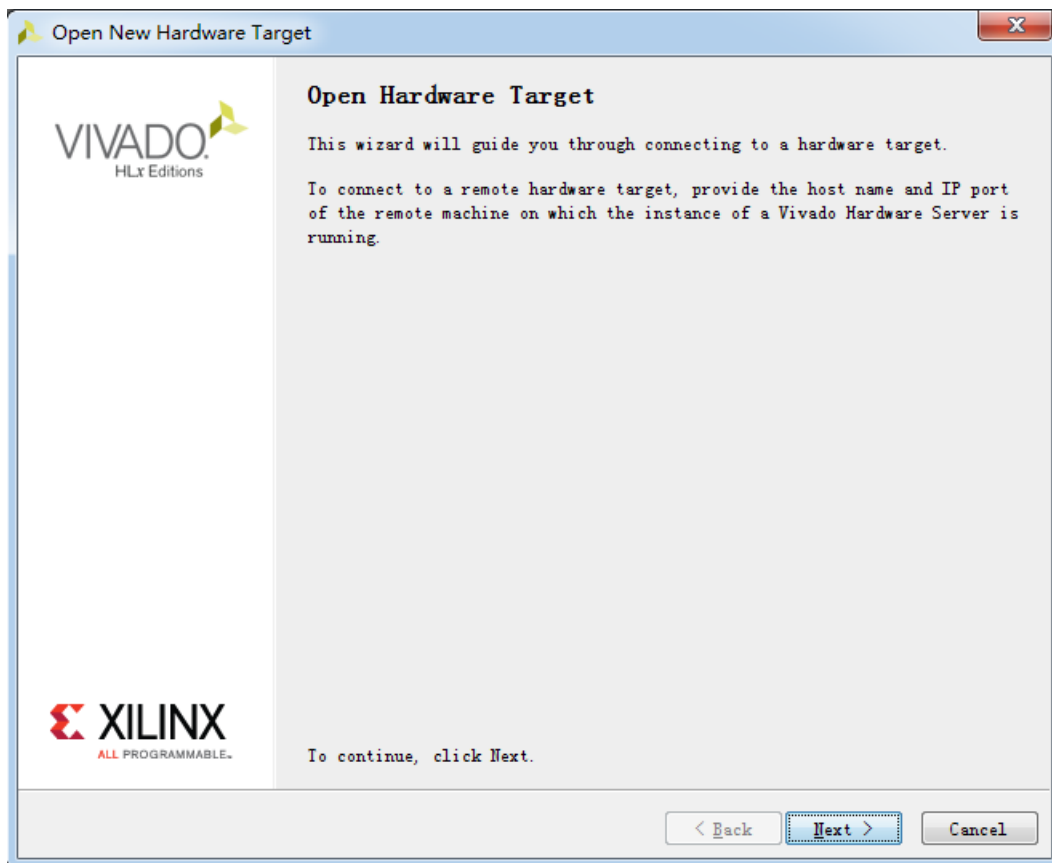
3.3 工程下板

（将开发板连接电脑，然后打开开关）

1) 在 Flow Navigator 中点击 Program and Debug 下的 Generate Bitstream 选项，工程会自动完成综合、实现、Bit 文件生成过程，完成之后，可点击 Open Implemented Design 来查看工程实现结果。



2) 在 Flow Navigator 中点击 Open Hardware Manager 一项，进入硬件编程管理界面。在提示的信息中，选择 Open target（或者在 Flow Navigator 中展开 Hardware Manager，点击 Open Target），根据提示进行。



Open New Hardware Target

Select Hardware Target

Select a hardware target from the list of available targets, then set the appropriate JTAG clock (TCK) frequency. If you do not see the expected devices, decrease the

Hardware Targets

Type	Name	JTAG Clock Frequency
xilinx_tcf	Digilent/210292896575A	15000000

Hardware Devices (for unknown devices, specify the Instruction Register (IR) length)

Name	ID Code	IR Length
xc7a100t_0	13631093	6

Hardware server: localhost:3121

< Back Next > Finish Cancel

Open New Hardware Target

Open Hardware Target Summary

VIVADO
HLx Editions

XILINX
ALL PROGRAMMABLE

Hardware Server Settings:

- Server: localhost:3121

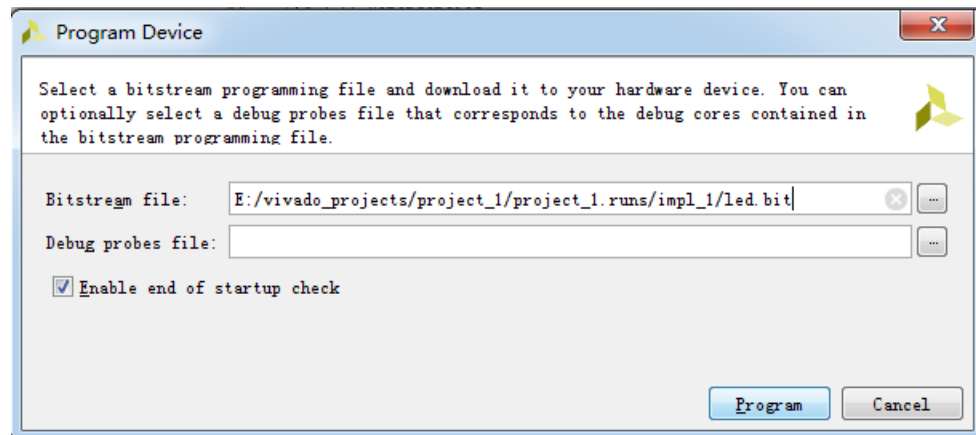
Target Settings:

- Target: xilinx_tcf/Digilent/210292896575A
- Frequency: 15000000

To connect to the hardware described above, click Finish

< Back Next > Finish Cancel

3)Hardware 一栏中出现硬件平台上可编程的器件。在左上方点击 Program device, 接着点击出现的设备名, 指定所需的 bit 文件。(系统默认已存在该工程的 bit 文件, 不需更改)



点击 Program。

至此设计完成, 拨动最右边的三个开关同时向上, 右起第二个 led 灯会亮起 (根据你自己的引脚选择), 实验成功。