



Arquitectura de Computadores

ENGENHARIA INFORMÁTICA
FACULDADE DE CIÊNCIAS E TECNOLOGIA
UNIVERSIDADE DE COIMBRA

– Exame Especial –

25 de Julho de 2018

Nome: _____ Número: _____

Notas Importantes:

A fraude denota uma grave falta de ética e constitui um comportamento não admissível num estudante de ensino superior. Não serão admitidas eventuais tentativas de fraude, que provocarão a reprovação imediata, tanto do facilitador como do prevaricador.

Durante a prova pode consultar a bibliografia da disciplina (slides, livros, enunciados e material de apoio a trabalhos práticos). No entanto, não é permitido o uso de computadores, calculadoras ou qualquer outro dispositivo electrónico.

Este é um teste de escolha múltipla e deverá assinalar sem ambiguidades as respostas na tabela apresentada a baixo. Cada pergunta corretamente respondida vale cinco pontos; cada resposta errada desconta dois pontos; e cada pergunta não respondida vale zero pontos. Uma nota final abaixo de zero pontos, vale zero valores.

Respostas: (indicar resposta A, B, C ou D, debaixo do número da questão)

Exame Especial (15 valores) – Duração: 100 minutos + 20 minutos de tolerância

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20

1. Considere a instrução em Assembly do MIPS dada pelo seguinte código hexadecimal “0x00852025”. Sabendo que os registos \$a0 e \$a1 são os registos #4 e #5, indique qual das seguintes opções representa a instrução em código Assembly
 - a. or \$a0, \$a0, \$a1
 - b. add \$a1, \$a0, \$a0
 - c. and \$a0, \$a0, \$a1
 - d. Nenhuma das outras respostas.
2. Assuma que para completar uma determinada função deve executar ordenadamente as seguintes operações T1, T2, T3, T4, T5 e T6 sobre um conjunto de 6 elementos de dados distintos, e que cada operação demora 20 minutos a executar. Qual o speedup global assumindo agora o modo de operação em pipeline (assuma que não ocorrem stalls)?
 - a. 1.83x
 - b. 5.45x
 - c. 3.27x
 - d. Nenhuma das outras respostas.
3. Considere a instrução beq \$4, \$5, -6 e um datapath com cinco etapas: 1- instruction fetch; 2- instruction decode; 3 – ALU; 4 – memory access; 5- register write. Qual das seguintes afirmações é **VERDADEIRA**?
 - a. A instrução está sempre inactiva na etapa 5 de escrita nos registos.
 - b. A instrução está inactiva na etapa 3 correspondente à unidade de lógica e aritmética (ALU).
 - c. A instrução está activa em todas as cinco etapas do datapath.
 - d. Nenhuma das opções acima está correcta.

4. Considere o seguinte excerto de código *assembly* (MIPS) e escolha a opção **VERDADEIRA**, considerando que o código foi executado:

- a. O valor de \$s0 é colocado no registo \$t0
- b. O valor de \$s0 é 3
- c. O valor de \$s0 é 8
- d. Nenhuma das opções anteriores está correcta

```
.data
num:    .word    0,9,8,7,6,5,4,3,2,1
delta:  .word    8

.text
la      $t0, num
la      $t1, delta
lw      $t2, 0($t1)
addu    $t0,$t0,$t2
lw      $s0, 0($t0)
```

5. Determine o *hit rate* de um sistema em que o acesso à memória principal requer 20ns, o acesso à cache é 5 vezes mais rápido e o tempo médio de acesso é de 6ns.

- a. 80%
- b. 90%
- c. 85%
- d. 95%

6. A codificação em código máquina da instrução *beq* incluída no excerto de código Assembly do MIPS listado a seguir é:

- a. 0x1109FFFA
- b. 0x11090006

```
Loop:   addi    $16,$0,0x00FF00FF
        addi    $17,$17,1
        add     $18,$16,$17
        slti    $8,$17,5
        addi    $9,$0,1
        beq     $8,$9,Loop
```

- c. 0x11090005
- d. 0x1109FFF8

7. Qual dos segmentos de código em C reproduz mais fielmente o ciclo em *assembly* indicado em baixo?

```
loop:
    addiu    $s4,$s4,-1
    slt      $t0,$s3,$s4
    slt      $t1,$s4,$s5
    add      $t0,$t0,$t1
    bne      $t0,$0,out
    j        loop
out:
```

- a. do{\$s4=\$s4-1;} while ((\$s3 < \$s4) || (\$s4 < \$s5))
- b. do{\$s4=\$s4-1;} while ((\$s3 >= \$s4) || (\$s4 >= \$s5))
- c. do{\$s4=\$s4-1;} while ((\$s3 >= \$s4) && (\$s4 >= \$s5))
- d. do{\$s4=\$s4-1;} while ((\$s3 < \$s4) && (\$s4 < \$s5))

8. Considerando o contexto da hierarquia de memórias, diga qual das seguintes afirmações é **FALSA**.

- a. As memórias cache tiram partido do princípio da localidade temporal, uma vez que reduzem o tempo médio de acesso à memória para acessos ao mesmo endereço de memória.
- b. Para maximizar os ganhos obtidos pelos princípios da localidade espacial e temporal, o tamanho dos blocos da cache deverá ser o maior possível.
- c. Não há vantagem em transferir da memória central para memória cache blocos de apenas 1 word (32 bits).
- d. O tamanho ideal dos blocos da cache é limitado pelo preço e pelo tamanho total da cache, por forma a otimizar o tempo médio de acesso.

9. Diga qual das afirmações é **VERDADEIRA**:

- a. O endereçamento relativo do PC permite codificar instruções *branch* em 32-bit
- b. Uma operação de *branch* pode mover o PC para qualquer zona da memória

- c. As chamadas a funções são feitas com instruções do tipo *branch*
- d. Numa instrução do tipo *branch*, o campo *immediate* deve ser sempre um valor positivo

10. Considere a seguinte hierarquia de memória (memória principal + memória cache) em que:

- Tamanho da memória principal é 512 Mega words de 16 bit (endereçada à word);
- Tamanho da memória cache é 2 Mega words de 16 bit (endereçada à word);
- Tamanho de bloco da memória cache é 1K words de 16 bit.

Escolha das seguintes opções qual representa a estrutura de endereçamento, supondo uma cache do tipo Fully Associative.

- a. offset = 9 bits; index = 0 bits; tag = 20 bits
- b. offset = 10 bits; index = 19 bits; tag = 0 bits
- c. offset = 10 bits; index = 0 bits; tag = 19 bits
- d. Nenhuma das outras respostas está correcta.

11. Suponha a multiplicação, em *assembly* do MIPS, de dois números armazenados nos registos \$t2 e \$t4. Se quiser usar apenas instruções TAL, escolha qual dos seguintes excertos permite colocar o resultado da multiplicação no registo \$a0.

MIPS 1	MIPS 2	MIPS 3	MIPS 4
... mult \$t2,\$t4 mflo \$a0	... mult \$a0,\$t2,\$t4	... mul \$a0,\$t2,\$t4	... mul \$t2,\$t4 mflo \$a0

- a. MIPS 1
- b. MIPS 2
- c. MIPS 3
- d. MIPS 4

12. Considere a instrução em *assembly* do MIPS dada pelo seguinte código em hexadecimal “0x00A63824”. Sabendo que os registos \$a1, \$a2 e \$a3 são os registos #5, #6 e #7, respectivamente, indique qual das seguintes instruções representa a decodificação da instrução anterior.

- a. and \$a1,\$a2,\$a3
- b. and \$a3,\$a1,\$a2
- c. sub \$a3,\$a1,\$a2
- d. sub \$a1,\$a2,\$a3

13. Considere o excerto de código na caixa seguinte.

Indique qual das opções representa o valor correcto do registo, após a execução deste excerto.

- a. \$t4=-5
- b. \$t4=5
- c. \$t4=10
- d. \$t4=0x0000000F

```
...
addiu $t1, $zero, 10
addiu $t2, $zero, 5
sub   $t3, $t2, $t1
subu  $t4, $t1, $t3
...
```

14. Considere um sistema baseado num processador que possui um valor de CPI igual a 3.2 quando todos os acessos à memória são feitos utilizando apenas a cache. O sistema possui duas caches, uma para instruções e outra para dados. A hit rate da cache de instruções é de 90% e a da cache de dados é igual a 80%. Apenas 30% das instruções envolvem um acesso à memória de dados. Se considerarmos que o miss penalty é igual a 8 ciclos de relógio em ambas as caches, qual será o CPI real deste sistema?

- a. 3,7
- b. 3.6
- c. 4.7 *
- d. 4.0

15. Considere o seguinte excerto de código Assembly do MIPS em que é carregado em memória o array de inteiros num. Indique qual das instruções permite a leitura para o registo \$t0 do número 80 pertencente ao array num armazenado em memória.

```
.data
num: .word 10,20,30,40,50,60,70,80,90,100
.text
main:
    la      $a0, str
    . . .
```

- a. lw \$t0, 28(\$a0)
- b. lb \$t0, 7(\$a0)
- c. lb \$t0, 8(\$a0)
- d. lw \$a0, 28(\$t0)

16. Sabendo que a palavra “Ana” se representa em ASCII com a sequência de códigos 0x41 0x6e 0x61, qual a palavra que corresponde à sequência 0x42 0x61 0x74 0x61 0x74 0x61?

- a. Banana
- b. Ana Maria
- c. Batata
- d. banana

17. Considere o seguinte excerto de código MIPS. Qual das afirmações seguintes descreve melhor as consequências da sua execução?

- a. O número 110 é escrito no ecrã
- b. O número 105 é escrito no ecrã
- c. O programa entra num ciclo infinito
- d. Nenhuma das outras opções está correcta

```
jal label0
j end
label0:
    li      $a0, 100
    j label1
    add $a0, $a0, 5
label1:
    addi    $a0, $a0, 5
    jr      $ra
end:
    #print integer
    li      $v0, 1
    syscall
```

18. Considere a instrução lw em Assembly do MIPS. Das seguintes afirmações, diga qual representa uma afirmação **VERDADEIRA**.

- a. Sendo uma instrução de armazenamento de dados na memória, a instrução não faz uso da Unidade Aritmética e Lógica (ALU).
- b. Não sendo uma instrução TAL, esta instrução é sempre decomposta e, portanto, executada em mais do que um ciclo.
- c. A instrução faz uso da Unidade Aritmética e Lógica (ALU) para o cálculo do endereço.
- d. Todas as restantes afirmações são falsas.

19. Como se decompõe a instrução Assembly do MIPS andi \$t1,\$t0,0xFF11DCBA numa instrução válida?

a. lui \$at, 0xFF11
ori \$at, \$at, 0xDCBA
and \$t1, \$t0, \$at

b. lui \$at, 0xFF11
andi \$at, \$at, 0xDCBA
and \$t1, \$t0, \$at

c. lui \$at, 0xDCBA
ori \$at, \$at, 0xFF11
and \$t1, \$t0, \$at

d. lui \$at, 0xDCBA
andi \$at, \$at, 0xFF11
or \$t1, \$t0, \$at

20. Analise o código em anexo e indique qual das seguintes opções representa o que será impresso no ecrã pela instrução printf.

- a. Imprime o valor 5.
- b. Imprime um valor indeterminado.
- c. Ocorre um *segmentation fault* e, portanto, não imprime nada.
- d. Imprime o endereço do ponteiro ptr.

```
#include <stdio.h>

int main(){
    int *ptr;
    *ptr = 5;

    printf("Valor: %d\n", *ptr);
}
```