

Arquitectura de Computadores

ENGENHARIA INFORMÁTICA FACULDADE DE CIÊNCIAS E TECNOLOGIA UNIVERSIDADE DE COIMBRA

- 2ª Frequência -

15 de Junho de 2018 Duração: 90 min. + 15 min. de tolerância

Notas Importantes:

A fraude denota uma grave falta de ética e constitui um comportamento não admissível num estudante de ensino superior. Não serão admitidas eventuais tentativas de fraude, que provocarão a reprovação imediata, tanto do facilitador como do prevaricador.

Durante a prova pode consultar a bibliografía da disciplina (slides, livros, enunciados e material de apoio a trabalhos práticos). No entanto, <u>não é permitido</u> o uso de computadores, calculadoras ou qualquer outro dispositivo electrónico.

Este é um teste de escolha múltipla e <u>deverá assinalar sem ambiguidades as respostas na tabela apresentada a baixo</u>. Cada pergunta corretamente respondida vale cinco pontos; <u>cada resposta errada desconta dois pontos</u>; e cada pergunta não respondida vale zero pontos. Uma nota final abaixo de zero pontos, vale zero valores.

Respostas: (indicar resposta A, B, C ou D, debaixo do número da questão)

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
C	В	D	A	В	D	C	D	В	A	C	В	A	C	D	В	D

- 1. Assumindo que, num programa em Assembly do MIPS, dispõe de um número inteiro <u>com sinal</u> num registo \$t0 e que pretende calcular a sua <u>divisão por 8</u>, indique qual das seguintes instruções está CORRETA para este propósito.
 - **a.** srl \$t0, \$t0, 3
 - **b.** sll \$t0, \$t0, 3

- **c.** sra \$t0, \$t0, 3
- **d.** Nenhuma das restantes opções.
- 2. Observe o código ao lado, escrito em Linguagem C. Escolha qual das seguintes opções representa o resultado deste código:
 - **a.** 4
 - **b.** 9
 - **c.** 3
 - **d.** Nenhuma das restantes opções.

- 3. Relativamente ao Assembly do MIPS, diga qual das afirmações é VERDADEIRA:
 - a. O registo \$ra permanece inalterado entre chamadas de funções se usarmos a intrução jal.
 - **b.** Para devolver um valor numa função podemos usar indiferentemente o registo \$50 ou \$51.
 - **c.** O registo \$0 pode ser inicialmente usado como constante, mas ao longo da execução de uma função o seu valor pode mudar.
 - **d.** Uma função tem de guardar o conteúdo do registo \$ra na pilha apenas e só se durante a sua execução chamar outra função.

4. Escolha qual dos seguintes trechos de código em Assembly do MIPS tem o mesmo resultado do que o código C apresentado ao lado:

```
a. blt $t2, $t1, bloco2
beqz $t0, bloco2
bloco1:
...
j fim
bloco2:
...
fim:
```

```
if (($t2 >= $t1) && ($t0!=0))
{
    BLOCO1
}else{
    BLOCO2
}
```

```
d. Nenhuma das restantes opções.
```

5. Considerando a convenção de passagem de parâmetros no *Assembly* do MIPS, diga qual das afirmações é VERDADEIRA:

- **a.** O registo \$v1 pode ser usado quando a função precisa de retornar dois valores simultaneamente.
- **b.** O registo \$v1 só é utilizado quando o valor a retornar por certa função tem um tamanho superior a 32 bits.
- c. Os registos \$t0-\$t7 podem ser usados para devolver valores entre funções.
- **d.** É possível utilizar o registo \$ra para devolver valores através pilha.
- 6. Assumindo que a "label" aux se refere a uma variável armazenada no endereço de memória 0x10000434, e que a "label" func corresponde a uma referência externa ao ficheiro, indique quantas entradas na tabela de realocação gerará o seguinte código Assembly do MIPS?

```
a. 2 entradas na tabela de realocação.
```

- b. 3 entradas na tabela de realocação.
- c. 5 entradas na tabela de realocação.
- d. 4 entradas na tabela de realocação.

```
la
             $s0,aux
      lw
             $a0,0($s0)
      li
             $v0,0
L1:
             $t0,$0,$a1
      slt
      beq
             $t0,$0,L2
      addi
             $a1,$a1,-1
             T.1
L2:
      add
             $a0,$t2,$a1
      jal
             func
```

7. Relativamente ao Assembly do MIPS, indique qual das seguintes afirmações é VERDADEIRA:

- a. Nenhuma instrução do tipo I necessita de realocação na fase da linkagem.
- b. A resolução de "labels" de instruções "branches" é feita pelo "linker".
- c. Instruções do tipo R são totalmente resolvidas na fase do "assembling" e assim nunca necessitam de realocação na fase do "linking".
- d. As tabelas de símbolos e de realocação são criadas e resolvidas na fase da linkagem.

- 8. Como se decompõe a instrução em Assembly do MIPS ori \$t1,\$t0,0xffB8D7D5 em instruções TAL?
 - a) li \$at, 0xD7D5
 ori \$at, \$at, 0xFFB8
 and \$t1, \$t0, \$at
 - c) lui \$at, 0xD7D5
 ori \$at, \$at, 0xFFB8
 or \$t1, \$t0, \$at
- b) lui \$at, 0xFFB8 andi \$at, \$at, 0xD7D5 or \$t1, \$t0, \$at
- d) lui \$at, 0xFFB8
 ori \$at, \$at, 0xD7D5
 or \$t1, \$t0, \$at
- 9. Relativamente ao excerto de código ao lado, sabendo que o "label" Loop indica o endereço da memória de instruções 0x0000F300, qual é o valor que se encontra no campo "immediate" da instrução de branch?

```
a. OxfffA
```

b. 0xFFFB

- Loop: addi \$s0,\$s0,100 addi \$s1,\$s1,-1 xor \$t0,\$s0,\$s1 bgt \$t0,\$0,Loop
- c. 0xFFFC
- **d.** 0xF300
- 10. Considere a instrução em Assembly do MIPS dada pelo seguinte código hexadecimal 0x90900018. Sabendo que os registos \$a0 e \$s0 são os registos #4 e #16, respectivamente, indique qual das seguintes instruções representa a descodificação da instrução anterior:

```
a. lbu $s0,24($a0)
b. lbu $s0,18($a0)

24
4
6
c. lw $s0,18($a0)
d. lbu $a0,24($s0)

(06) cope (06) cope, 2000 coof (0co)
```

11. Considere o excerto de código apresentado. Indique qual das instruções apresentadas permite ler o valor 5 da tabela de inteiros para o registo \$t1.

```
a. lw $t1,16($t0)
```

b. lw \$t1,4(\$t0)

c. lw \$t1, 8(\$t0)

d. lw \$t1,12(\$t0)

- 12. Considere a instrução beq \$t0,\$0,label e um datapath com cinco etapas: 1- instruction fetch; 2- instruction decode; 3 ALU; 4 memory access; 5- register write. Qual das seguintes afirmações é <u>VERDADEIRA</u>?
 - a. A instrução está inactiva na etapa 3 correspondente à unidade de lógica e aritmética (ALU).
 - **b.** A instrução apenas está activa nas primeiras três etapas.
 - c. A instrução está activa em todas as cinco etapas do datapath.
 - d. Nenhuma das opções acima está correcta.
- 13. Assuma que para completar uma determinada tarefa é necessário executar sequencialmente um conjunto de 5 operações, sendo que três dessas operações demoram 5 minutos cada a executar enquanto que as restantes demoram 10 minutos cada a executar. Se pretendermos utilizar um pipeline para optimizar a realização de 10 tarefas, qual seria o incremento em termos de desempenho global que obteríamos em relação a uma execução meramente sequencial?

a. 2.5x

b. 2.0x

 \mathbf{c} . 3.0 \mathbf{x}

d. 3.5x

14. Qual das seguintes afirmações, relativas ao gcc que utilizou nas aulas práticas laboratoriais, é VERDADEIRA:

- a. O uso da flag –O com o compilador gec produz um ficheiro objecto.
- **b.** O uso da flag –g com o compilador gcc permite tornar a execução do nosso código mais rápido.
- c. O uso da flag –O com o compilador gcc seguida de um sufixo numérico permite definir o modo de optimização de código a utilizar.
- **d.** Nenhuma das outras opções é verdadeira.

15. Assumindo que o registo \$t0 contém o valor 0x12345678, indique qual é o valor armazenado no registo \$t2 após a execução do excerto de código *Assembly* do MIPS listado abaixo:

- **a.** 0×02345670 .
- **b.** 0x0000000.
- **c.** 0x12345678.
- **d.** 0x02345678.

srl \$t1,\$t0,3
sll \$t1,\$t1,7
srl \$t1,\$t1,4
and \$t2,\$t1,\$t0

16. Indique qual das seguintes afirmações sobre conflitos numa arquitectura baseada no conceito de *pipelining* é <u>FALSA</u>:

- **a.** O conflito de dados resultante de uma dependência de dados de um *load* da memória para um registo e a sua consequente utilização na instrução seguinte não pode ser resolvido com o mecanismo de *forwarding* (é obrigatório a ocorrência de um *stall*).
- **b.** Os conflitos de controlo podem ser resolvidos através da antecipação da tomada de decisão dos saltos para a etapa de *fetch*.
- c. Alguns conflitos estruturais podem ser resolvidos através da utilização de caches para instruções e caches de dados
- **d.** A utilização de um *Register File* com um mecanismo de *Read-After-Write* resolve um conflito estrutural entre os estágios 2 e 5 do pipeline.

17. Considerando o trecho de programa indicado ao lado, indique qual das afirmações é <u>VERDADEIRA</u>:

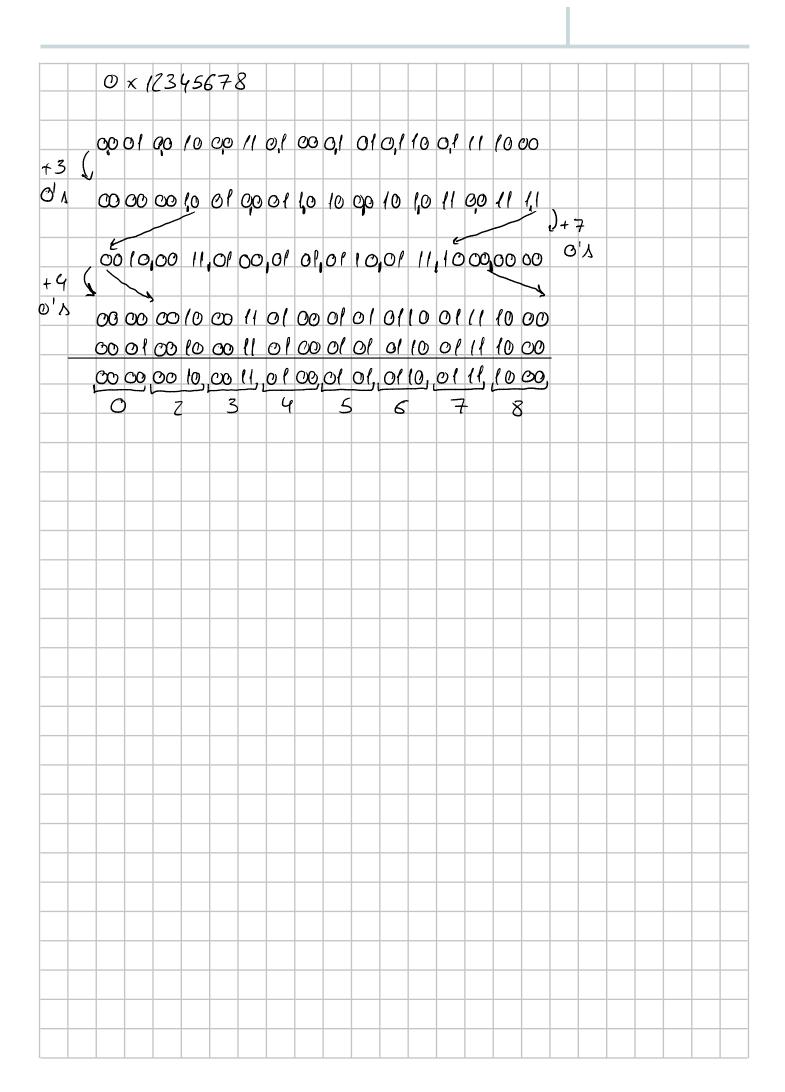
a. A variável *dados* vai ser armazenada na zona de dados estáticos, a variável *i* na pilha e a variável *temp* é armazenada no *heap*.

```
double dados[3] = {1.0,2.0,3.0};
void main() {
  int i,*temp; -> full o

  temp=(double*)malloc(3*sizeof(double)); -> HQaf

  for(i=0;i<3;i++)
     temp[i]=dados[i];
}</pre>
```

- **b.** As variáveis *dados* e *temp* vão ser armazenadas no *heap* porque contêm vários elementos.
- **c.** As variáveis *dados*, *i* e *temp* vão ser armazenadas na pilha, sendo que *dados* e *temp* apontam para zonas de memória no *heap*.
- **d.** A variável *dados* vai ser armazenada na zona de dados estáticos do programa, a variável *temp* e *i* na pilha. A variável *temp* vai conter um endereço localizado no *heap*.





Arquitectura de Computadores

ENGENHARIA INFORMÁTICA
FACULDADE DE CIÊNCIAS E TECNOLOGIA
UNIVERSIDADE DE COIMBRA

2ª Frequência – Parte Prática

(a preencher	pelo	docente)
--------------	------	----------

Nome:_	Νί	ímero:

Considere a representação "pipelined" do programa apresentada abaixo (F="Instruction Fetch", D="Decode", A="Execute" ou "Arithmetic", M="Memory Access", R="Write Back"):

```
$t1, 0($t2)
                              F D A M R
      lw
                                F D A M R
      add $t0, $t1, $t2
     beq $0,$0, NEXT
                                  F D A M R
                                    F D A M R
          $t3, 0($t0)
      sub $t5, $t4, $t3
                                      FDAMR
NEXT: lw
          $t6, 0($t5)
                                        FDAMR
      or
          $t1, $t3, $t6
                                          FDAMR
          $t4, -64($t2)
      lw
                                           FDAMR
          $t4, -60($t2)
                                             FDAMR
      SW
      add $t7, $t8, $t7
                                               FDAMR
```

- i) Desenhe setas para indicar a dependência de dados entre os diferentes níveis. A seta deve começar no nível em que os dados ficam pela primeira vez disponíveis e terminar onde os dados são absolutamente necessários. Indique também todos os conflitos detectados. Assuma que o processador usa todos os mecanismos de optimização disponíveis, incluindo o «delayed branch».
- ii) Tente resolver os conflitos detectados de forma a tornar o código o mais eficiente possível e determine quantos ciclos de relógio são necessários para a execução total do código (considere o pipeline cheio). As soluções mais eficientes (sem *stalls*) serão valorizadas.

1			
1			
I			
1			
1			
1			
1			
1			
1			
1			
I			
l			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			
1			



Arquitectura de Computadores

ENGENHARIA INFORMÁTICA
FACULDADE DE CIÊNCIAS E TECNOLOGIA
UNIVERSIDADE DE COIMBRA

2ª Frequência – Parte Prática

(a preencher pelo docente)

Considere a representação "pipelined" do programa apresentada abaixo (F="Instruction Fetch", D="Decode", A="Execute" ou "Arithmetic", M="Memory Access", R="Write Back"):

```
$t1, 0($t2)
                                       F D A
                                                           stall
        add $t0, $t1, $t2
                                              (A) M R
       beq $0,$0, NEXT
                                             FDAMR
             $t3, 0($t0)
                                                  DAMR
        sub $t5, $t4, $t3
                                                 F D
                                                      A M R
                                                        \mathbf{M}R
NEXT: lw
             $t6, 0($t5)
                                                        A) M R
             $t1, $t3, $t6
        or
             $t4, -64($t2)
        lw
                                                      F D A M R
                                Como houve o salto o fetch da
                                 instrução no label «Next»
             $t4, -60($t2)
                                                         F D A M R
        SW
                                 começaria a ser executada a
        add $t7, $t8, $t7
                                                           FDAMR
                                    seguir no pipeline!
```

- i) Desenhe setas para indicar a dependência de dados entre os diferentes níveis. A seta deve começar no nível em que os dados ficam pela primeira vez disponíveis e terminar onde os dados são absolutamente necessários. Indique também todos os conflitos detectados. Assuma que o processador usa todos os mecanismos de optimização disponíveis, incluindo o «delayed branch».
- ii) Tente resolver os conflitos detectados de forma a tornar o código o mais eficiente possível e determine quantos ciclos de relógio são necessários para a execução total do código (considere o pipeline cheio). As soluções mais eficientes (sem *stalls*) serão valorizadas.

Para resolver os dois stalls bastaria acrescentar dois nops no local, ou então de forma mais optimizada, bastaria trocar por exemplo as instruções indicadas (não interferem na execução do programa):

```
$t1, 0($t2)
        1 w
               $t7, $t8, $t7
$t0, $t1, $t2
        add
        add
               $0,$0, NEXT
       bea
               $t3, 0($t0)
        lw
               $t5, $t4, $t3
       sub
NEXT:
       lw
                $t6, 0($t5)
                $t4, -64($t2)
        lw
               $t1, $t3, $t6
        or
               $t4, -60($t2)
```

Com o pipeline cheio seriam necessários 9 ciclos de relógio para correr este programa (versus 11 no programa original).