

第四章 组合逻辑电路设计

秦磊华 计算机学院

4.1 组合逻辑电路的基本概念

若逻辑电路在任何时刻产生的**稳定输出值**仅仅取决于该时刻**各输入值**的组合，而与**过去的输入值无关**，则称为组合逻辑电路。



$$F_i = f_i(X_1, X_2, \dots, X_n) \quad i = 1, 2, \dots, m$$

- 由逻辑门电路组成，不包含任何记忆(存储)元件
- 信号单向传输，不存在反馈回路



4.2 组合逻辑电路分析

分析:

找出给定的逻辑电路输出与输入之间的逻辑关系;

目的:

得到给定逻辑电路功能, 评价、改进和完善不合理方案等

1.根据电路写出输出函数表达式



2.对函数表达式化简

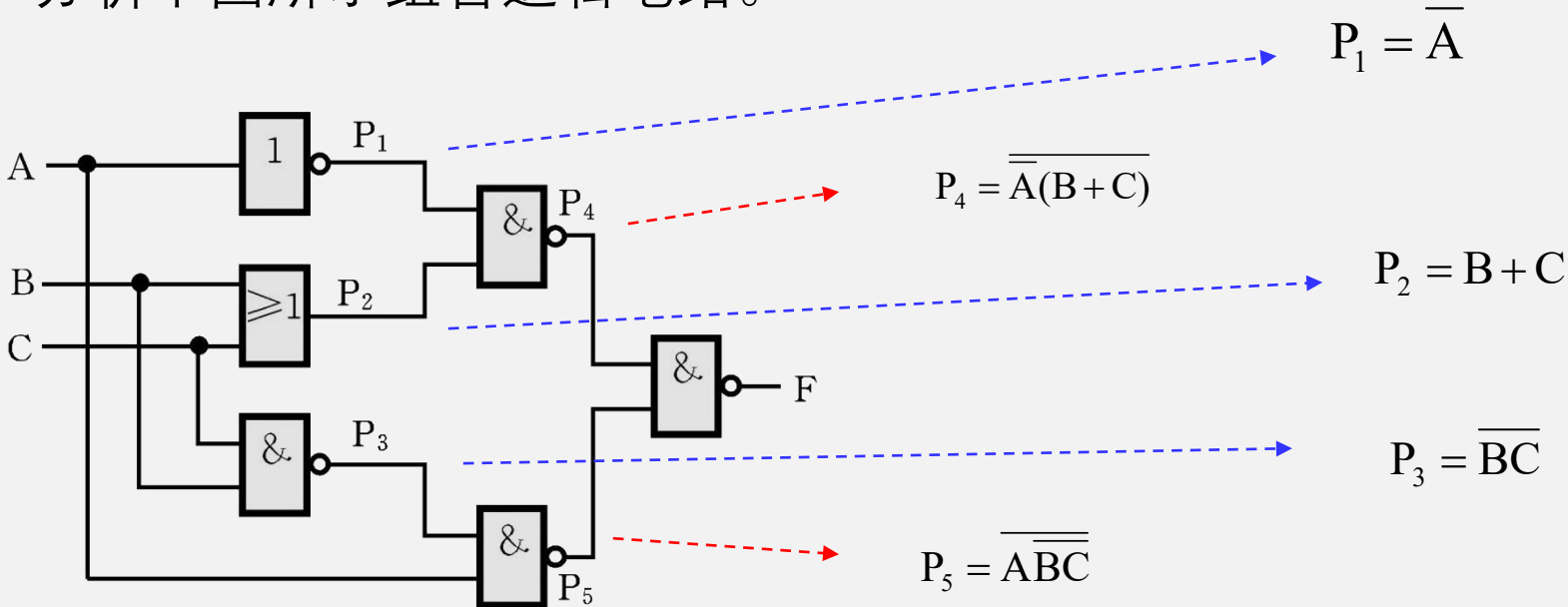


3.列出函数真值表



4.功能评述与优化

例1 分析下图所示组合逻辑电路。



解 根据逻辑电路图写出输出函数表达式

$$F = \overline{P_4 P_5} = \overline{\overline{\overline{A}(B + C)} \overline{\overline{A}BC}}$$



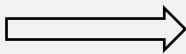
4.2 组合逻辑电路分析

(用代数法1)化简输出函数表达式F

$$F = \overline{\overline{A(B+C)}ABC}$$

$$= \overline{AB} + \overline{AC} + \overline{A\overline{B}} + \overline{A\overline{C}}$$

$$= A \oplus B + A \oplus C$$



真值表

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

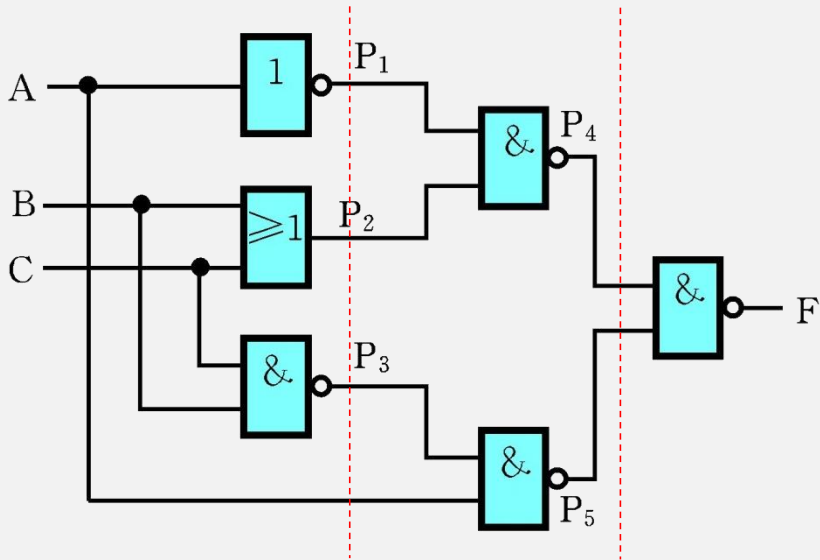
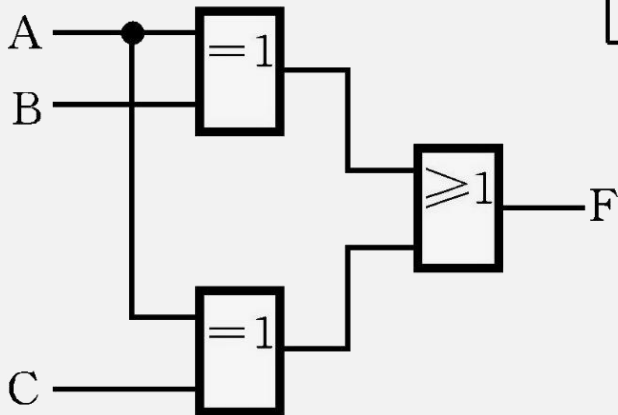
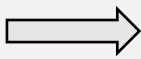
功能: 不一致电路



4.2 组合逻辑电路分析

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

$$F = A \oplus B + A \oplus C$$



3级6门 到 2级3门

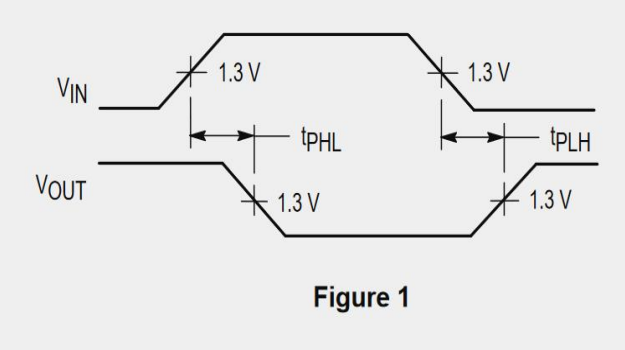


4.2 组合逻辑电路分析

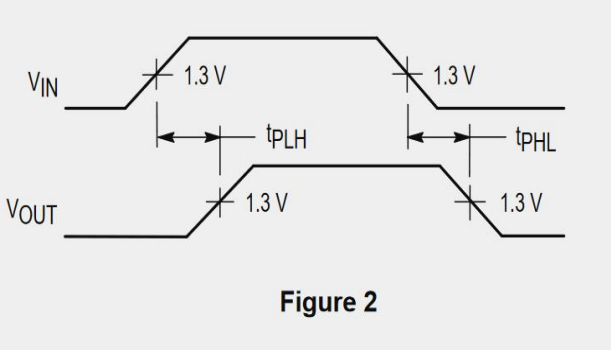
74LS04 TI DataSheet

| PARAMETER | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|-----------|--------------|-------------|---|-----|-----|-----|------|
| t_{PLH} | A | Y | $R_L = 2\text{ k}\Omega$ and $C_L = 15\text{ pF}$ | | 9 | 15 | ns |
| t_{PHL} | | | | | 10 | 15 | |

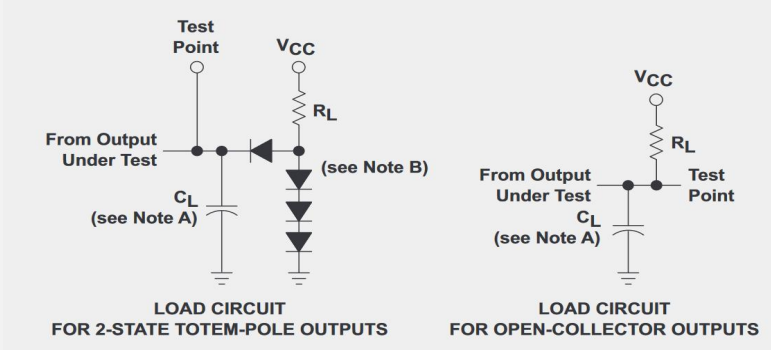
74LS04(6-非门)



“Low to High Delay Time”



“High to Low Delay Time”





4.2 组合逻辑电路分析

AC CHARACTERISTICS (T_A = 25°C)

| Symbol | Parameter | Limits | | | Unit | Test Conditions |
|------------------|---------------------------------|--------|-----|-----|------|---|
| | | Min | Typ | Max | | |
| t _{PLH} | Turn-Off Delay, Input to Output | | 14 | 22 | ns | V _{CC} = 5.0 V C _L = 15 pF |
| t _{PHL} | Turn-On Delay, Input to Output | | 14 | 22 | ns | |

V_{CC} = 5 V, T_A = 25°C, and over operating free-air temperature range (unless otherwise noted). See [Figure 2](#).

| PARAMETER | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|------------------|--------------|-------------|--|-----|-----|-----|------|
| t _{PLH} | A or B | Y | R _L = 2 kΩ and C _L = 15 pF | | 9 | 15 | ns |
| t _{PHL} | | | | | 10 | 15 | |

AC CHARACTERISTICS (T_A = 25°C)

| Symbol | Parameter | Limits | | | Unit | Test Conditions |
|--------------------------------------|--|--------|----------|----------|------|---|
| | | Min | Typ | Max | | |
| t _{PLH} t _{PHL} | Propagation Delay, Other Input LOW | | 12 10 | 23 17 | ns | V _{CC} = 5.0 V C _L = 15 pF |
| t _{PLH} t _{PHL} | Propagation Delay, Other Input HIGH | | 20 13 | 30 22 | ns | |

AC CHARACTERISTICS (T_A = 25°C)

| Symbol | Parameter | Limits | | | Unit | Test Conditions |
|------------------|---------------------------------|--------|-----|-----|------|---|
| | | Min | Typ | Max | | |
| t _{PLH} | Turn-Off Delay, Input to Output | | 8.0 | 15 | ns | V _{CC} = 5.0 V C _L = 15 pF |
| t _{PHL} | Turn-On Delay, Input to Output | | 10 | 20 | ns | |

74LS32(4-2输入端或门)

74LS00(4-2输入端与非门)

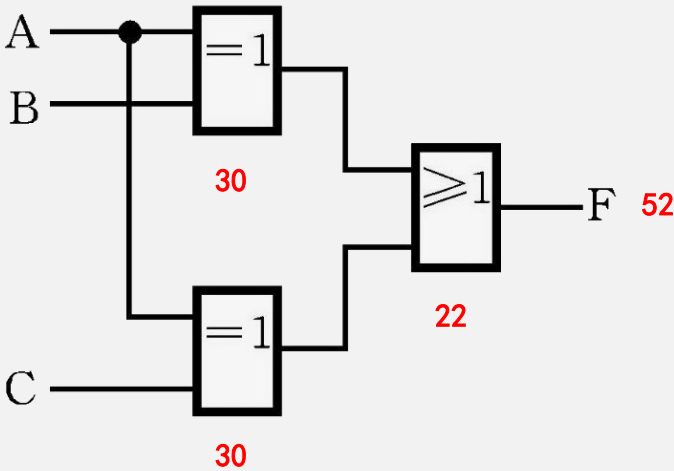
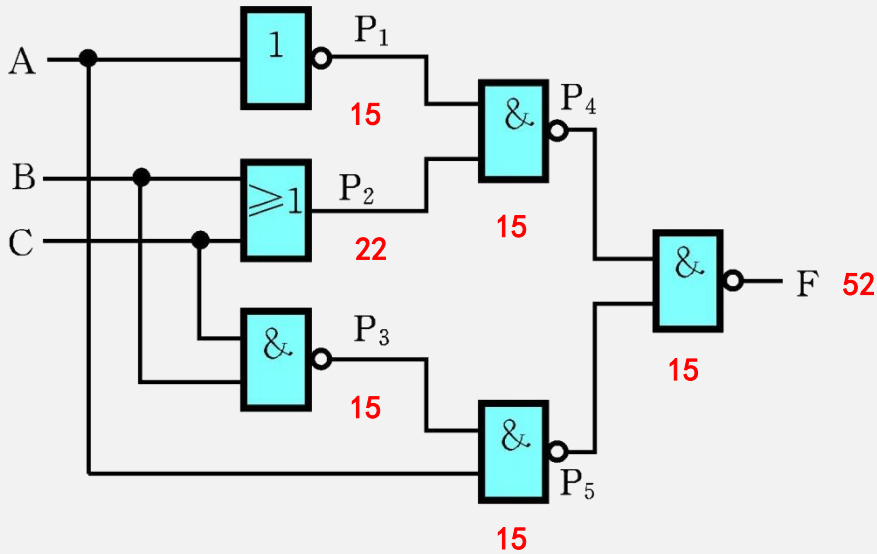
74LS86(4-2输入端异或门)

74LS08(4-2输入端与门)



4.2 组合逻辑电路分析

| 型号 | 功能 | PDT _{MAX} |
|--------|--------|--------------------|
| 74LS86 | 4-2异或 | 30ns |
| 74LS32 | 4或门 | 22ns |
| 74LS00 | 4-2与非门 | 15ns |
| 74LS04 | 6-非门 | 15ns |
| 74LS08 | 4-2与门 | 20ns |





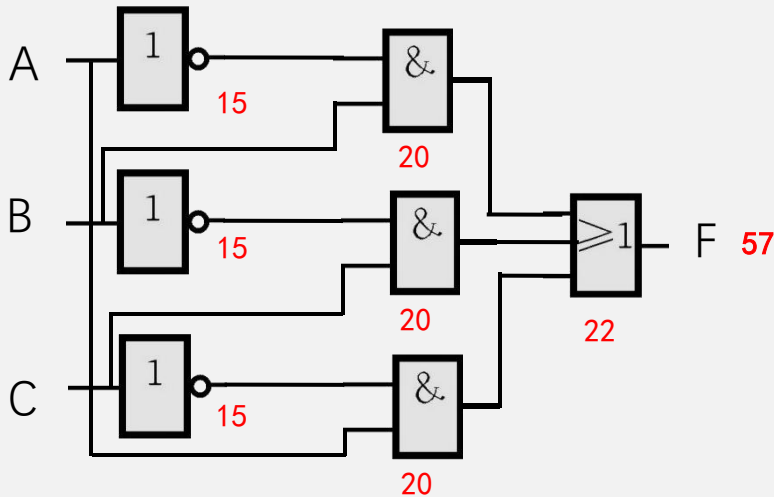
4.2 组合逻辑电路分析

(用代数法2)化简输出函数表达式F

$$F = \overline{\overline{A(B+C)}ABC}$$

$$\begin{aligned} F &= \overline{A(B+C)} + A\overline{BC} \\ &= \overline{AB} + \overline{AC} + A\overline{BC} \\ &= \overline{AB} + \overline{ABC} + \overline{ABC} + A\overline{BC} + A\overline{BC} + A\overline{BC} \\ &= \overline{AB} + \overline{ABC} + \overline{ABC} + A\overline{BC} + A\overline{BC} + A\overline{BC} \\ &= \overline{AB} + \overline{BC} + A\overline{C} \end{aligned}$$

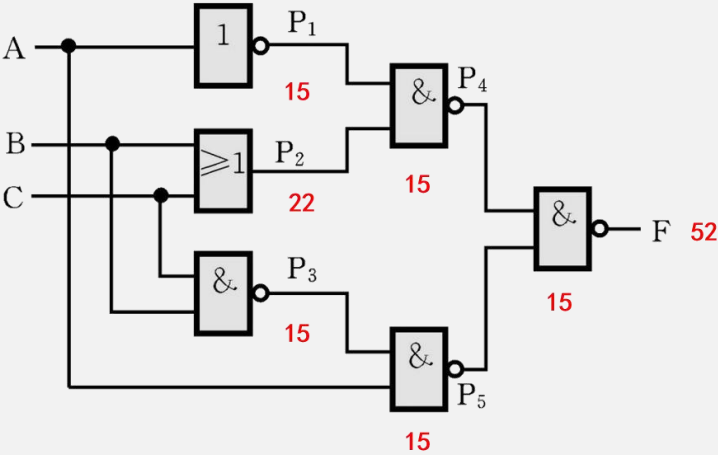
| 型号 | 功能 | PDT _{MAX} |
|--------|--------|--------------------|
| 74LS86 | 4-2异或 | 30ns |
| 74LS32 | 4-2或门 | 22ns |
| 74LS00 | 4-2与非门 | 15ns |
| 74LS04 | 6-非门 | 15ns |
| 74LS08 | 4-2与门 | 20ns |



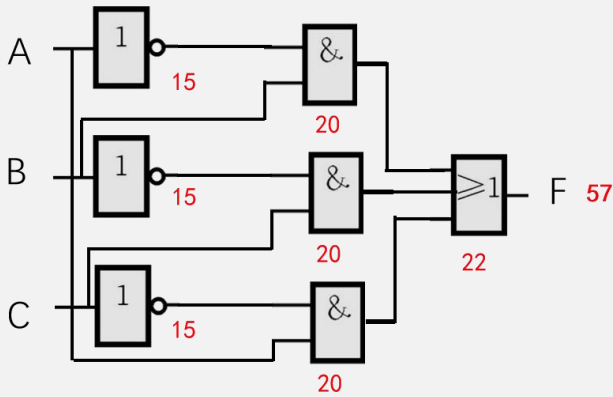
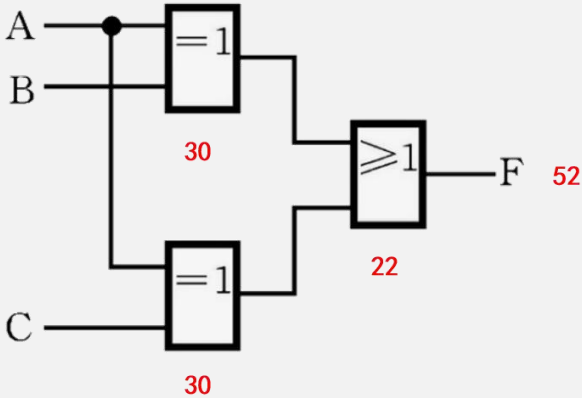
这说明传统的化简更多只是从器件或端口最少这个角度来考虑问题!



4.2 组合逻辑电路分析



$f = 1/(52 * 10^{-9}s) = 19.2MHZ$

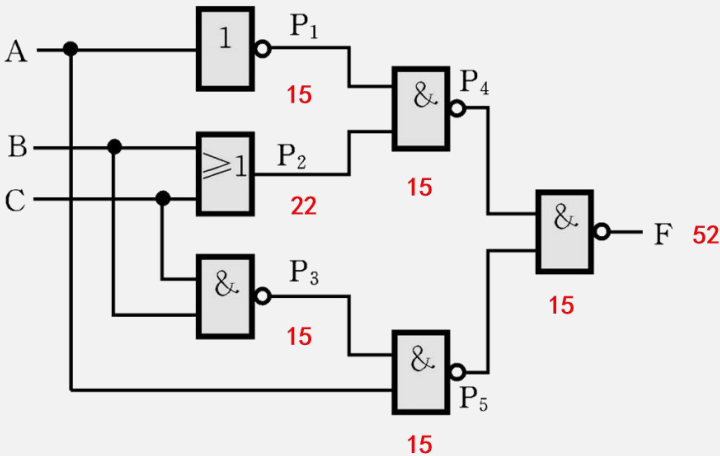


$f = 1/(57 * 10^{-9}s) = 17.5MHZ$

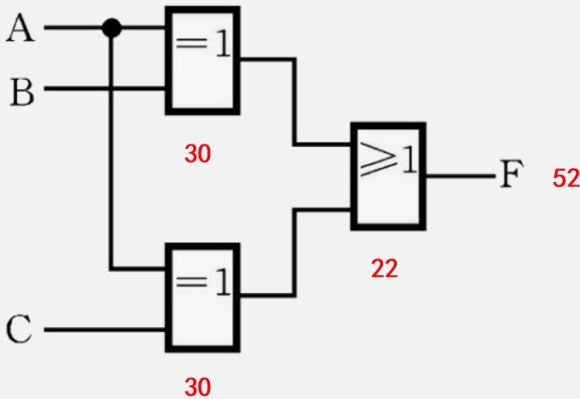


4.2 组合逻辑电路分析

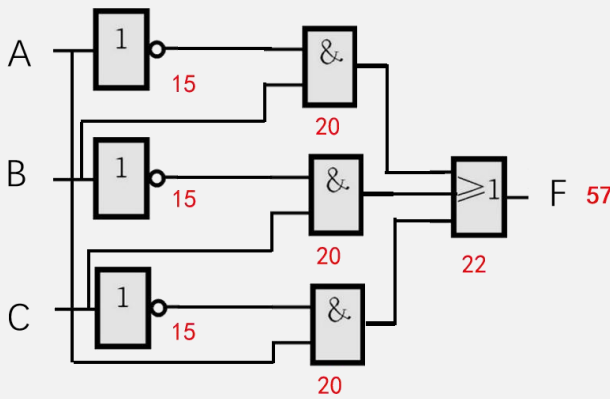
| 型号 | 功能 | PDT _{MAX} | 价格 |
|--------|--------|--------------------|------|
| 74LS86 | 4-2异或 | 30ns | 1.06 |
| 74LS32 | 4或门 | 22ns | 2 |
| 74LS00 | 4-2与非门 | 15ns | 1.06 |
| 74LS04 | 6-非门 | 15ns | 2.5 |
| 74LS08 | 4-2与门 | 20ns | 2.5 |



成本: $2.5+2+1.06=5.56$ 元

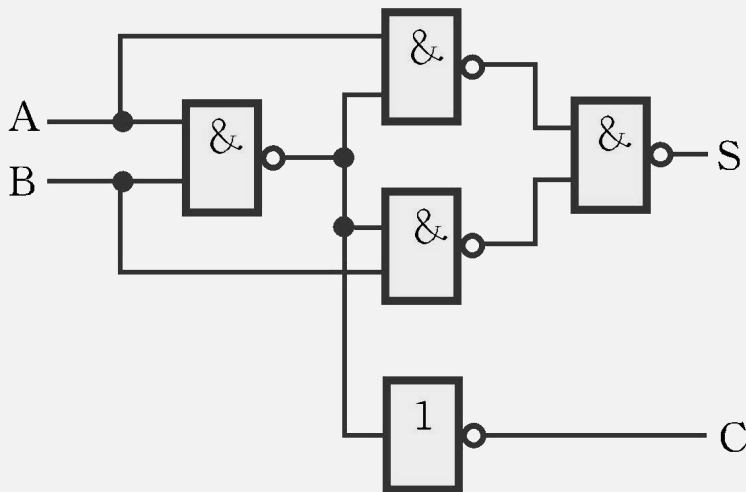


成本: $1.06+2=3.06$ 元



成本: $2.5+2.5+2=7$ 元

例2 分析下图所示逻辑电路。



解 写出输出函数表达式

$$S = \overline{\overline{AB}} \cdot \overline{\overline{A}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{B}}$$

$$C = \overline{\overline{AB}}$$



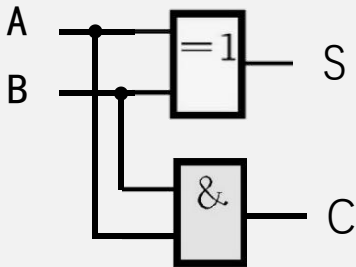
4.2 组合逻辑电路分析

用代数法化简输出函数如下：

$$\begin{aligned} S &= \overline{\overline{AB} \cdot A \cdot \overline{AB} \cdot B} &= \overline{AB} \cdot A + \overline{AB} \cdot B \\ & &= (\overline{A} + \overline{B}) \cdot A + (\overline{A} + \overline{B}) \cdot B \\ & &= A\overline{B} + \overline{A}B \\ & &= A \oplus B \end{aligned}$$

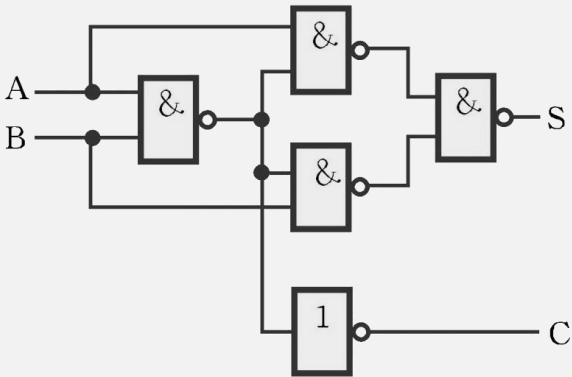
$$C = \overline{\overline{AB}} = AB$$

| 型号 | 功能 | PDT _{MAX} |
|--------|--------|--------------------|
| 74LS86 | 4-2异或 | 30ns |
| 74LS32 | 4或门 | 22ns |
| 74LS00 | 4-2与非门 | 15ns |
| 74LS04 | 6-非门 | 15ns |
| 74LS08 | 4-2与门 | 20ns |



真值表

| A B | S C |
|-----|-----|
| 0 0 | 0 0 |
| 0 1 | 1 0 |
| 1 0 | 1 0 |
| 1 1 | 0 1 |



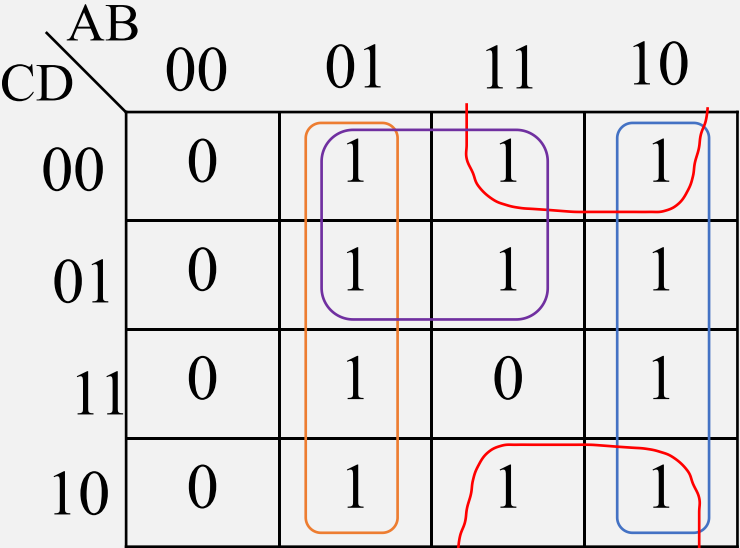
时延!



4.2 组合逻辑电路分析

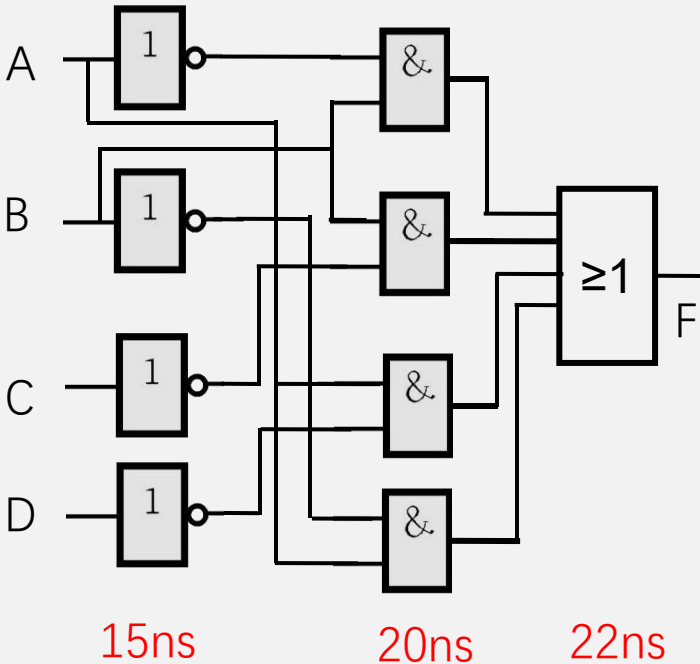
不带反变量的逻辑函数化简

$F = \sum m(4,5,6,7,8,9,10,11,12,13,14)$



$F = \overline{A}B + B\overline{C} + A\overline{D} + A\overline{B}$

| 型号 | 功能 | PDT _{MAX} |
|--------|--------|--------------------|
| 74LS86 | 4-2异或 | 30ns |
| 74LS32 | 4或门 | 22ns |
| 74LS00 | 4-2与非门 | 15ns |
| 74LS04 | 6-非门 | 15ns |
| 74LS08 | 4-2与门 | 20ns |

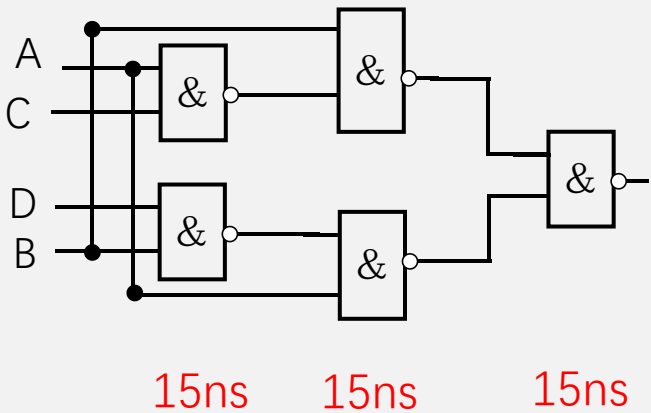




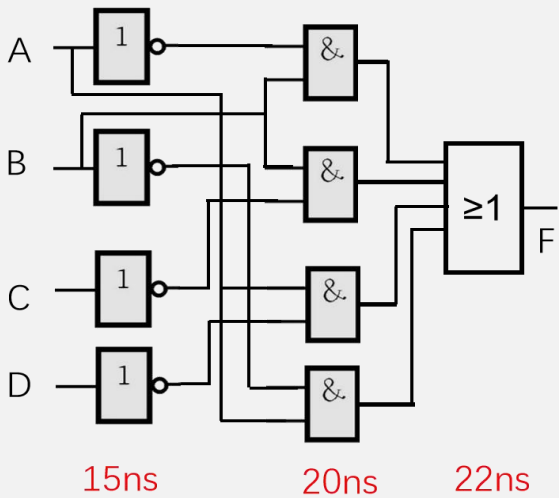
4.2 组合逻辑电路分析

无反变量化简1

$$\begin{aligned} F &= \overline{A} B + B \overline{C} + A \overline{D} + A \overline{B} \\ &= \overline{A} B + A \overline{D} + B \overline{C} + A \overline{B} \\ &= B(\overline{A} + \overline{C}) + A(\overline{D} + \overline{B}) \\ &= \overline{BAC} + \overline{ADB} \\ &= \overline{\overline{\overline{BAC}} \cdot \overline{\overline{ADB}}} \end{aligned}$$



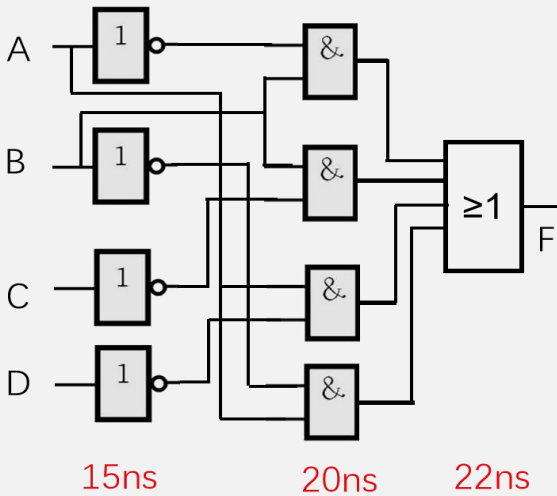
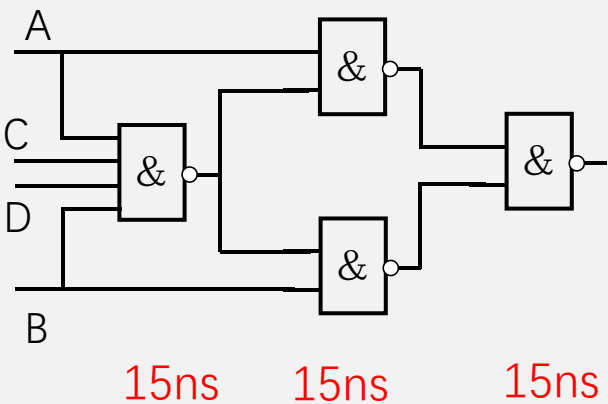
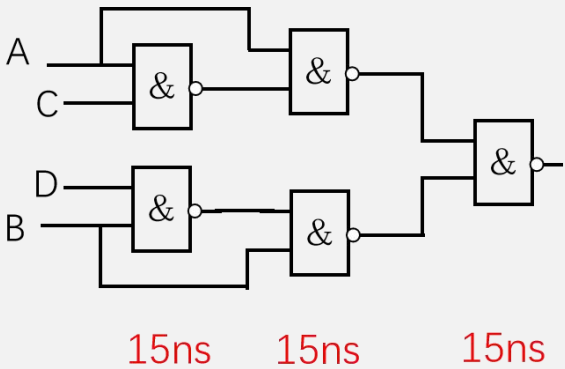
| 型号 | 功能 | PDT _{MAX} |
|--------|--------|--------------------|
| 74LS86 | 4-2异或 | 30ns |
| 74LS32 | 4-2或门 | 22ns |
| 74LS00 | 4-2与非门 | 15ns |
| 74LS04 | 6-非门 | 15ns |
| 74LS08 | 4-2与门 | 20ns |



无反变量化简2

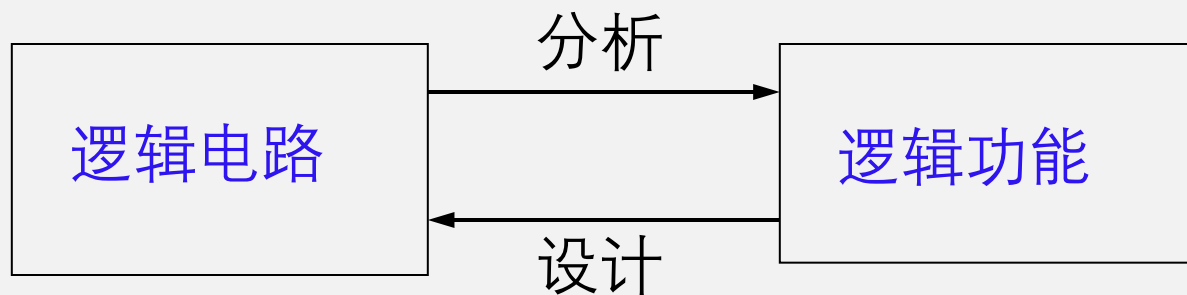
$$\begin{aligned}
 F &= \overline{A} B + B \overline{C} + A \overline{D} + A \overline{B} \\
 &= \overline{A} B + A \overline{D} + B \overline{C} + A \overline{B} \\
 &= \overline{A} B + A \overline{D} + B \overline{D} + B \overline{C} + A \overline{B} + A \overline{C} \\
 &= \overline{A} B + B \overline{D} + B \overline{C} + A \overline{D} + A \overline{B} + A \overline{C} \\
 &= B(\overline{A} + \overline{D} + \overline{C}) + A(\overline{D} + \overline{B} + \overline{C}) \\
 &= \overline{BADC} + \overline{ADBC} \\
 &= \overline{BABCD} + \overline{AABCD} \\
 &= \overline{\overline{\overline{BABCD}} \cdot \overline{\overline{AABCD}}}
 \end{aligned}$$

| 型号 | 功能 | PDT _{MAX} |
|--------|--------|--------------------|
| 74LS86 | 4-2异或 | 30ns |
| 74LS32 | 4或门 | 22ns |
| 74LS00 | 4-2与非门 | 15ns |
| 74LS04 | 6-非门 | 15ns |
| 74LS08 | 4-2与门 | 20ns |



4.3 组合逻辑电路设计

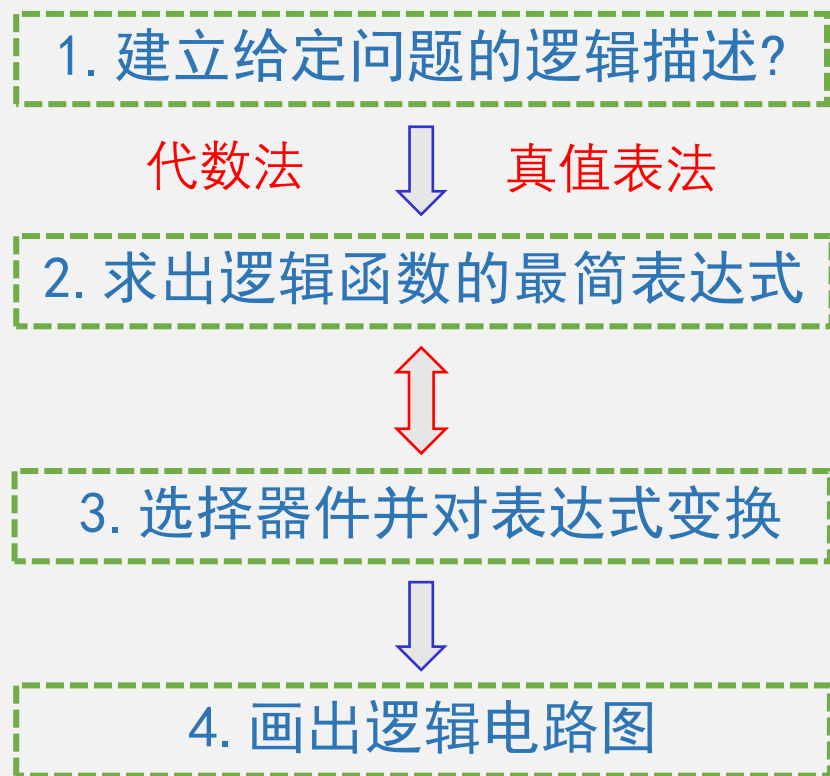
求出特定条件下实现给定功能的逻辑电路，也称为逻辑综合。



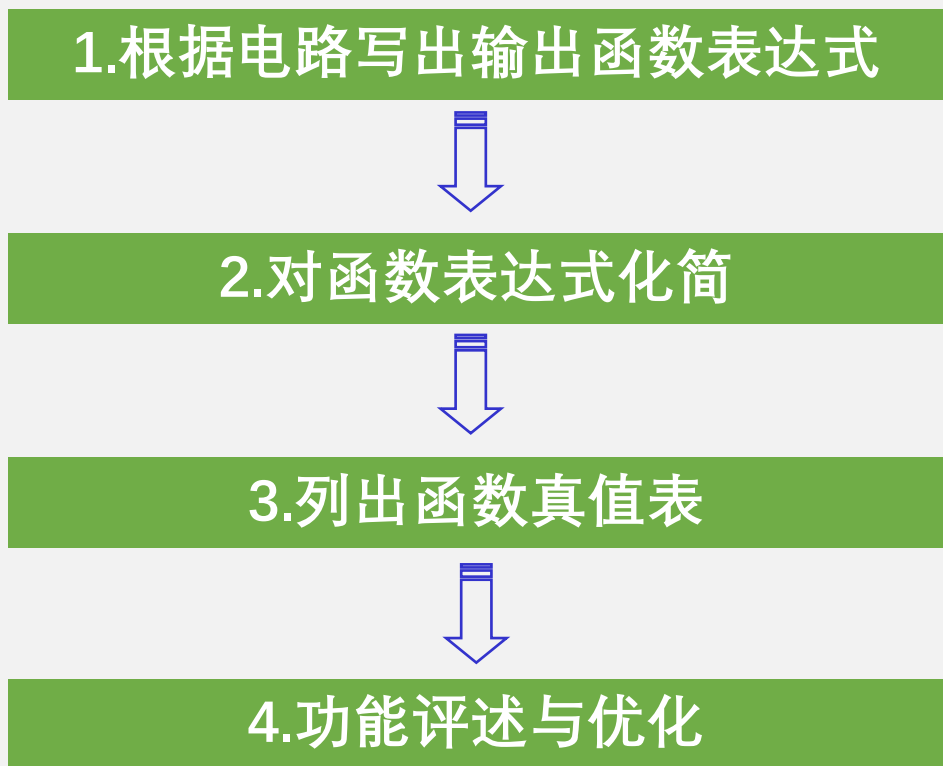
设计关键 → 将实际应用中的各种要求，包括逻辑问题
和非逻辑问题，抽象出问题的逻辑关系。

4.3 组合逻辑电路设计

设计流程



分析流程





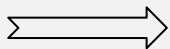
4.3 组合逻辑电路设计

例1 设计一个三变量“多数表决电路”

1)建立给定问题的逻辑描述



| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |



$$F(A,B,C) = \sum m (3,5,6,7)$$

2) 求出逻辑函数的最简表达式

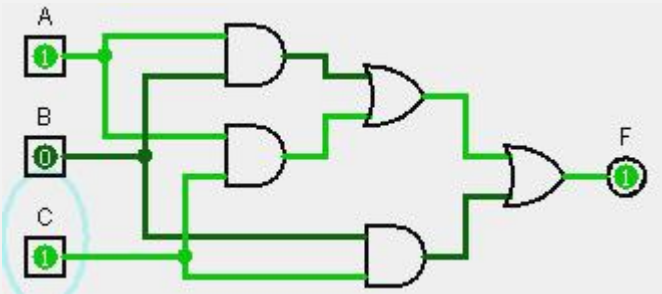
$$F(A,B,C) = \sum m (3,5,6,7)$$

| C \ AB | AB | | | |
|--------|----|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |

⇒ $F(A, B, C) = AB + AC + BC$

3) 选择逻辑门类型实现电路

- 与门+或门
- 与非门





4.3 组合逻辑电路设计

例1 设计一个三变量“多数表决电路”

能直接用代数法吗？

例2 设计一个比较两个三位二进制数是否相等的数值比较器。

(两个3位二进制数分别为 $A = a_3a_2a_1$, $B = b_3b_2b_1$)

1) 建立给定问题的逻辑描述

尝试用真值表法描述该逻辑问题

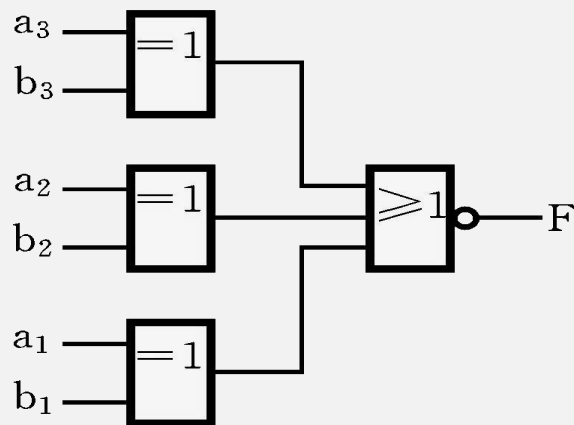
$$F = (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1)$$

2) 求出逻辑函数最简表达式

$$F = (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1)$$

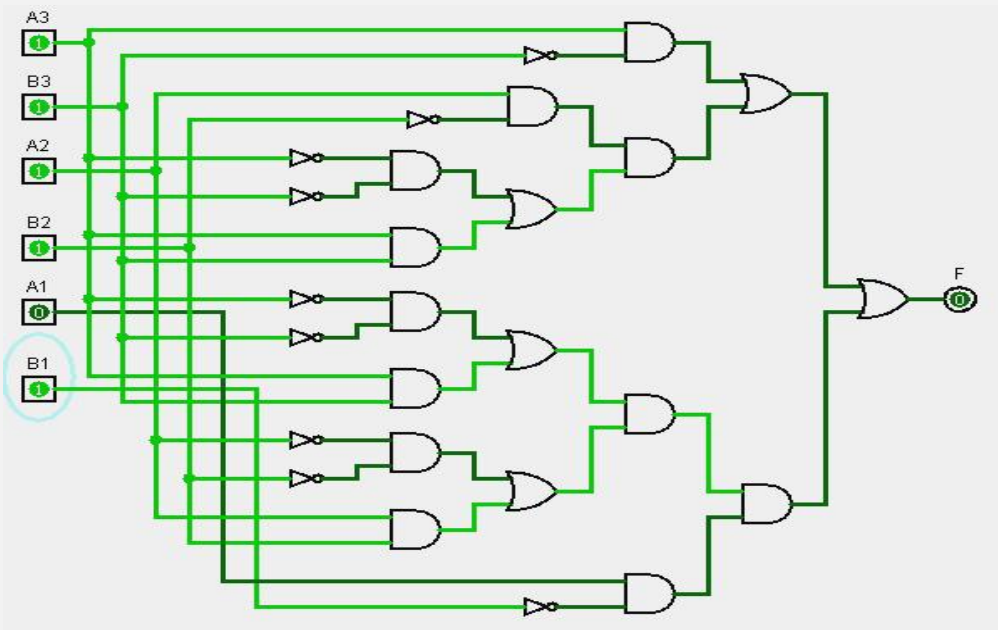
3) 选择逻辑门类型并进行逻辑函数变换(分析采用何种门最简单)

$$\begin{aligned} F &= (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1) \\ &= \overline{a_3 \oplus b_3} \cdot \overline{a_2 \oplus b_2} \cdot \overline{a_1 \oplus b_1} \\ &= \overline{(a_3 \oplus b_3) + (a_2 \oplus b_2) + (a_1 \oplus b_1)} \end{aligned}$$



在理解的基础上写出 $F_{A>B}$ 的表达式

$$F=A_3\overline{B_3} + (\overline{A_3}\overline{B_3} + A_3B_3)A_2\overline{B_2} + (\overline{A_3}\overline{B_3}+A_3B_3)(\overline{A_2}\overline{B_2}+A_2B_2)A_1\overline{B_1}$$



如何实现 $F_{A<B}$ 的功能?

例3 设计组合逻辑电路实现下列真值表的功能(包含无关项)

| ABCD | F | ABCD | F |
|---------|---|---------|---|
| 0 0 0 0 | d | 1 0 0 0 | 0 |
| 0 0 0 1 | d | 1 0 0 1 | 1 |
| 0 0 1 0 | d | 1 0 1 0 | 0 |
| 0 0 1 1 | 0 | 1 0 1 1 | 1 |
| 0 1 0 0 | 0 | 1 1 0 0 | 1 |
| 0 1 0 1 | 0 | 1 1 0 1 | d |
| 0 1 1 0 | 0 | 1 1 1 0 | d |
| 0 1 1 1 | 1 | 1 1 1 1 | d |

$$F(A,B,C,D) = \sum m(7,9,11,12) + \sum d(0,1,2,13,14,15)$$



4.3 组合逻辑电路设计

$$F(A,B,C,D) = \sum m(7,9,11,12) + \sum d(0,1,2,13,14,15)$$

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | d | 0 | 1 | 0 |
| 01 | d | 0 | d | 1 |
| 11 | 0 | 1 | d | 1 |
| 10 | d | 0 | d | 0 |

$$F(A, B, C, D) = \overline{A}BD + AB\overline{C}\overline{D} + \overline{A}BCD$$

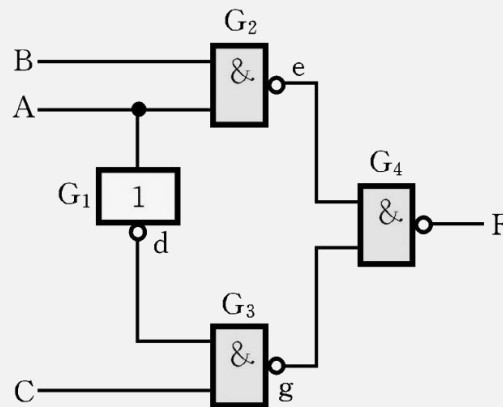
| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | d | 0 | 1 | 0 |
| 01 | d | 0 | d | 1 |
| 11 | 0 | 1 | d | 1 |
| 10 | d | 0 | d | 0 |

$$F(A, B, C, D) = AB + AD + BCD$$

使用无关项会带来问题吗？如何处理？

4.4 组合逻辑电路的竞争与险象

1. 竞争



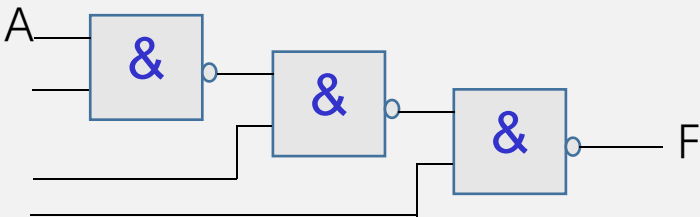
- 1) 信号经过任何部件都会产生时延，导致输入稳定时输出并不立即达到稳定
- 2) 时延长短与信号经过门的级数、逻辑门的时延及导线长短等因素有关；
- 3) 时延的危害：速度下降，信号波形参数变坏，产生竞争险象等；
- 4) 竞争：组合电路中，信号经不同途径达到某一会合点时存在时差的现象。

4.4 组合逻辑电路的竞争与险象

常见的逻辑门时延

| PARAMETER | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|-----------|--------------|-------------|---|-----|-----|-----|------|
| t_{PLH} | A or B | Y | $R_L = 2\text{ k}\Omega$ and $C_L = 15\text{ pF}$ | | 9 | 15 | ns |
| t_{PHL} | | | | | 10 | 15 | |

2输入与非
74LS00



f_A 的范围?

4.4 组合逻辑电路的竞争与险象

4) 竞争的类型

- 非临界竞争: 不产生输出错误的竞争
- 临界竞争: 导致输出错误的竞争

4.4 组合逻辑电路的竞争与险象

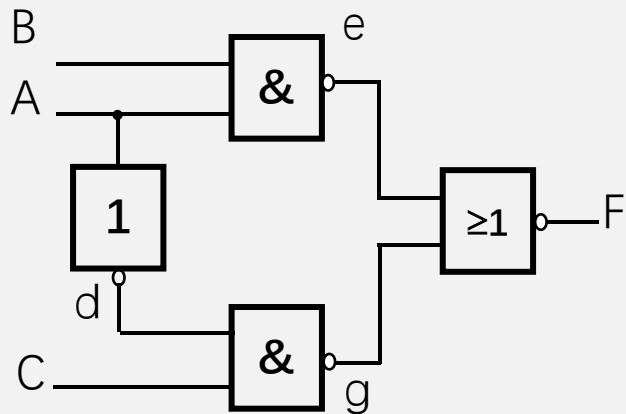
2. 险象

1)险象的概念: 由竞争导致的错误输出信号

2)险象的特征

组合电路中的险象是一种瞬态现象，它表现为在输出端产生不应有的尖脉冲，暂时地破坏正常逻辑关系。一旦瞬态过程结束，即可恢复正常逻辑关系。

2. 险象

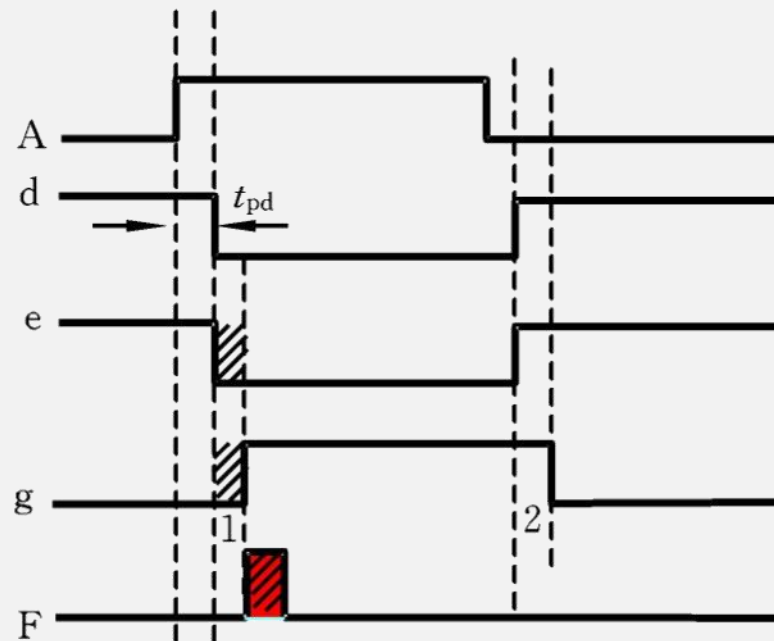


$$F = \overline{\overline{A}B} + \overline{\overline{A}C}$$

$$= A\overline{A}BC$$

$$= A\overline{A} \quad (B=C=1)$$

$$= 0$$

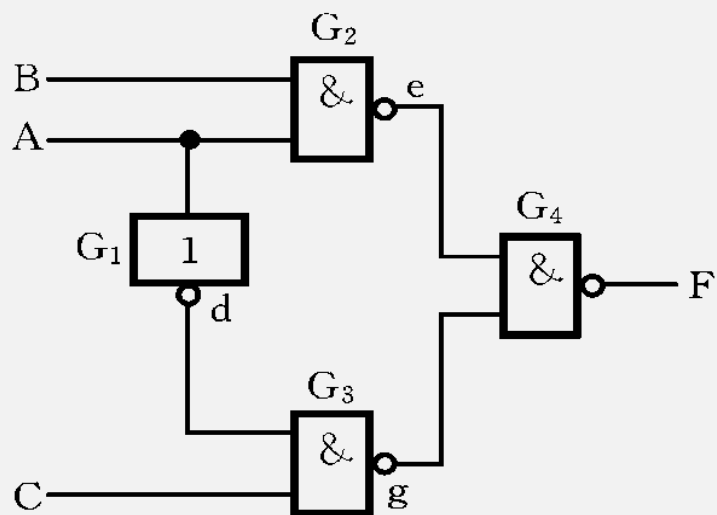


A从0到1: 发生了“1”型险象

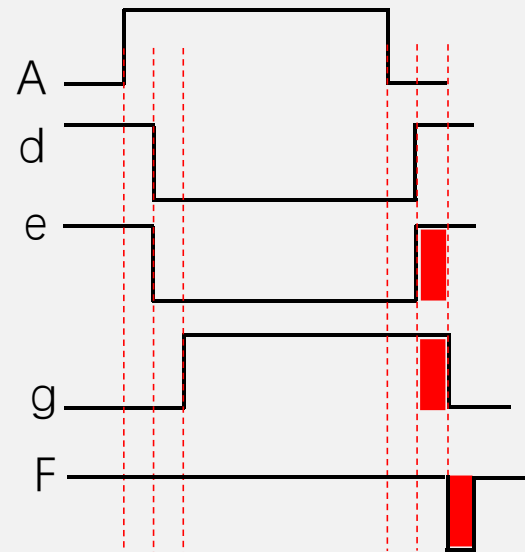
A从1到0: 不发生险象

4.4 组合逻辑电路的竞争与险象

2. 险象



$$F = \overline{\overline{AB}} \cdot \overline{\overline{AC}} = AB + \overline{AC}$$
$$= A + \overline{A} \quad (B=C=1) = 1$$



A从0到1: 不发生险象
从1到0: “0”型险象

4.4 组合逻辑电路的竞争与险象

3) 0”型与“1”型险象



\Rightarrow

$F = A + \bar{A}$

$F = A \bar{A}$

险像演示

4.4 组合逻辑电路的竞争与险象

3. 险象的判断

$$F = A + \bar{A} \quad F = A \bar{A}$$

- 1) 当变量X同时以原变量和反变量的形式出现在函数表达式中;
- 2) 在一定条件下该函数表达式可简化成 $X + \bar{X}$ 或 $X \cdot \bar{X}$ 。

- 代数方法
- 卡诺图方法

4.4 组合逻辑电路的竞争与险象

例1 已知描述某组合电路的逻辑函数表达式为

$$F = \overline{A}\overline{C} + \overline{A}B + AC$$

判断该逻辑电路是否可能产生险象。

解 由表达式知，变量A和C均具备竞争条件，对他们分别进行分析。

变量A：

$$\begin{array}{ll} BC=00 & F = \overline{A} \\ BC=01 & F = A \\ BC=10 & F = \overline{A} \\ BC=11 & F = A + \overline{A} \end{array}$$

即：当B=C=1时，A的变化可能使电路产生0型险象。

类似地分析变量C的竞争是否可能产生险象。

4.4 组合逻辑电路的竞争与险象

例2 判断函数 $F = (A + B) \cdot (\bar{A} + C) \cdot (\bar{B} + C)$ 逻辑电路中是否可能产生险象。

解 函数表达式可知，变量A和B均具备竞争条件。

考察变量B：

| | |
|-------|----------------|
| AC=00 | $F = B\bar{B}$ |
| AC=01 | $F = B$ |
| AC=10 | $F = 0$ |
| AC=11 | $F = 1$ |

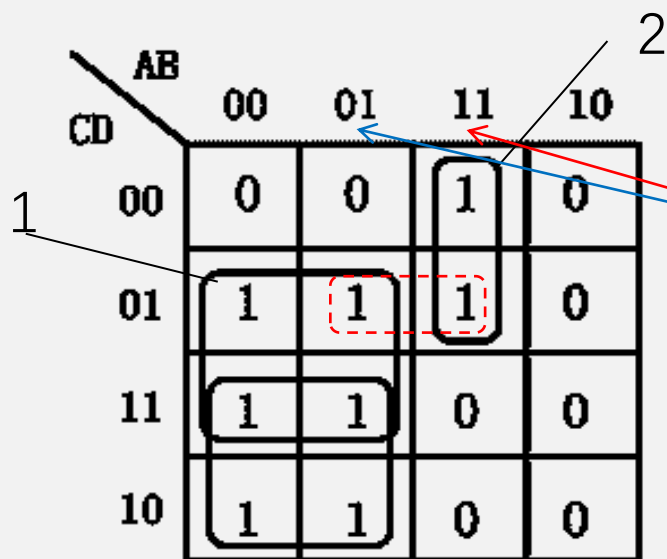
可见，当A=C=0时，B的变化可能使电路输出产生1型险象

类似地分析变量A的竞争是否可能产生险象。

4.4 组合逻辑电路的竞争与险象

例3 判断函数表达式 $F = \bar{A}D + \bar{A}C + ABC\bar{C}$ 对应的电路是否可能产生险象。

解 作出函数的卡诺图



由图可知，卡诺圈 1 和卡诺圈 2 之间存在相邻最小项 m_5 和 m_{13} ，且 m_5 和 m_{13} 不被同一卡诺圈所包含，两个卡诺圈“相切”。

即 $B=D=1, C=0, F=A+\bar{A}$

4.4 组合逻辑电路的竞争与险象

5. 险象的消除

1) 增加冗余项

$$F = A + \bar{A} \longrightarrow \text{或冗余“与项”}$$

$$F = A \cdot \bar{A} \longrightarrow \text{与冗余“或项”}$$

冗余项的选择可以采用代数法或卡诺图法确定。

4.4 组合逻辑电路的竞争与险象

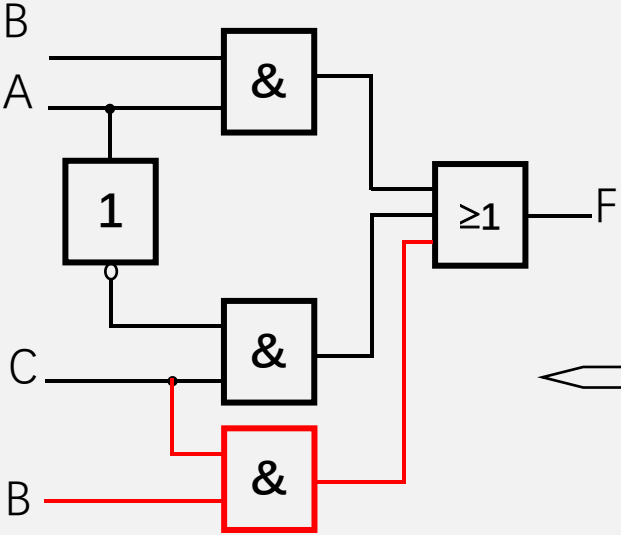
例1 用增加冗余项的方法消除右图所示电路中可能产生的险象。

解： $F = AB + \bar{A}C$

当B=C=1时，A的变化可能使输出产生“0”型险象。

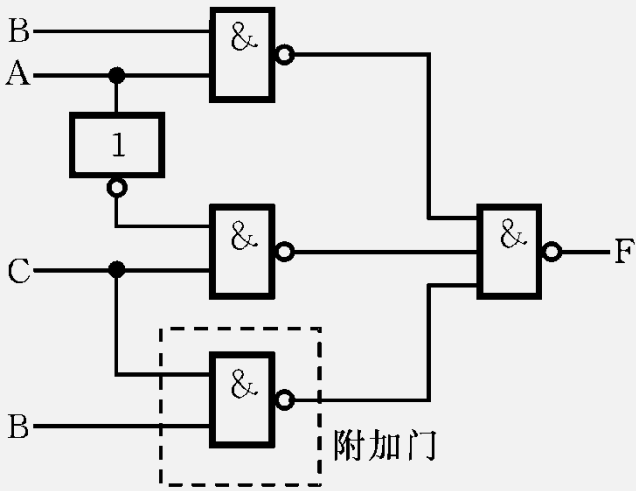
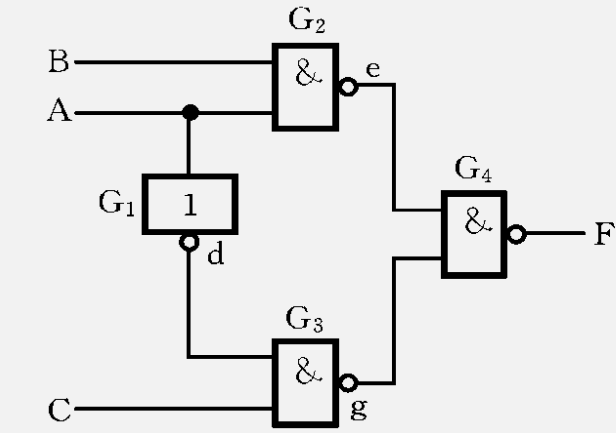
若在函数表达式中增加冗余项BC：

$F = AB + \bar{A}C + BC$



基于简化后的表达式

可消除“0”型险象。



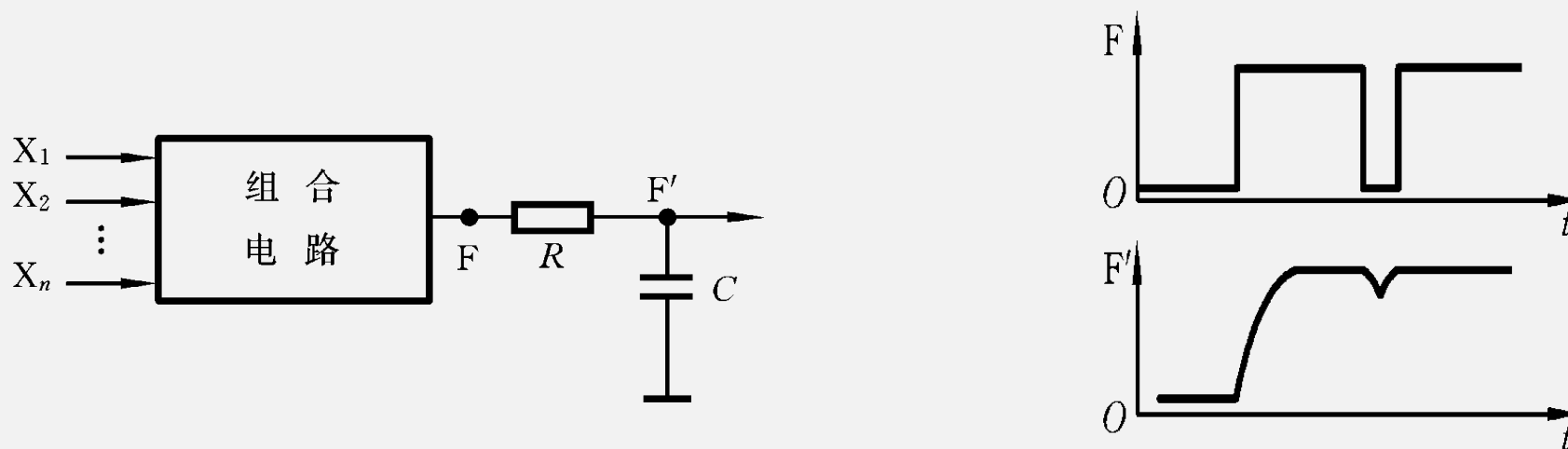
4.4 组合逻辑电路的竞争与险象

通过卡诺图法为该逻辑函数增加冗余项，消除险象(现场练习)

$$F = \overline{A}C + \overline{B}CD + A\overline{B}\overline{C}$$

4.4 组合逻辑电路的竞争与险象

2) 增加惯性延时环节

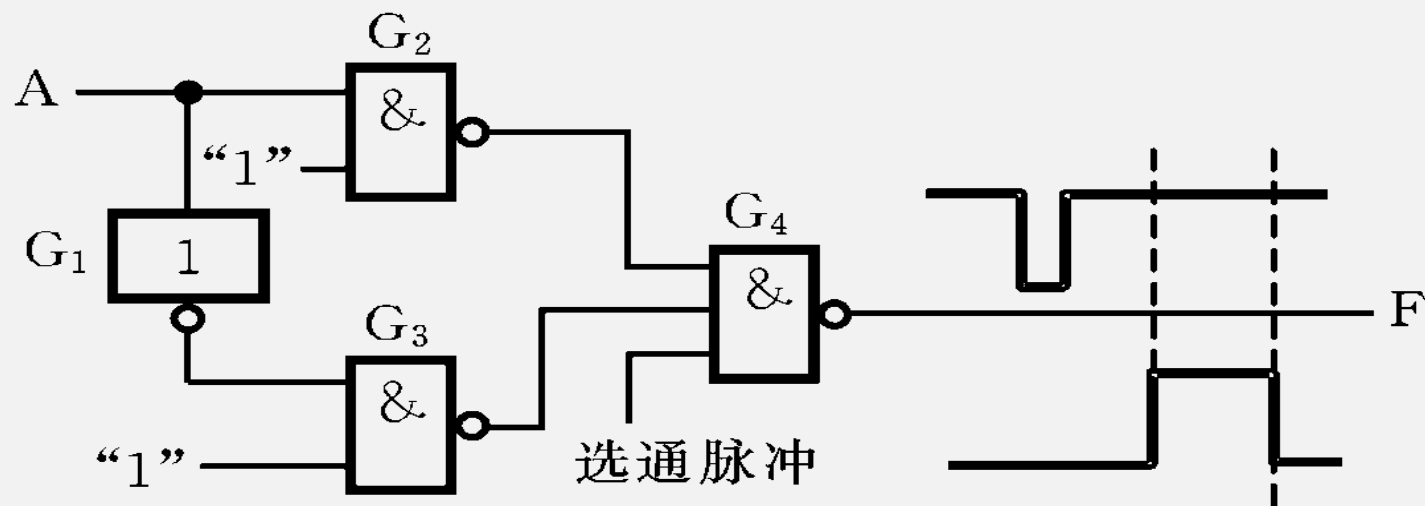


图中RC电路是**低通滤波器**。由于竞争引起的险象是一些频率很高的尖脉冲信号，因此，险象在通过RC电路后能基本被滤掉。

4.4 组合逻辑电路的竞争与险象

3)选通法

利用选通脉冲从时间上使输出避开险象脉冲。



选通脉冲对电路的输出门加以控制，使输出避开险象脉冲，送出稳定输出信号。



第一部分完