

# 第九章 中央处理器

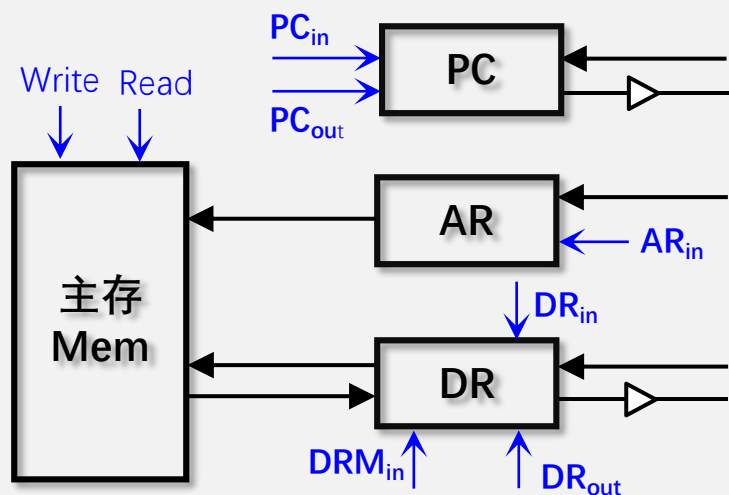
## 9.4 指令周期流程图

## 9.4 指令周期流程图

数据通路: 指令周期中信息在功能部件间传送的路径 (与功能和寻址方式有关)

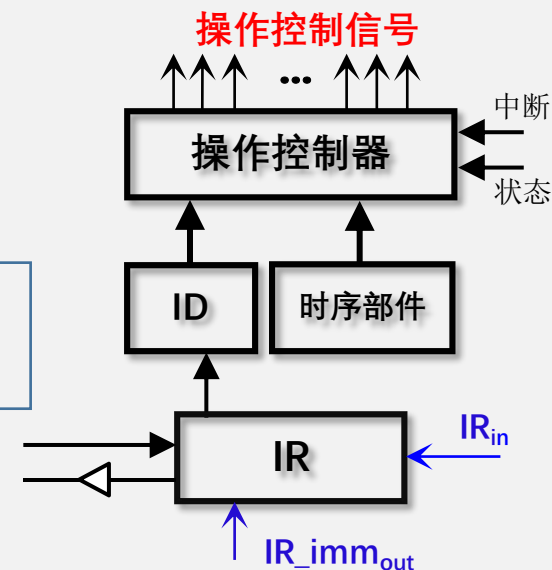


## 9.4 指令周期流程图

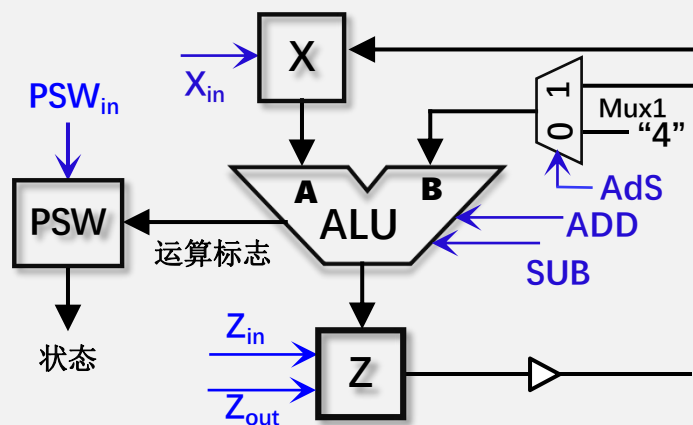


操作控制: Write、Read  
输入控制:  $PC_{in}$ 、 $AR_{in}$ 、 $DRM_{in}$ 、 $DR_{in}$   
输出控制:  $PC_{out}$ 、 $DR_{out}$

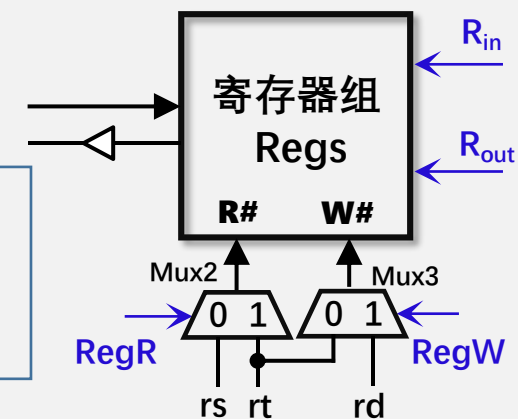
输入控制:  $IR_{in}$   
输出控制:  $IR_{imm_{out}}$



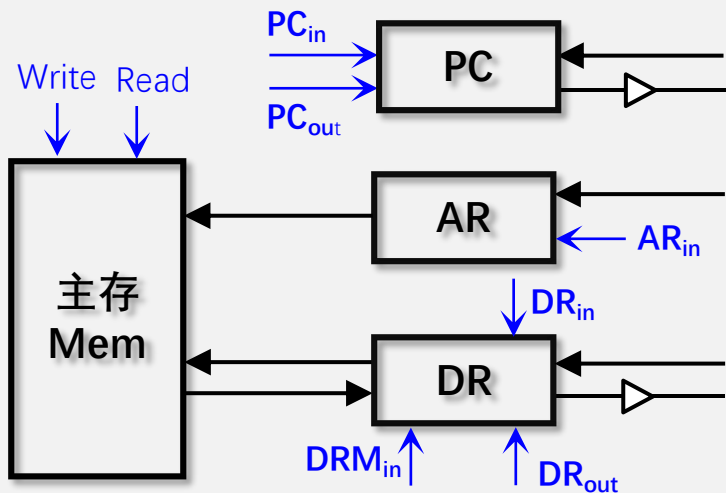
操作控制: ADD、SUB  
输入控制:  $X_{in}$ 、 $Z_{in}$ 、 $PSW_{in}$   
输出控制:  $Z_{out}$   
选择控制: Ads



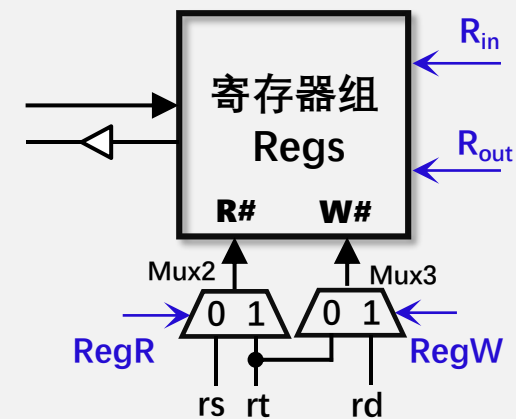
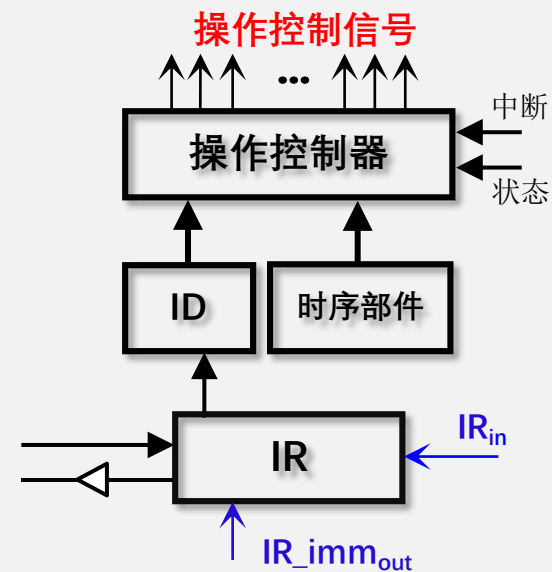
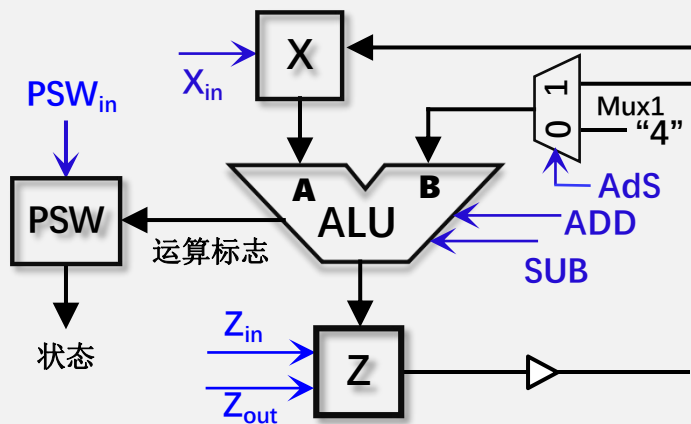
输入控制:  $R_{in}$   
输出控制:  $R_{out}$   
选择控制:  $RegR$ 、 $RegW$



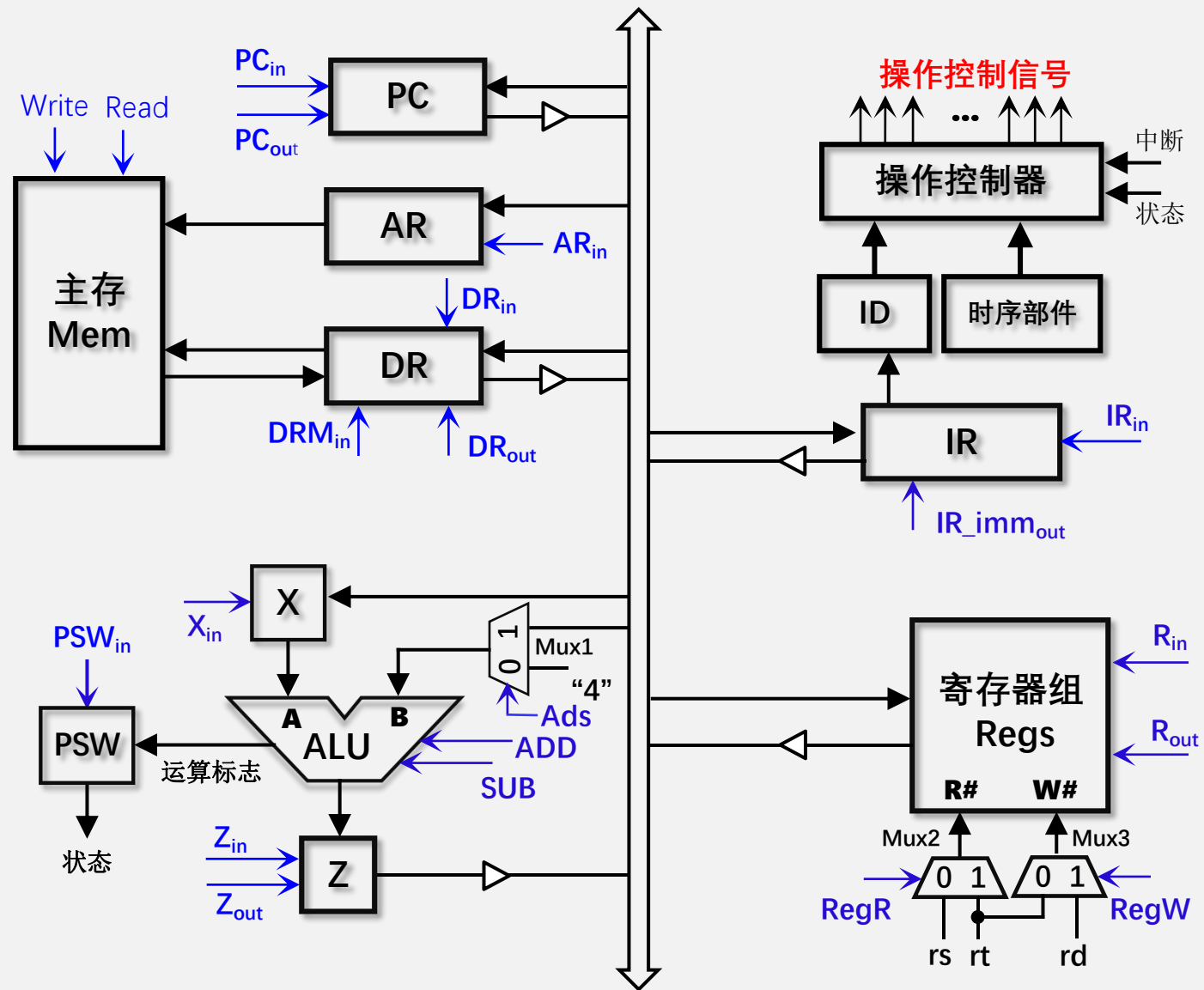
## 9.4 指令周期流程图



- 1) 所有向公共总线的输出端具有三态功能，图中白色小三角；
- 2) 数据通路的构建是一个动态过程，与需要支持的指令有关

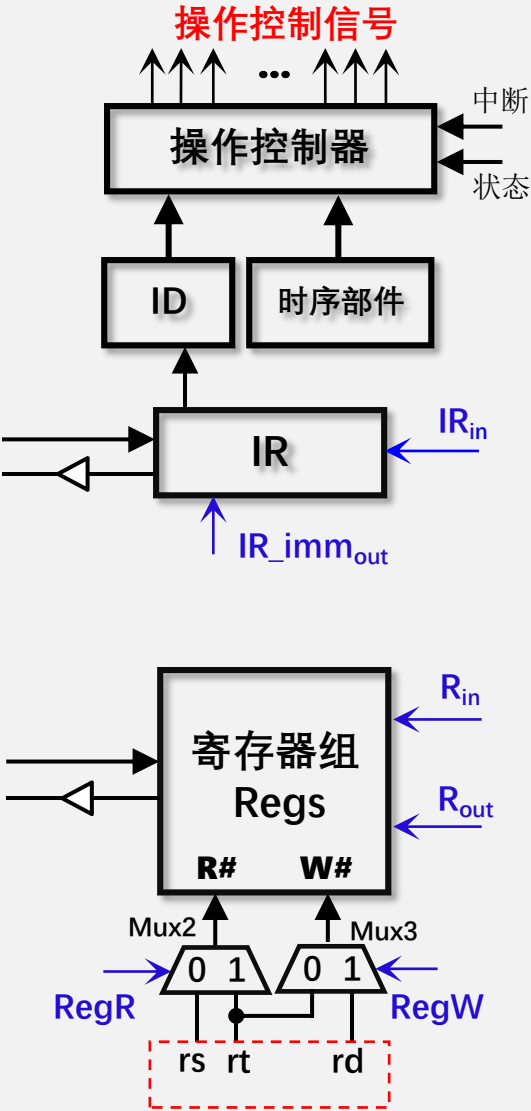
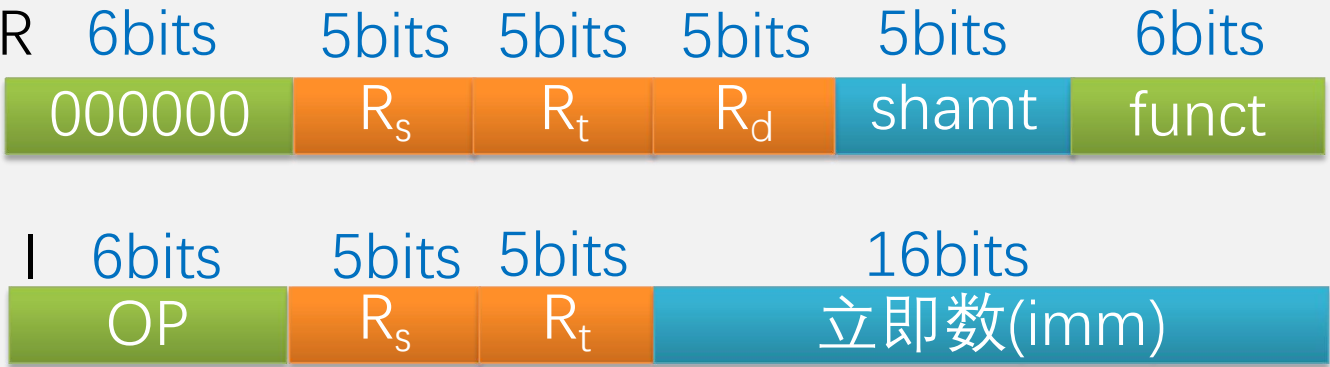


## 9.4 指令周期流程图



# 9.4 指令周期流程图

指令	指令功能
Add rd,rs,rt	$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$
Addi rt,rs,imm	$(R_{[rs]}) + S\_Ext_{32}(imm) \rightarrow R_{[rt]}$
lw rt, imm(rs)	$(M[(R_{[rs]})+S\_Ext_{32}(imm)]) \rightarrow R_{[rt]}$
Sw rt, imm(rs)	$(R_{[rt]}) \rightarrow M[((R_{[rs]})+S\_Ext_{32}(imm))]$
Beq rs,rt,imm	当 $(R_{[rs]}) = (R_{[rt]})$ $PC \leftarrow PC + 4 + sign\_extend(offset \parallel 0^2)$



## 9.4 指令周期流程图

### 1. 取指阶段的数据通路

#### 1) 取指令阶段的任务

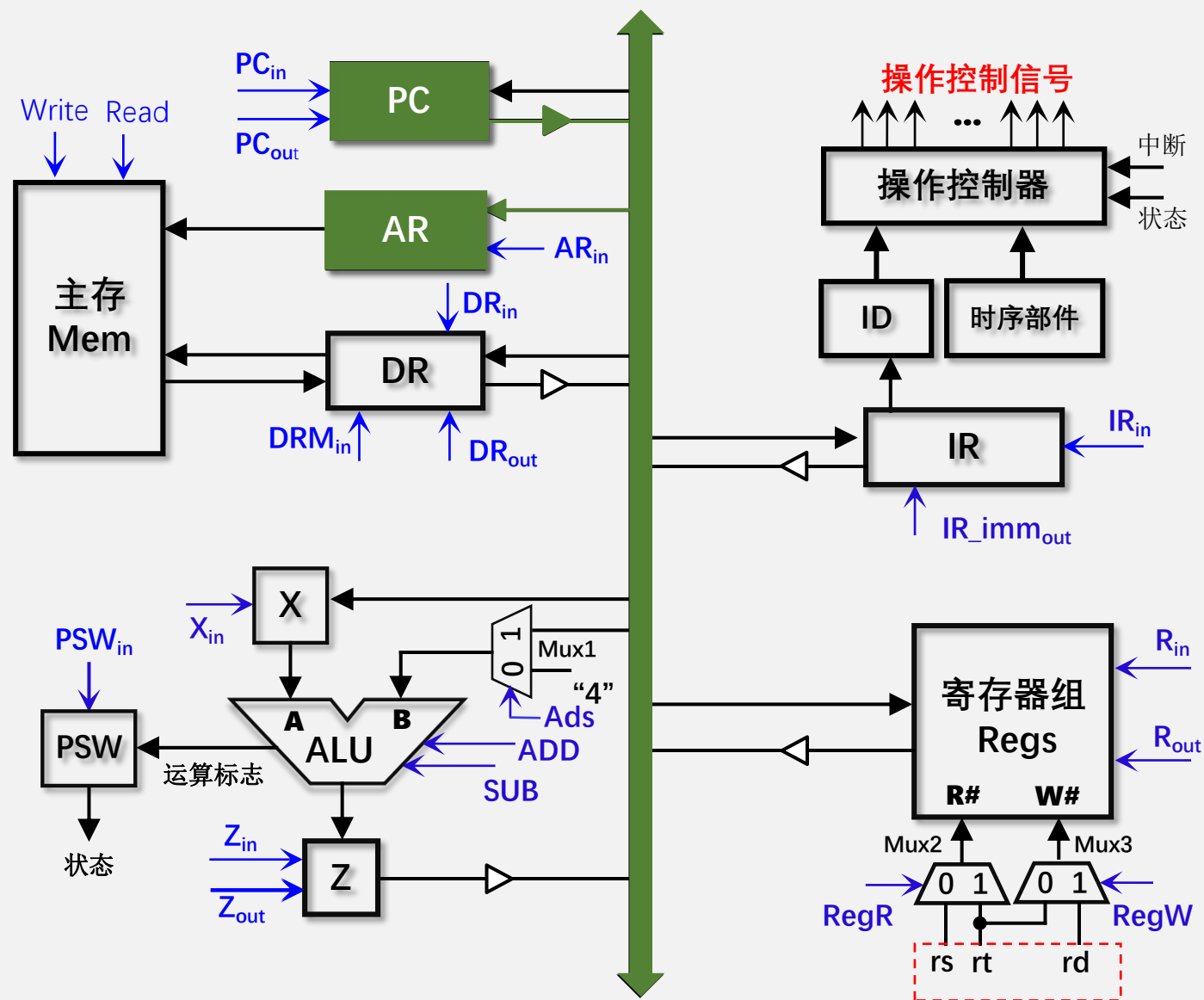
$(\text{Mem}_{[\text{PC}]}) \rightarrow \text{IR}$

$(\text{PC}) + 4 \rightarrow \text{PC}$

#### 2) 数据通路1

$\text{PC} \rightarrow \text{AR} \rightarrow \text{MEM} \rightarrow \text{DR} \rightarrow \text{IR}$

$T_1$	$\text{PC}_{\text{out}} \setminus \text{AR}_{\text{in}}$
-------	--



## 9.4 指令周期流程图

### 1. 取指阶段的数据通路

#### 1) 取指令阶段的任务

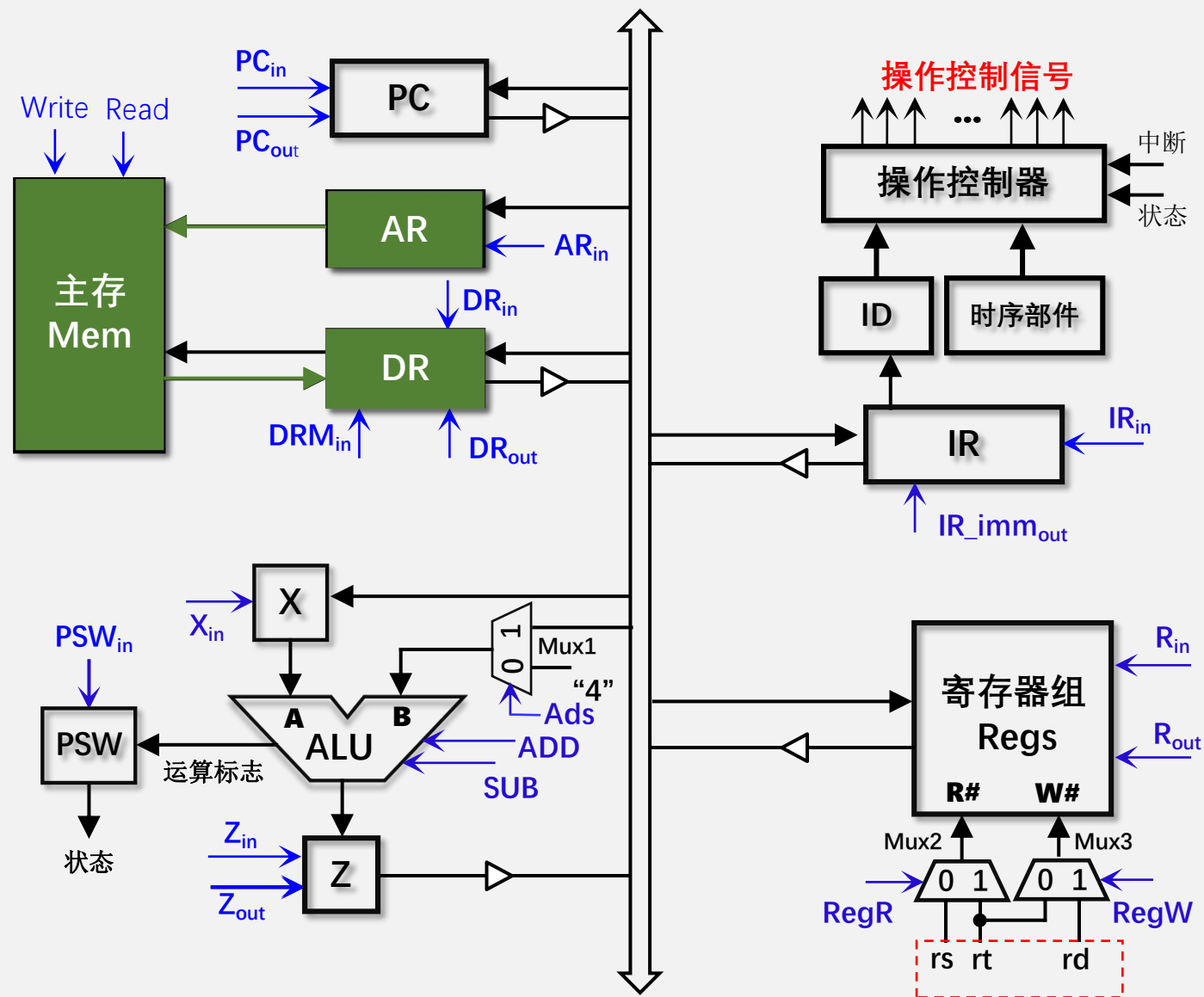
$(\text{Mem}_{[\text{PC}]}) \rightarrow \text{IR}$

$(\text{PC}) + 4 \rightarrow \text{PC}$

#### 2) 数据通路1

$\text{PC} \rightarrow \text{AR} \rightarrow \text{MEM} \rightarrow \text{DR} \rightarrow \text{IR}$

$T_1$	$\text{PC}_{\text{out}} \setminus \text{AR}_{\text{in}}$
$T_2$	$\text{Read} \setminus \text{DRM}_{\text{in}}$





## U

## U

## 9.4 指令周期流程图

### 1.取指阶段的数据通路

#### 1)取指令阶段的任务

$(\text{Mem}_{[\text{PC}]}) \rightarrow \text{IR}$

$(\text{PC}) + 4 \rightarrow \text{PC}$

#### 2)数据通路1

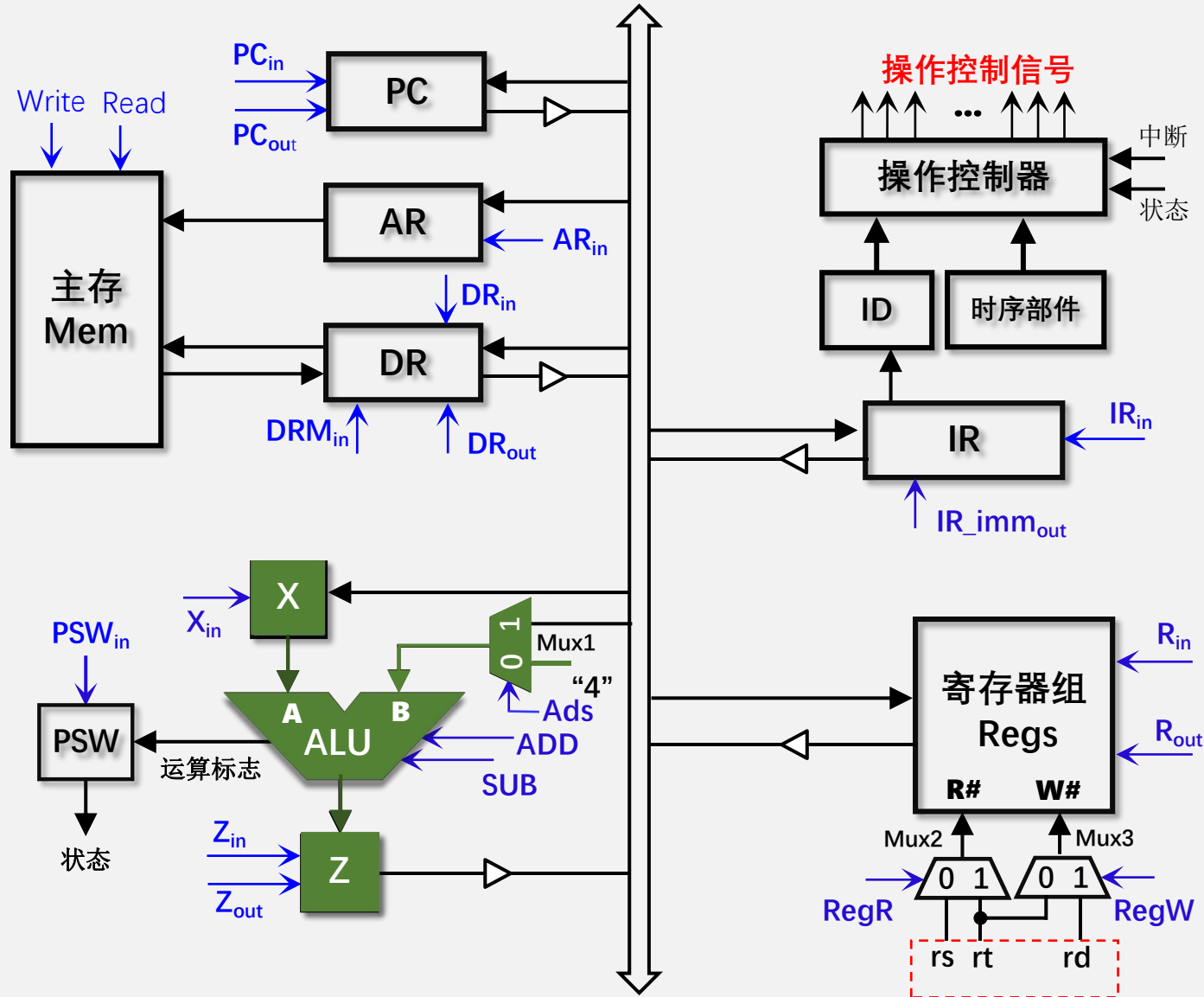
$\text{PC} \rightarrow \text{AR} \rightarrow \text{MEM} \rightarrow \text{DR} \rightarrow \text{IR}$

$T_1$	$\text{PC}_{\text{out}}、\text{AR}_{\text{in}}$
$T_2$	$\text{Read}、\text{DRM}_{\text{in}}$
$T_3$	$\text{DR}_{\text{out}}、\text{IR}_{\text{in}}$

#### 3)数据通路2

$\text{PC} \rightarrow \text{X/Mux1} \rightarrow \text{ALU} \rightarrow \text{Z} \rightarrow \text{PC}$

$T_1$	$\text{PC}_{\text{out}}、\text{X}_{\text{in}}$
$T_2$	$\text{Ads}=0、\text{ADD}、\text{Z}_{\text{in}}$



## 9.4 指令周期流程图

### 1.取指阶段的数据通路

#### 1)取指令阶段的任务

$(\text{Mem}_{[\text{PC}]}) \rightarrow \text{IR}$

$(\text{PC}) + 4 \rightarrow \text{PC}$

#### 2)数据通路1

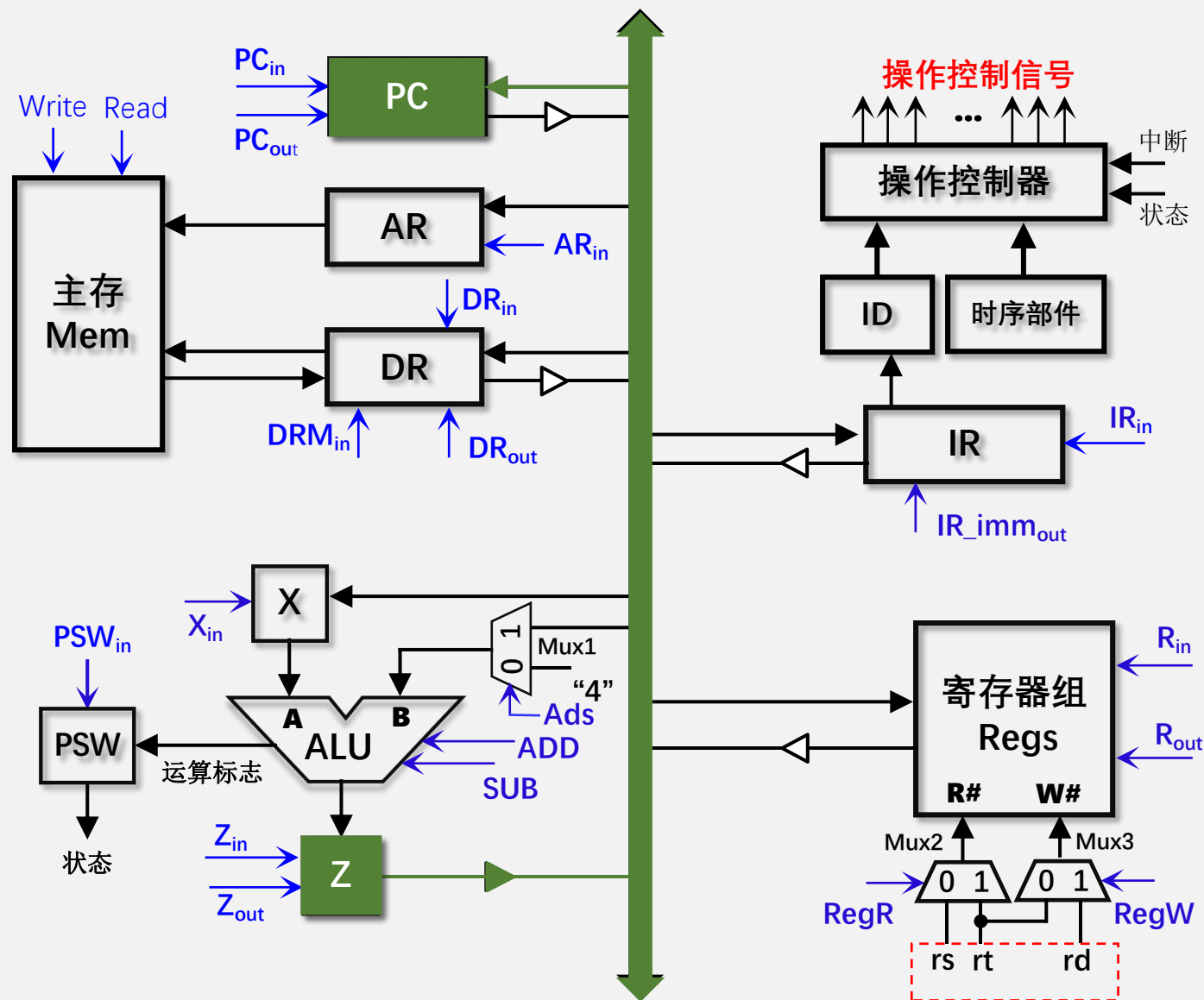
$\text{PC} \rightarrow \text{AR} \rightarrow \text{MEM} \rightarrow \text{DR} \rightarrow \text{IR}$

$T_1$	$\text{PC}_{\text{out}}、\text{AR}_{\text{in}}$
$T_2$	$\text{Read}、\text{DRM}_{\text{in}}$
$T_3$	$\text{DR}_{\text{out}}、\text{IR}_{\text{in}}$

#### 3)数据通路2

$\text{PC} \rightarrow \text{X/Mux1} \rightarrow \text{ALU} \rightarrow \text{Z} \rightarrow \text{PC}$

$T_1$	$\text{PC}_{\text{out}}、\text{X}_{\text{in}}$
$T_2$	$\text{Ads}=0、\text{ADD}、\text{Z}_{\text{in}}$
$T_3$	$\text{Z}_{\text{out}}、\text{PC}_{\text{in}}$



## 9.4 指令周期流程图

### 1.取指阶段的数据通路

#### 1)取指令阶段的任务

$(\text{Mem}_{[\text{PC}]}) \rightarrow \text{IR}$

$(\text{PC}) + 4 \rightarrow \text{PC}$

#### 2)数据通路1

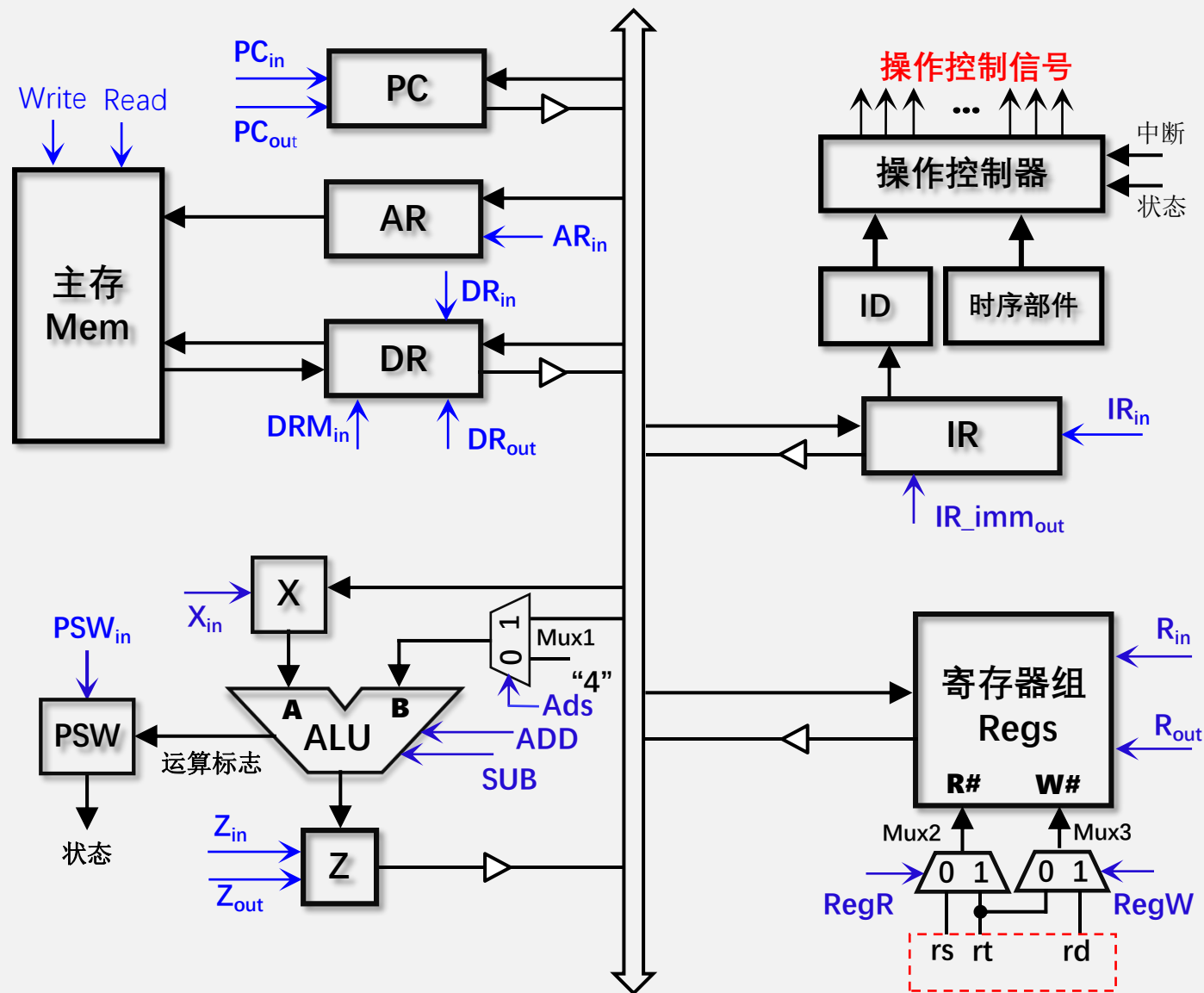
$\text{PC} \rightarrow \text{AR} \rightarrow \text{MEM} \rightarrow \text{DR} \rightarrow \text{IR}$

$T_1$	$\text{PC}_{\text{out}}、\text{AR}_{\text{in}}$
$T_2$	$\text{Read}、\text{DRM}_{\text{in}}$
$T_3$	$\text{DR}_{\text{out}}、\text{IR}_{\text{in}}$

#### 3)数据通路2

$\text{PC} \rightarrow \text{X/Mux1} \rightarrow \text{ALU} \rightarrow \text{Z} \rightarrow \text{PC}$

$T_1$	$\text{PC}_{\text{out}}、\text{X}_{\text{in}}$
$T_2$	$\text{Ads}=0、\text{ADD}、\text{Z}_{\text{in}}$
$T_3$	$\text{Z}_{\text{out}}、\text{PC}_{\text{in}}$





# 9.4 指令周期流程图

## 1.取指阶段的数据通路

### 1)取指令阶段的任务

$(Mem_{[PC]}) \rightarrow IR$

$(PC) + 4 \rightarrow PC$

### 2)数据通路1

$PC \rightarrow AR \rightarrow MEM \rightarrow DR \rightarrow IR$

T <sub>1</sub>	PC <sub>out</sub> 、 AR <sub>in</sub>
T <sub>2</sub>	Read、 DRM <sub>in</sub>
T <sub>3</sub>	DR <sub>out</sub> 、 IR <sub>in</sub>

### 3)数据通路2

$PC \rightarrow X/Mux1 \rightarrow ALU \rightarrow Z \rightarrow PC$

T <sub>1</sub>	PC <sub>out</sub> 、 X <sub>in</sub>
T <sub>2</sub>	Ads=0、 ADD、 Zin
T <sub>3</sub>	Z <sub>out</sub> 、 PC <sub>in</sub>

T <sub>1</sub>	PC <sub>out</sub> 、 AR <sub>in</sub> 、 X <sub>in</sub>
T <sub>2</sub>	Read、 DRM <sub>in</sub> 、 Ads=0、 ADD、 Z <sub>in</sub>
T <sub>3</sub>	Z <sub>out</sub> 、 PC <sub>in</sub>
T <sub>4</sub>	DR <sub>out</sub> 、 IR <sub>in</sub>

# 9.4 指令周期流程图

## 2. ADD指令执行数据通路

### 1) Add rd,rs,rt 的功能

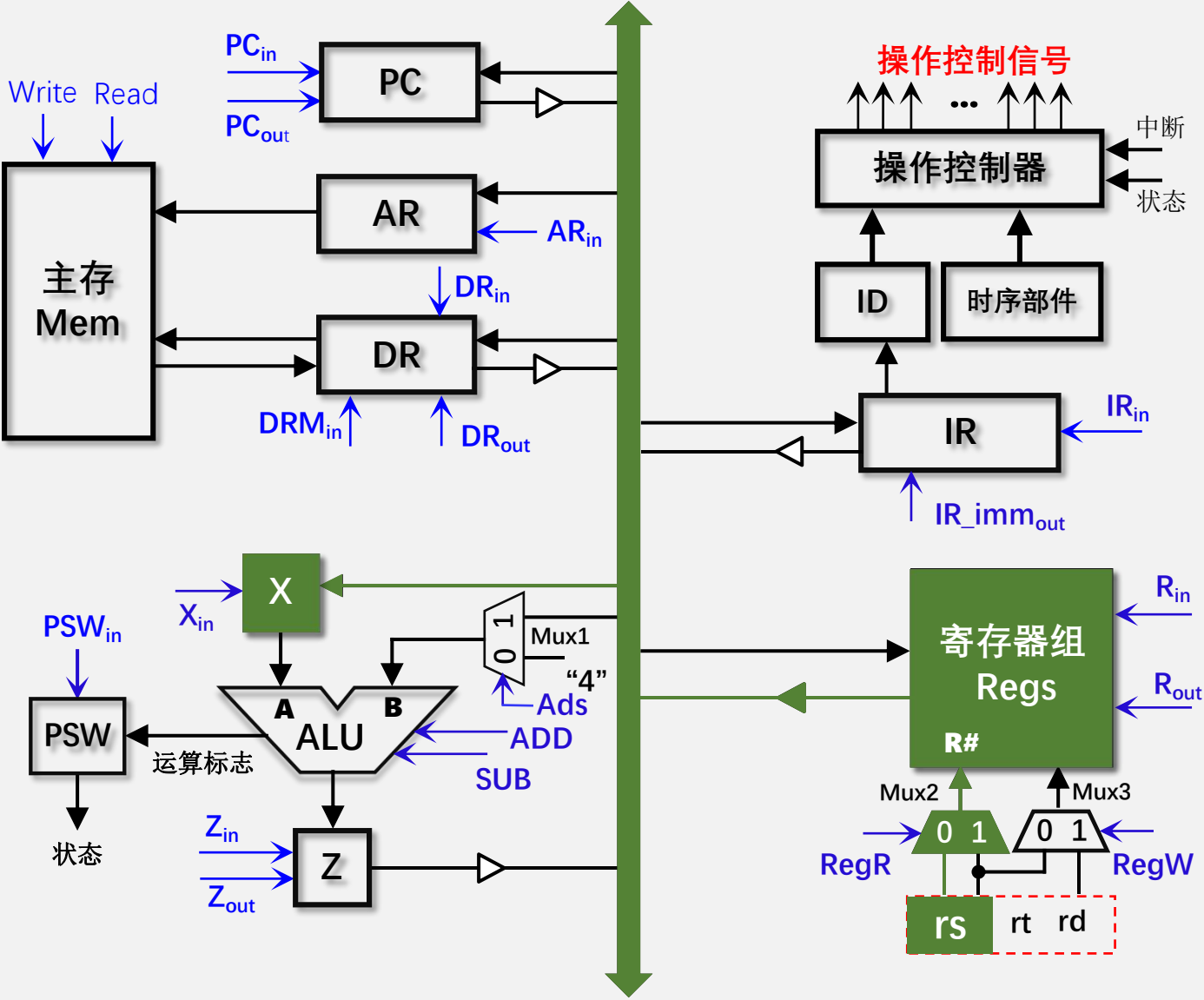
$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$

### 2)执行阶段的数据通路

#### (1)数据通路1

$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$

$T_1$	$RegR=0、R_{out}、X_{in}$
-------	-------------------------



# 9.4 指令周期流程图

## 2. ADD指令执行数据通路

### 1) Add rd,rs,rt 的功能

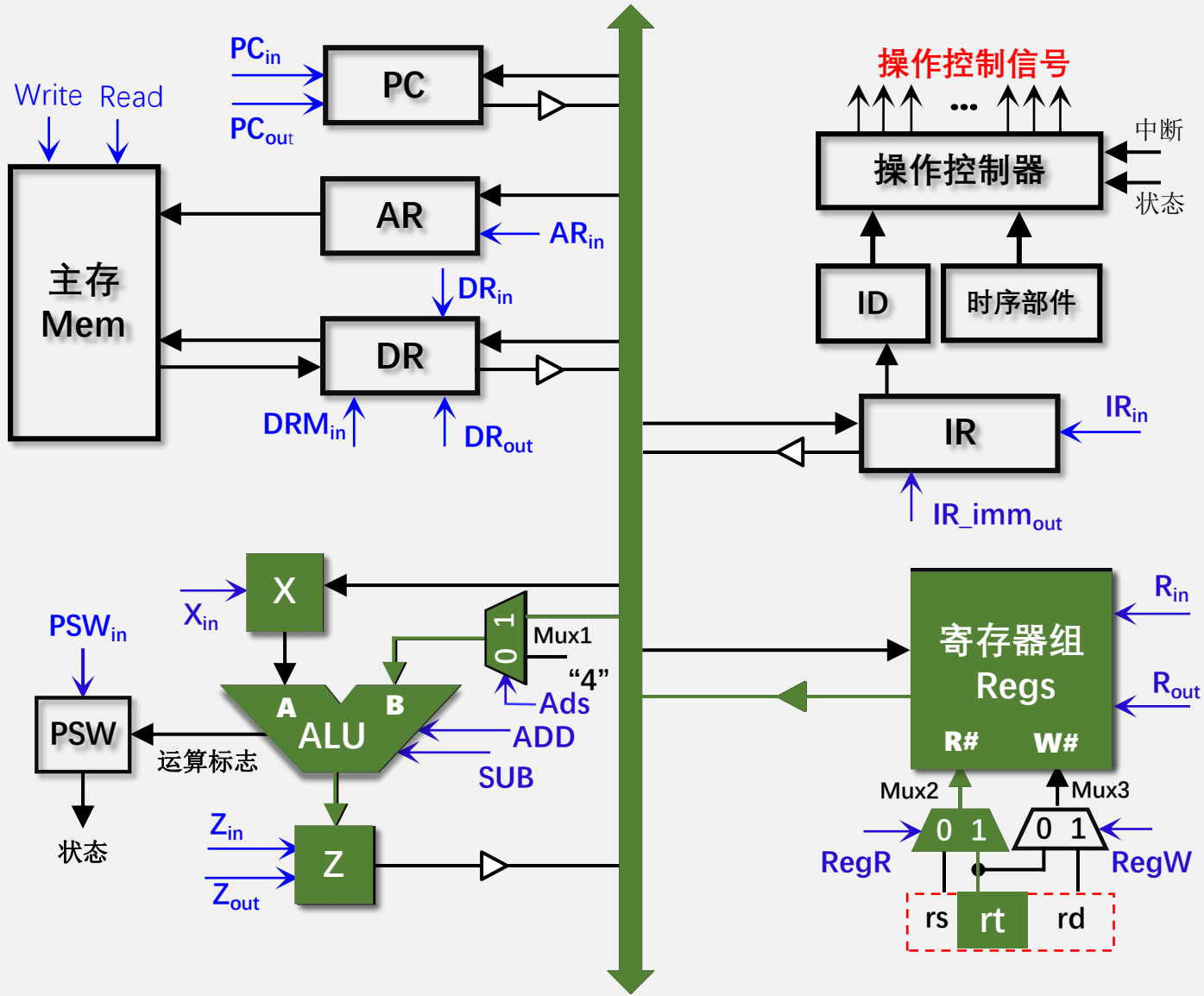
$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$

### 2)执行阶段的数据通路

#### (2)数据通路2

$rt \rightarrow M_{ux2} \rightarrow Regs \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z$

$T_1$	RegR、R <sub>out</sub> 、Ads、ADD、Z <sub>in</sub>
-------	--





## 9.4 指令周期流程图

### 2. ADD指令执行数据通路

#### 1) Add rd,rs,rt 的功能

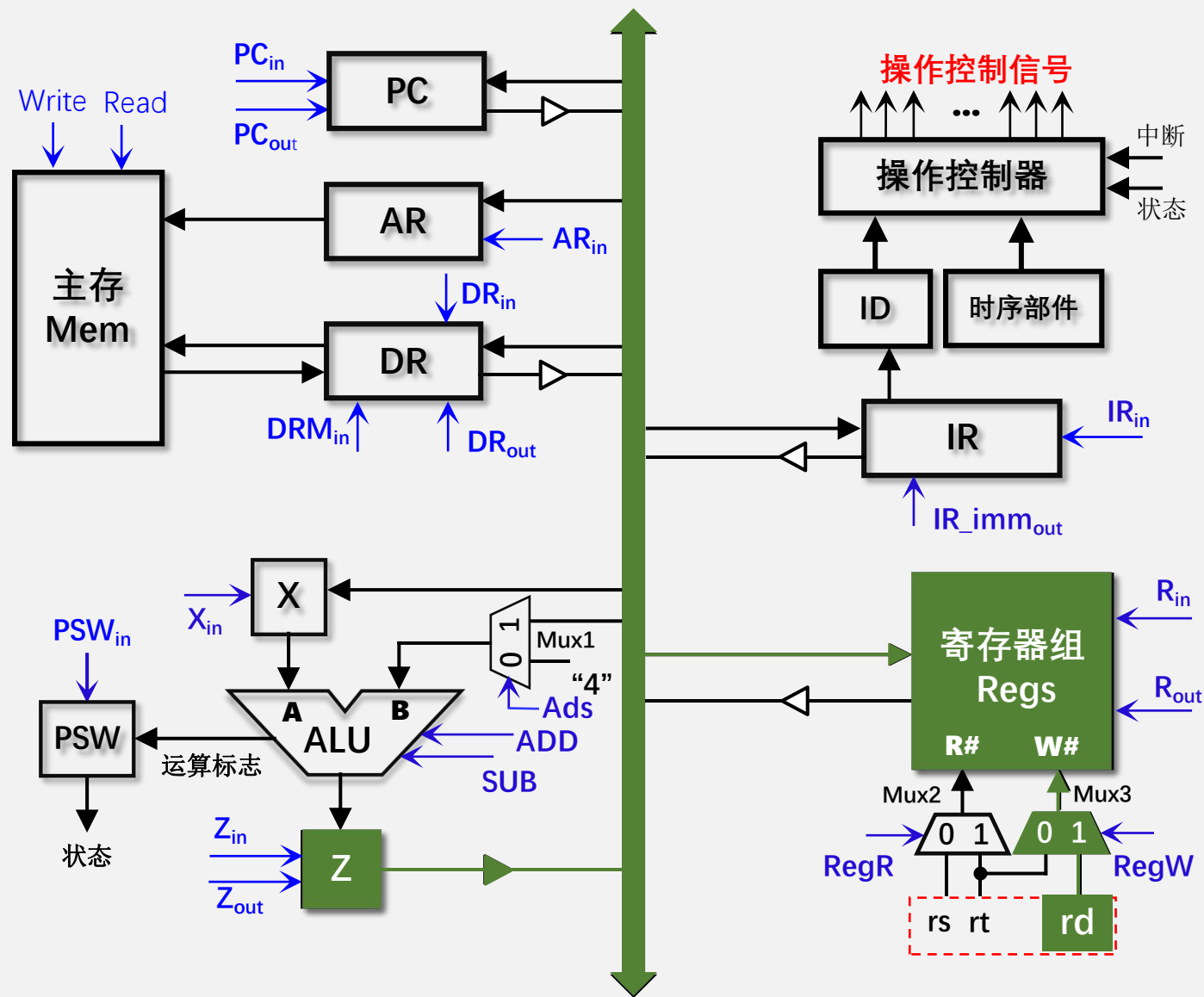
$$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$$

#### 2) 执行阶段的数据通路

#### (3) 数据通路3

$Z \rightarrow \text{Regs} ; rd \rightarrow M_{ux3} \rightarrow \text{Regs}$

$T_1$	$Z_{out}$ 、 $\text{RegW}$ 、 $R_{in}$
-------	--------------------------------------



## U

## U

## 2. ADD指令执行数据通路

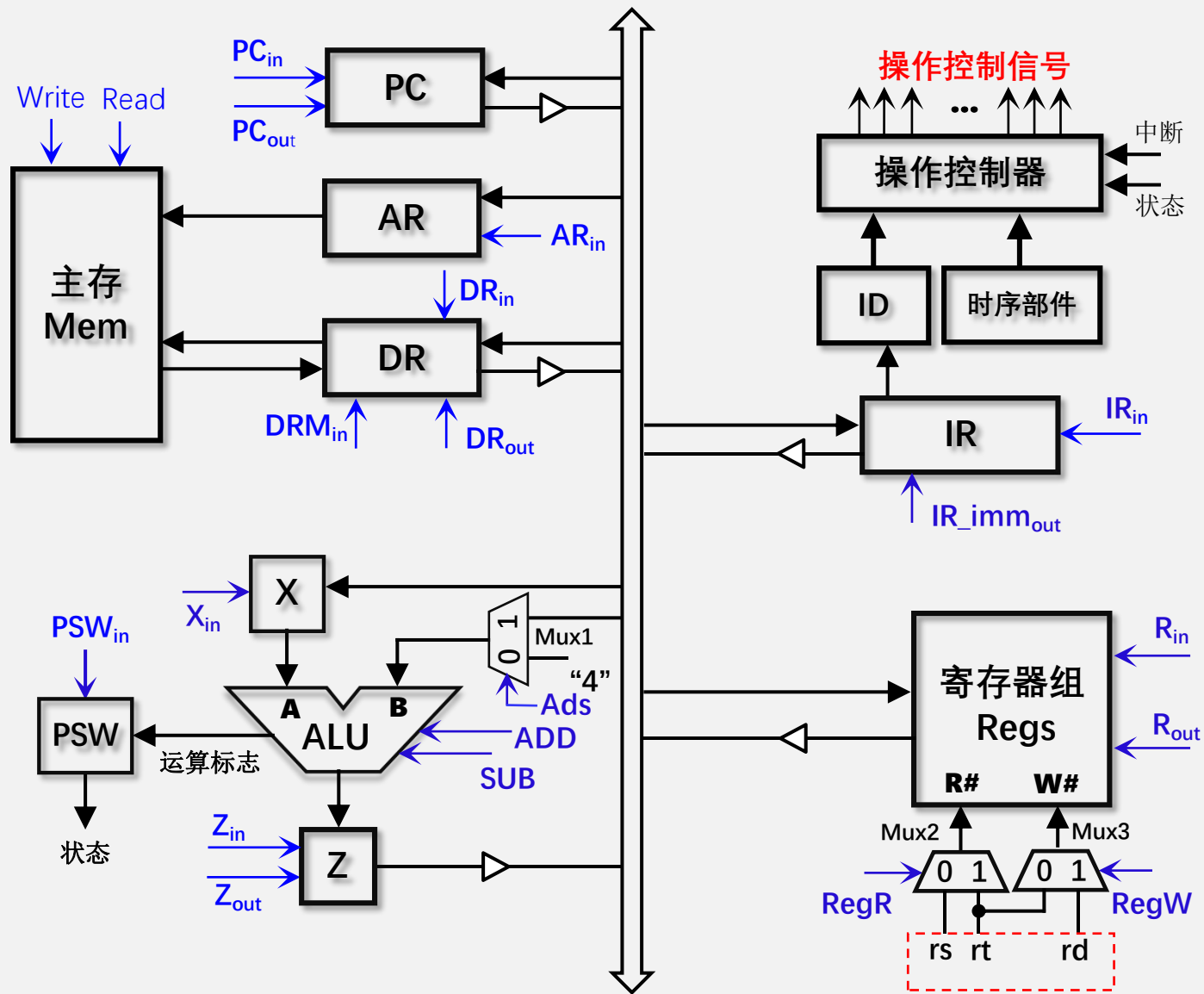
## 1) Add rd,rs,rt 的功能

$$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$$

## 2)执行阶段数据通路汇总

$$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$$
$$\text{rt} \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow Z$$
$$Z \rightarrow \text{Regs} ; rd \rightarrow M_{u \times 3} \rightarrow \text{Regs}$$

$T_1$	RegR=0、 $R_{out}$ 、 $X_{in}$
$T_2$	RegR、 $R_{out}$ 、Ads、ADD、 $Z_{in}$
$T_3$	$Z_{out}$ 、RegW、 $R_{in}$



## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

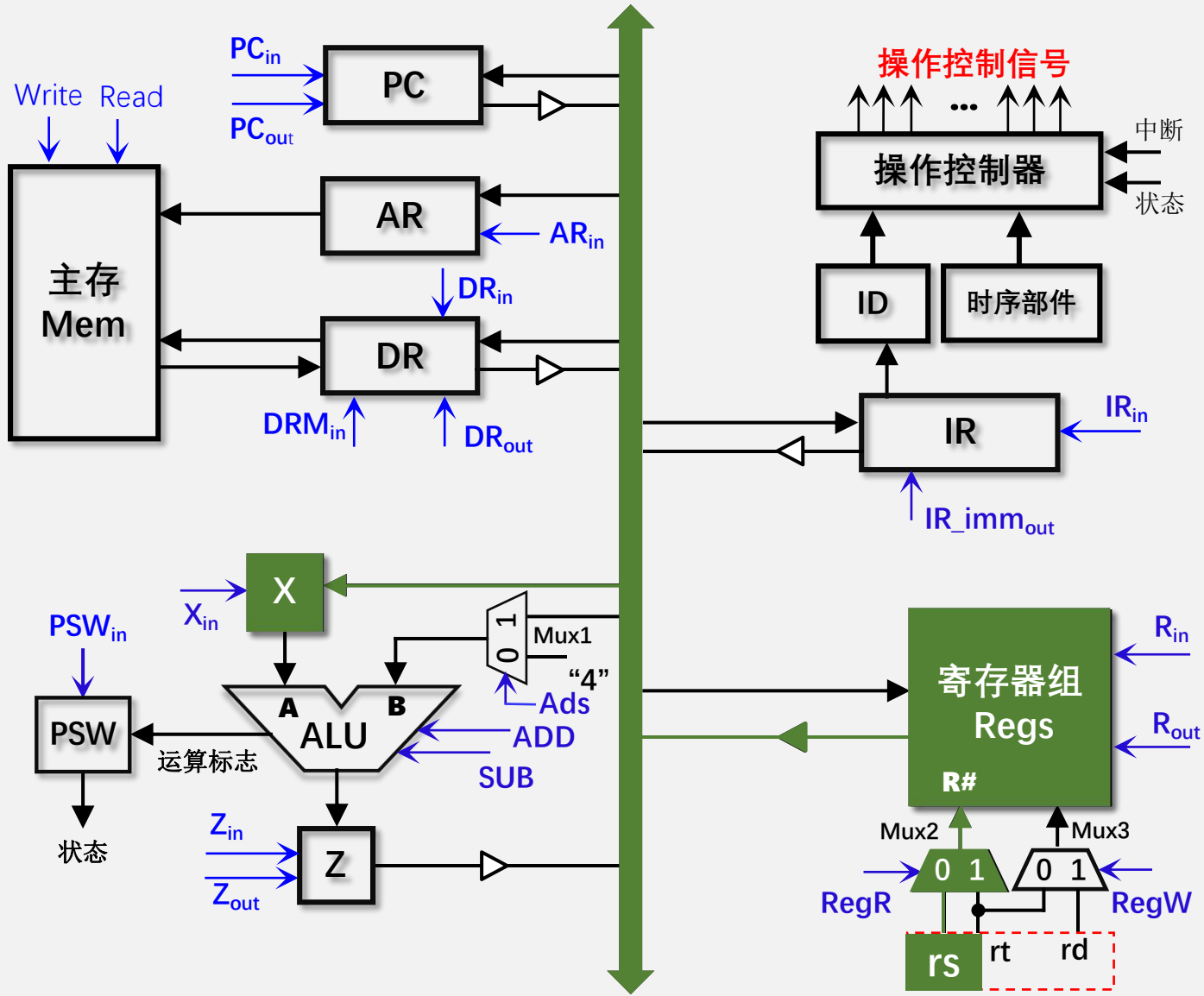
$$(R_{[rs]}) + S\_Ext_{32}(imm) \rightarrow R[rt]$$

#### 2) 执行阶段的数据通路

##### (1) 数据通路1

$$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$$

$T_1$	$RegR=0、R_{out}、X_{in}$
-------	-------------------------





## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

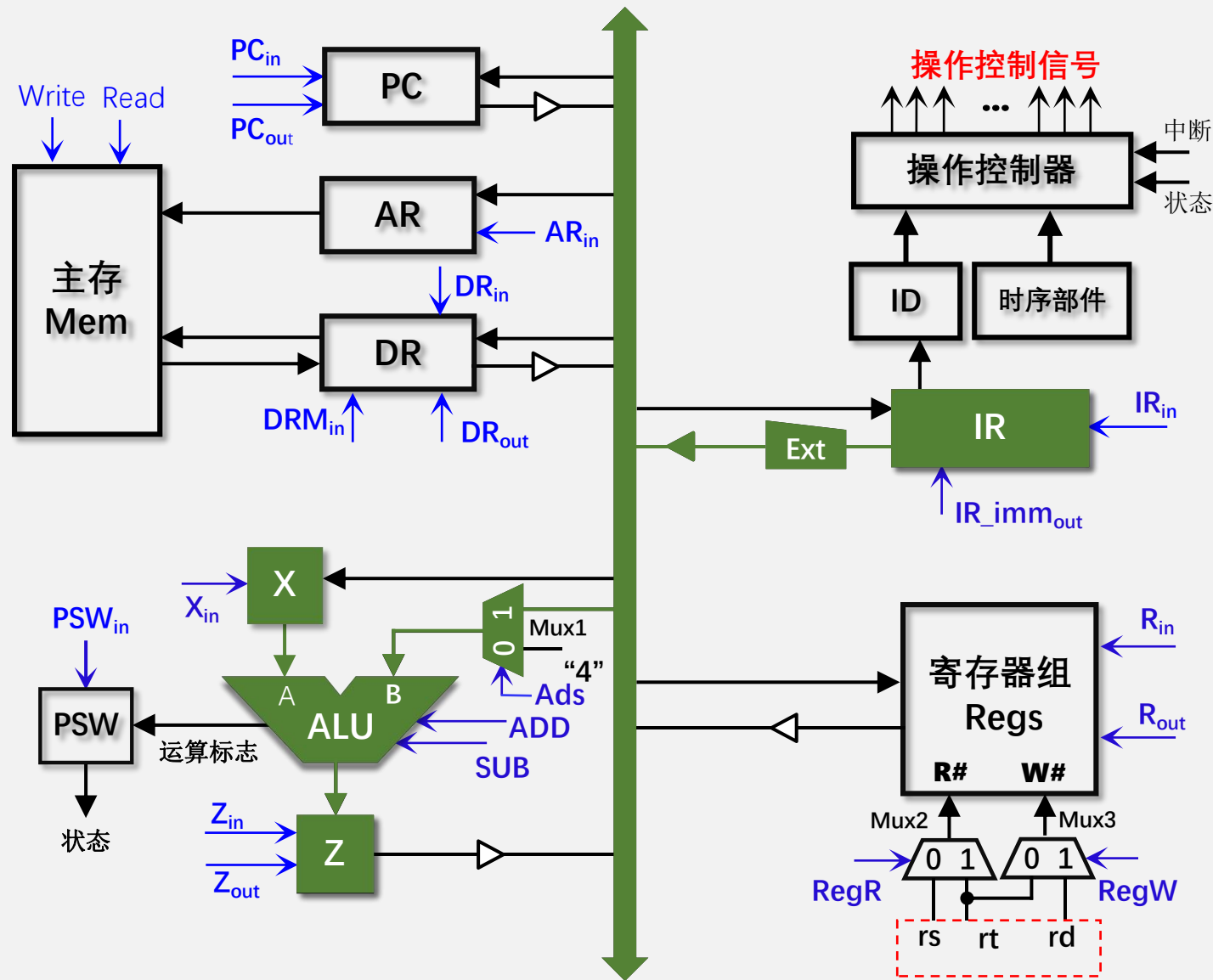
$$(R_{[rs]}) + S\_Ext_{32}(imm) \rightarrow R[rt]$$

#### 2) 执行阶段的数据通路

##### (2) 数据通路2



$T_1$	$IR\_imm_{out}$ 、 $Ads$ 、 $ADD$ 、 $Z_{in}$
-------	--



## U







## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

#### 1) lw rt, imm(rs)指令的功能

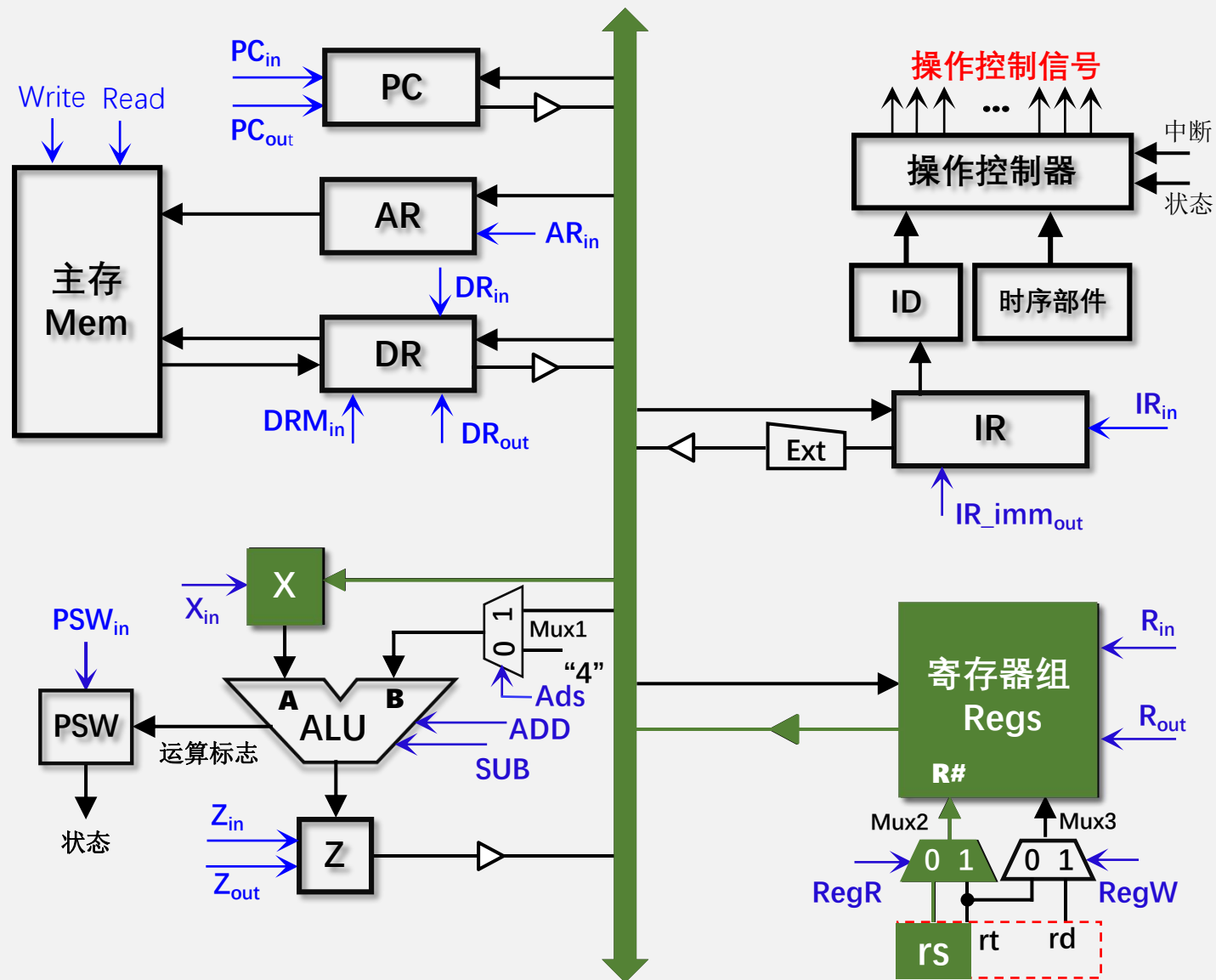
$(M[(R_{[rs]})+S\_Ext_{32}(imm)]) \rightarrow R[rt]$

#### 2) 执行阶段的数据通路

##### (1) 数据通路1

$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$

$T_1$	$RegR=0$ 、 $R_{out}$ 、 $X_{in}$
-------	---------------------------------





# 9.4 指令周期流程图

## 3. LW 指令执行数据通路

### 1) lw rt, imm(rs)指令的功能

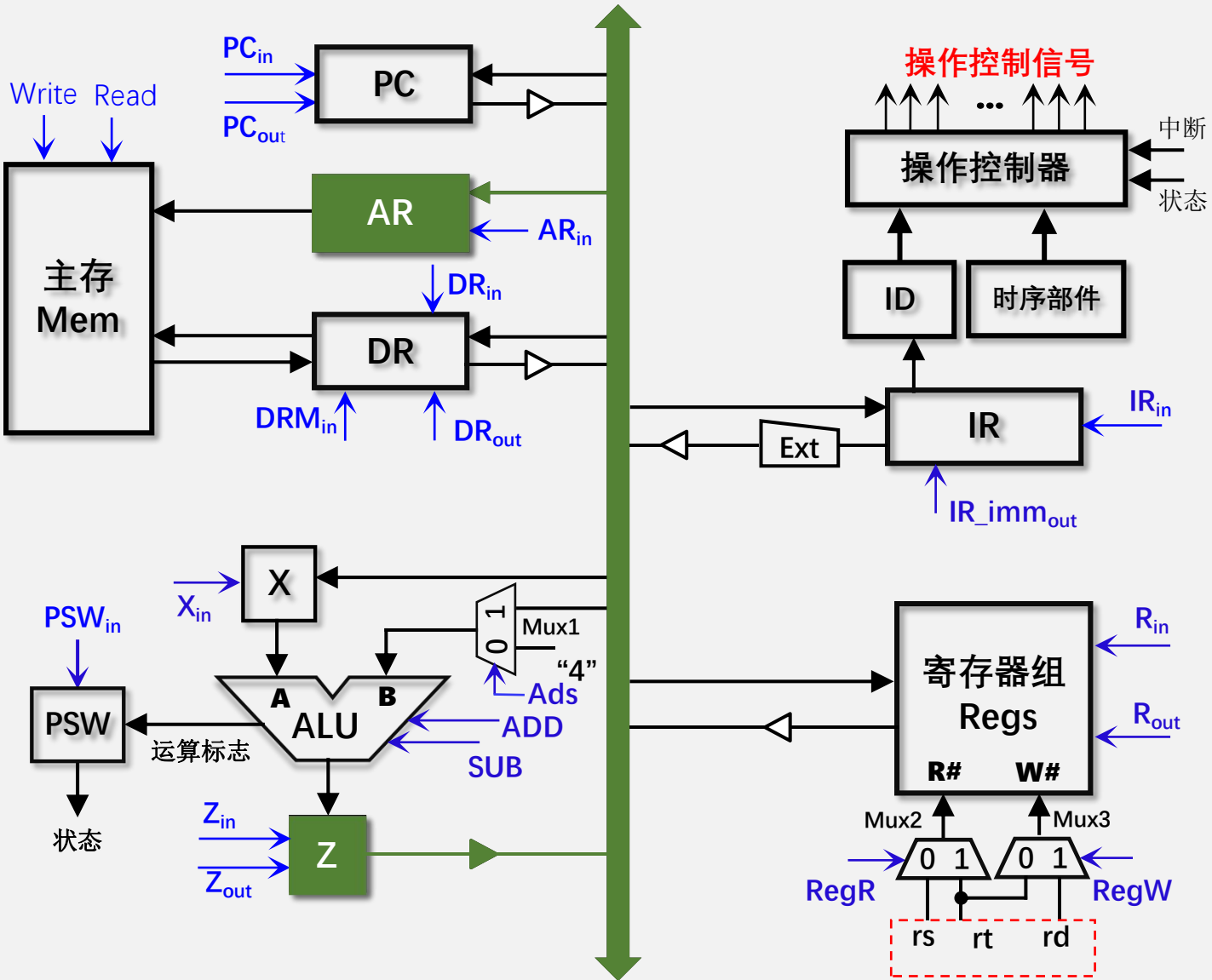
$$(M[(R_{[rs]})+S\_Ext_{32}(imm)]) \rightarrow R[rt]$$

### 2)执行阶段的数据通路

#### (2)数据通路2

$IR_{[imm]} \rightarrow Ext \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z \rightarrow AR$

T <sub>1</sub>	IR_imm <sub>out</sub> 、 Ads、 ADD 、 Z <sub>in</sub>
T <sub>2</sub>	Z <sub>out</sub> 、 AR <sub>in</sub>



# 9.4 指令周期流程图

## 3. LW 指令执行数据通路

### 1) lw rt, imm(rs)指令的功能

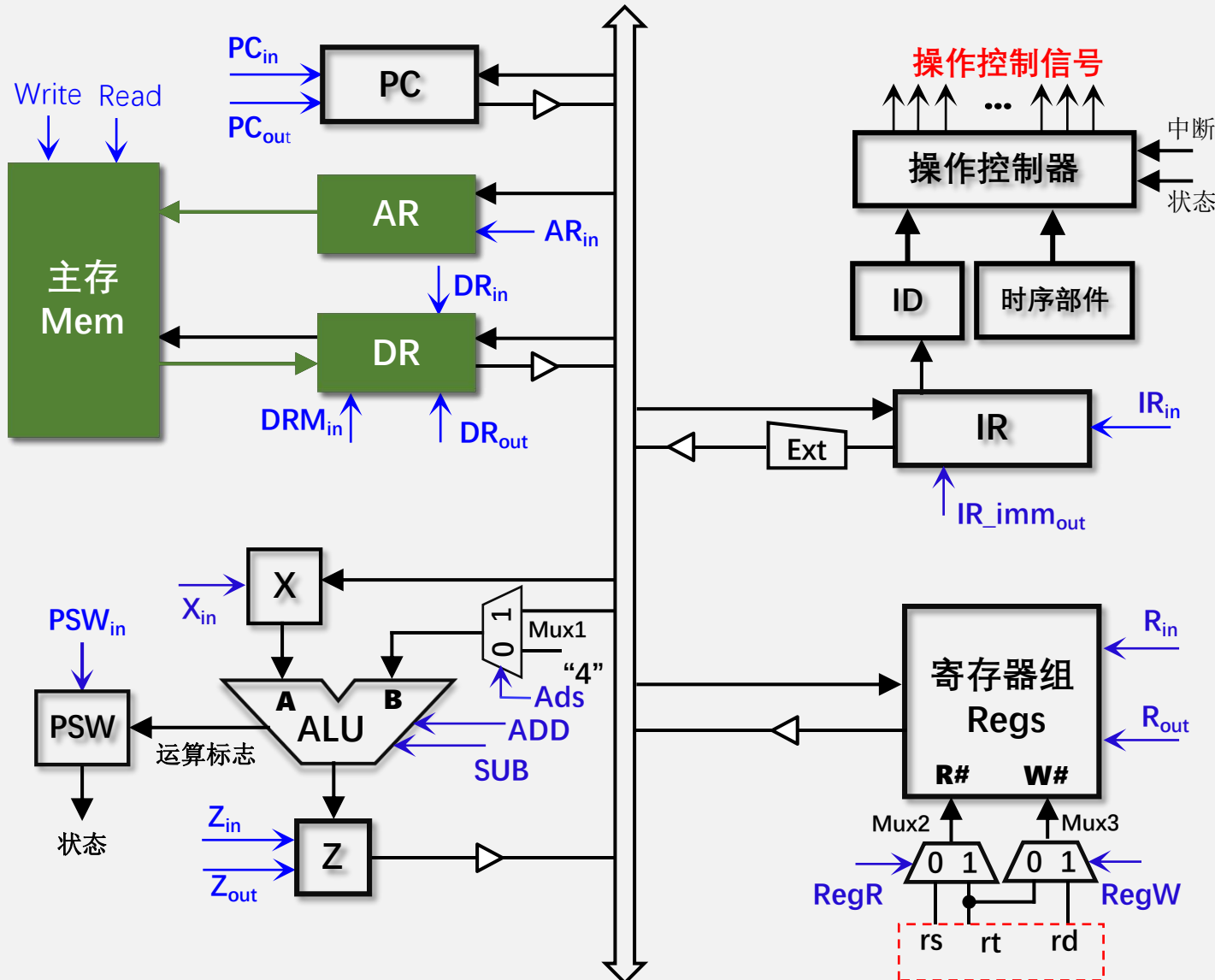
$(M[(R_{[rs]})+S\_Ext_{32}(imm)]) \rightarrow R[rt]$

### 2)执行阶段的数据通路

### (3)数据通路3

AR → Mem → DR

T <sub>1</sub>	Read、DRM <sub>in</sub>
----------------	------------------------







## U

### 3. LW 指令执行数据通路

## 1) lw rt, imm(rs)指令的功能

$$(M[(R_{[rs]})+S\_Ext_{32}(imm)]) \rightarrow R[rt]$$

## 2)执行阶段的数据通路汇总

$$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$$

$T_1$	RegR=0、 $R_{out}$ 、 $X_{in}$
-------	------------------------------

$$\text{IR}_{[\text{imm}]} \rightarrow \text{Ext} \rightarrow \text{M}_{\text{ux1}} \rightarrow \text{ALU} \rightarrow \text{Z} \rightarrow \text{AR}$$

$T_1$	IR_imm <sub>out</sub> 、Ads、ADD、Z <sub>in</sub>
-------	--

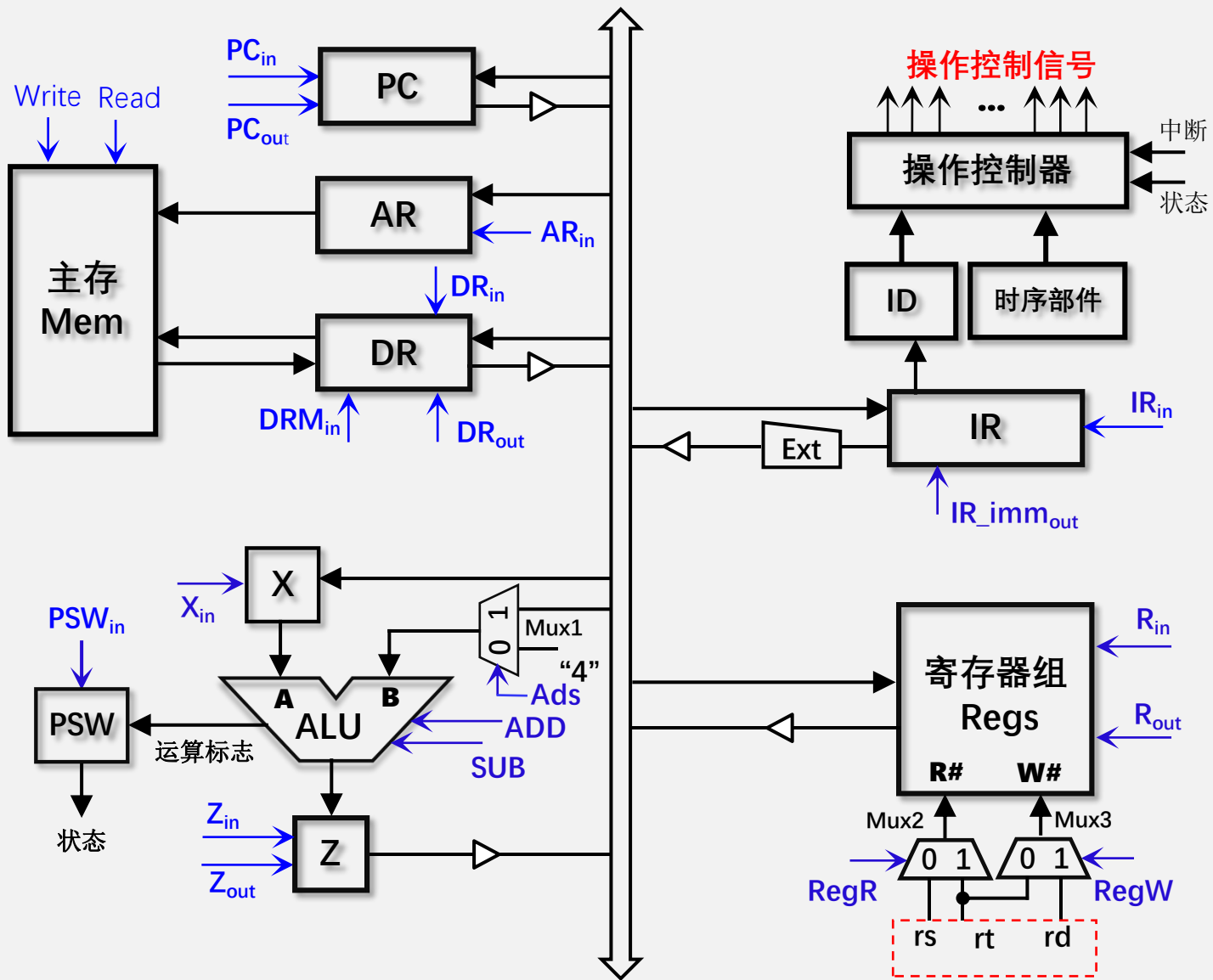
$T_2$	$Z_{out}$ 、 $AR_{in}$
-------	-----------------------

$$AR \rightarrow Mem \rightarrow DR$$

$T_1$	Read、 $DRM_{in}$
-------	------------------

$$\text{DR} \rightarrow \text{Regs} / \text{rt} \rightarrow \text{M}_{\text{ux3}} \rightarrow \text{Regs}$$

$T_1$	$DR_{out}$ 、 $RegW=0$ 、 $R_{in}$
-------	----------------------------------







# 9.4 指令周期流程图

## 4. SW 指令执行数据通路

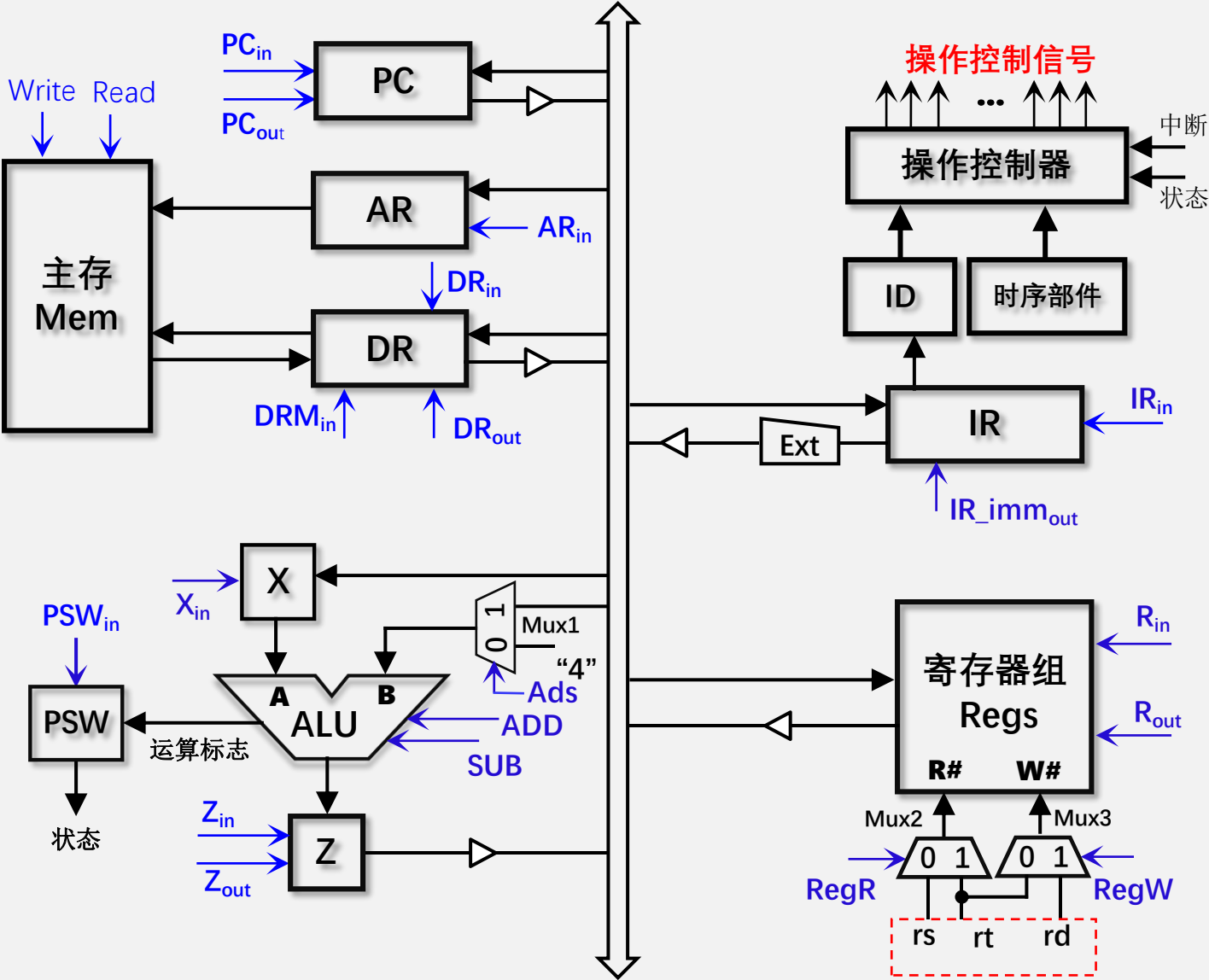
### 1) Sw rt, imm(rs)指令的功能

$(R_{[rt]}) \rightarrow M[(((R_{[rs]}) + S\_Ext_{32}(imm)))]$

### 2)lw执行阶段的数据通路

rs→M<sub>ux2</sub>→Regs→X  
IR<sub>[imm]</sub>→Ext→M<sub>ux1</sub>→ALU→Z→AR  
AR → Mem → DR  
DR→Regs / rt→M<sub>ux3</sub>→Regs

T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
T <sub>2</sub>	IR <sub>imm<sub>out</sub></sub> 、Ads、ADD、Z <sub>in</sub>
T <sub>3</sub>	Z <sub>out</sub> 、AR <sub>in</sub>
T <sub>4</sub>	Read、DRM <sub>in</sub>
T <sub>5</sub>	DR <sub>out</sub> 、RegW=0、R <sub>in</sub>



# 9.4 指令周期流程图

## 4. SW 指令执行数据通路

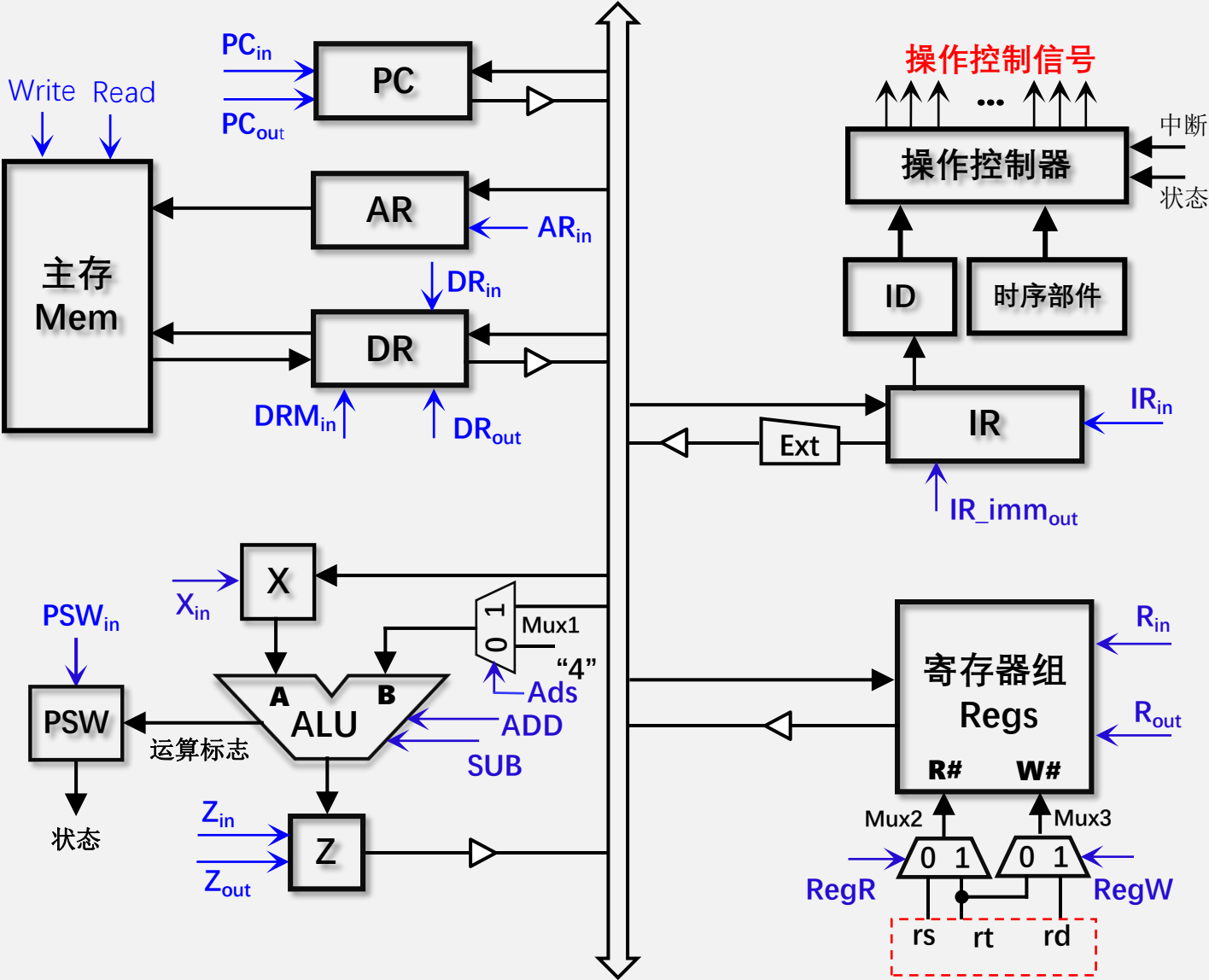
### 1) Sw rt, imm(rs)指令的功能

$(R_{[rt]}) \rightarrow M[(((R_{[rs]}) + S\_Ext_{32}(imm)))]$

### 2)执行阶段的数据通路

rs→M<sub>ux2</sub>→Regs→X  
IR<sub>[imm]</sub>→Ext→M<sub>ux1</sub>→ALU→Z→AR  
rt→M<sub>ux2</sub>→Regs / Regs → DR  
DR → M[AR]

T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
T <sub>2</sub>	IR <sub>imm<sub>out</sub></sub> 、Ads、ADD、Z <sub>in</sub>
T <sub>3</sub>	Z <sub>out</sub> 、AR <sub>in</sub>
T <sub>4</sub>	RegR、R <sub>out</sub> 、DR <sub>in</sub>
T <sub>5</sub>	Write



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当 $(R_{[rs]}) = (R_{[rt]})$

$PC \leftarrow PC + 4 + imm \ll 2$



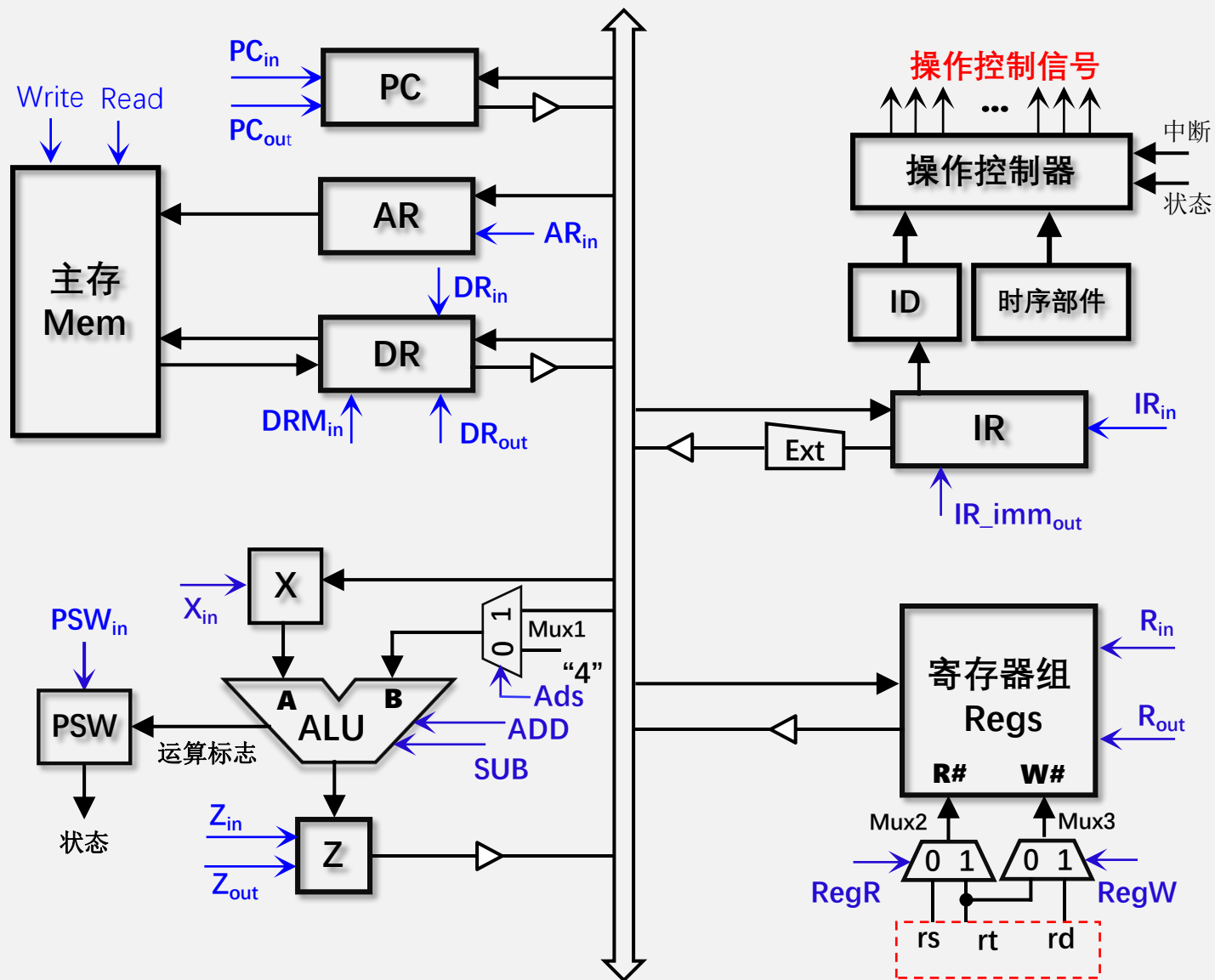
PC+4 如何理解?

指令执行阶段PC内容即为"PC +4 "



如何判断 $(R_{[rs]}) = (R_{[rt]})$ ?

利用ALU的减法功能实现



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当 $(R_{[rs]}) = (R_{[rt]})$

$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$

#### 2)执行阶段的数据通路

##### (1)数据通路1

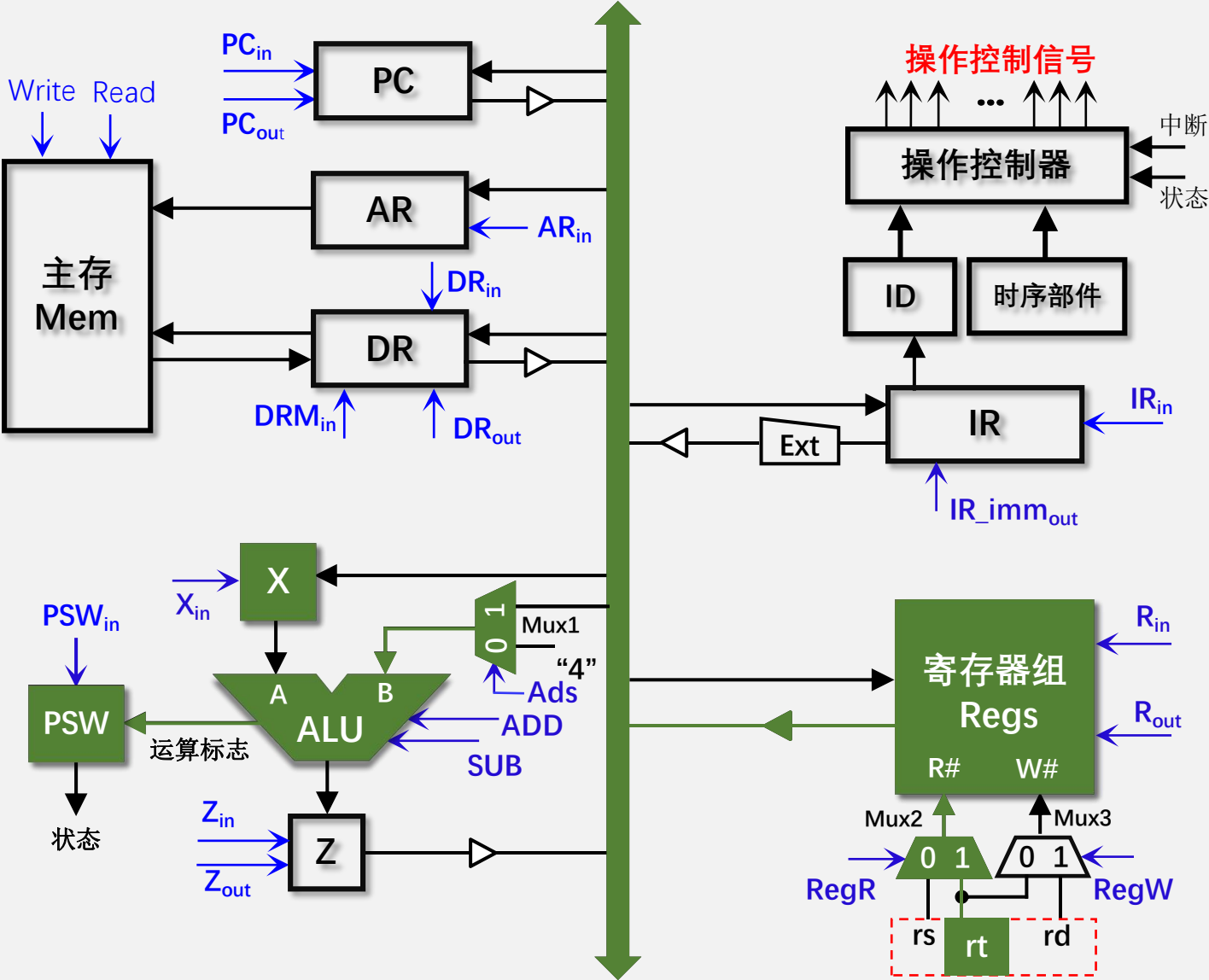
$rs \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow X$

$T_1$	$\text{RegR}=0、R_{out}、X_{in}$
-------	--------------------------------

##### (2)数据通路2

$rt \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow \text{PSW}$

$T_1$	$\text{RegR}, R_{out}, \text{Ads}, \text{SUB}, \text{PSW}_{in}$
-------	---



# 9.4 指令周期流程图

## 5. Beq 指令执行数据通路

### 1) beq rs,rt,imm指令的功能

当 $(R_{[rs]}) = (R_{[rt]})$

$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

### 2)执行阶段的数据通路

#### (3)数据通路3

$PC \rightarrow X$

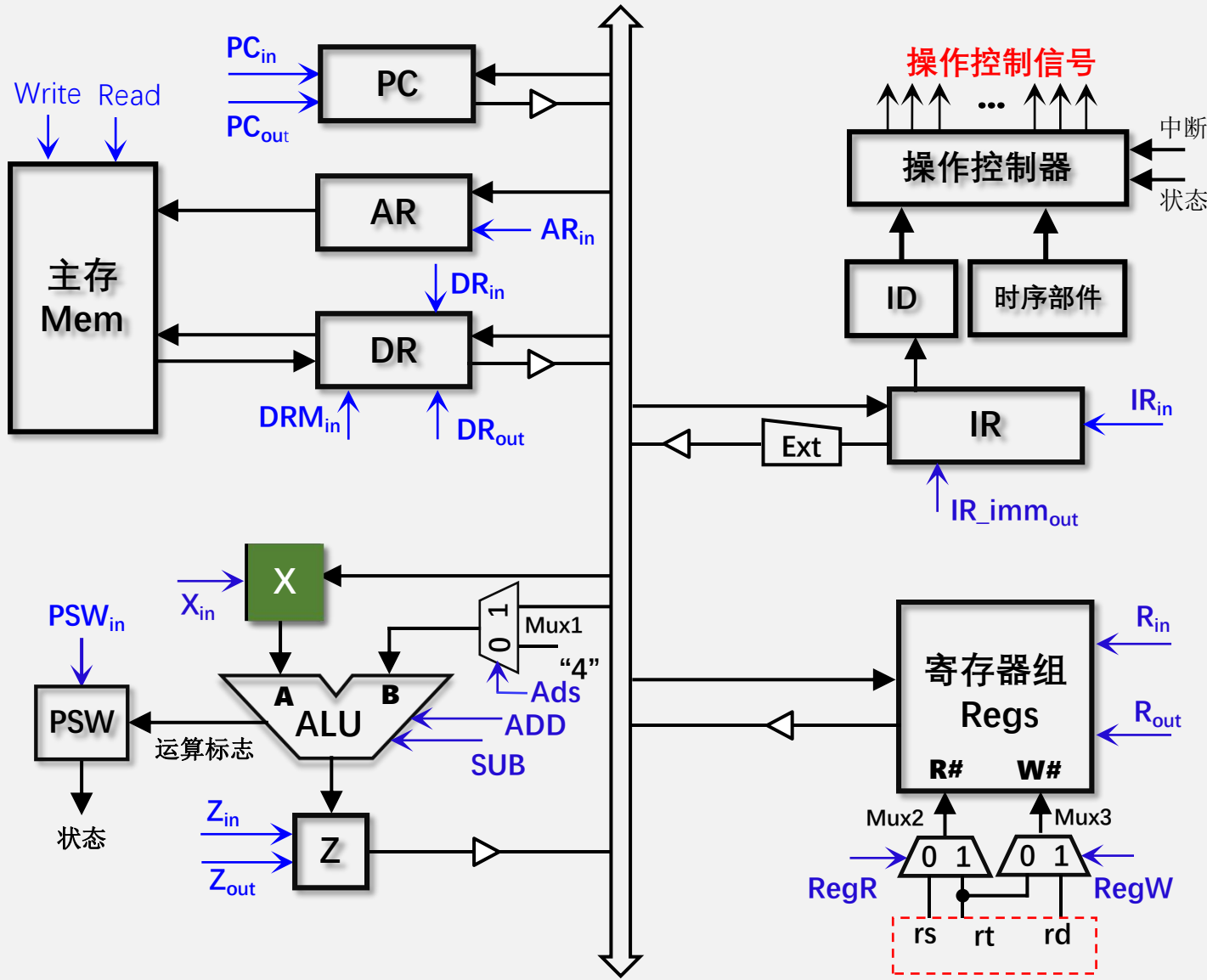
$T_1$	$PC_{out} \setminus X_{in}$
-------	-----------------------------

#### (4)数据通路4

$$IR_{[imm]} \rightarrow \text{Ext} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow Z \rightarrow PC$$



通路4能实现指令的功能吗?



## U

## 5. Beq 指令执行数据通路

## 1) beq rs,rt,imm指令的功能

$$\text{当}(R_{[rs]}) = (R_{[rt]})$$
$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

## 2)执行阶段的数据通路

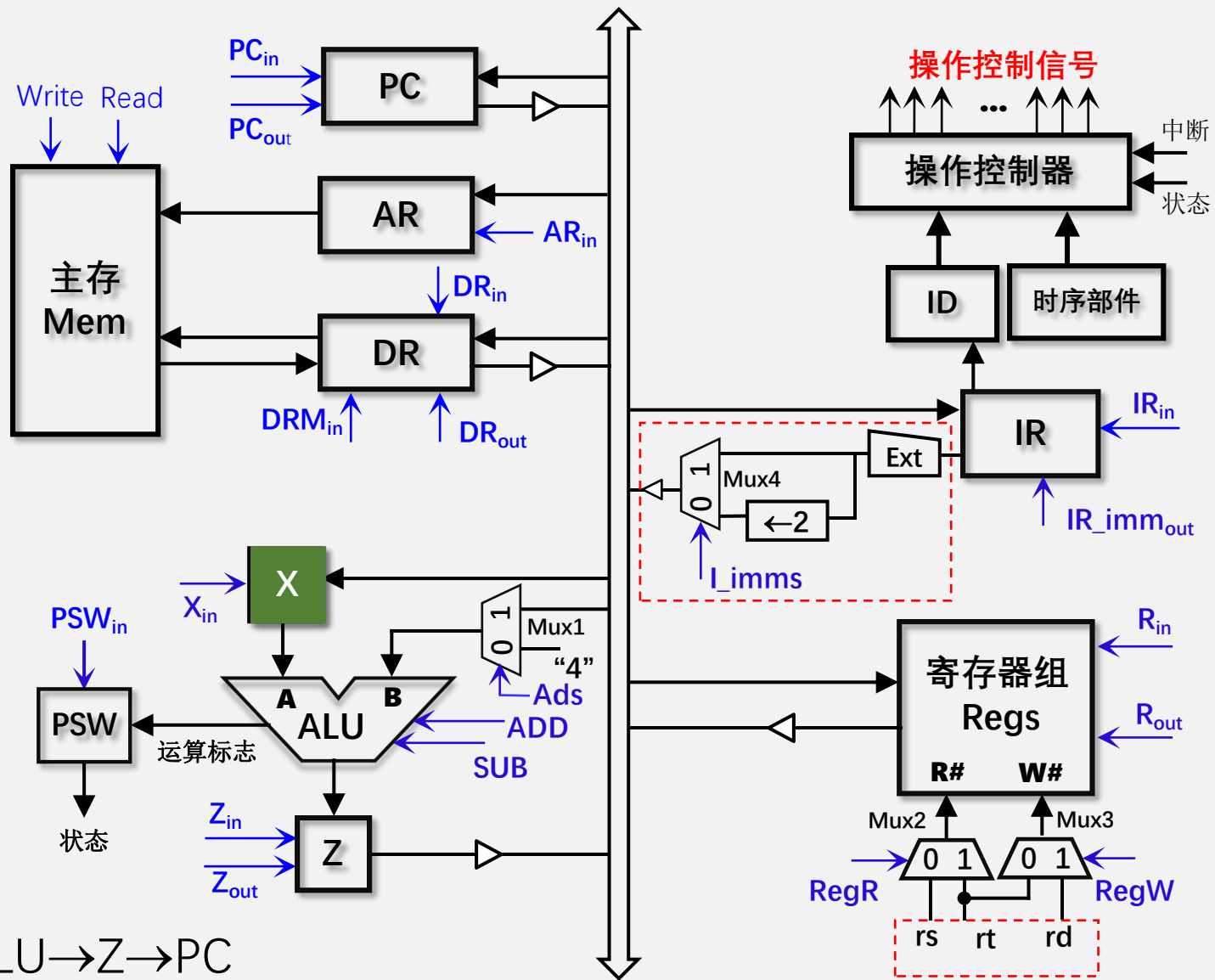
### (3)数据通路3

$$PC \rightarrow X$$

$T_1$	$PC_{out}, X_{in}$
-------	--------------------

#### (4)数据通路4

$$IR_{[imm]} \rightarrow Ext \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z \rightarrow PC$$

$$\text{IR}_{[\text{imm}]} \rightarrow \text{Ext} \rightarrow \boxed{\leftarrow 2} \rightarrow \text{M}_{\text{ux4}} \rightarrow \text{M}_{\text{ux1}} \rightarrow \text{ALU} \rightarrow \text{Z} \rightarrow \text{PC}$$


## U

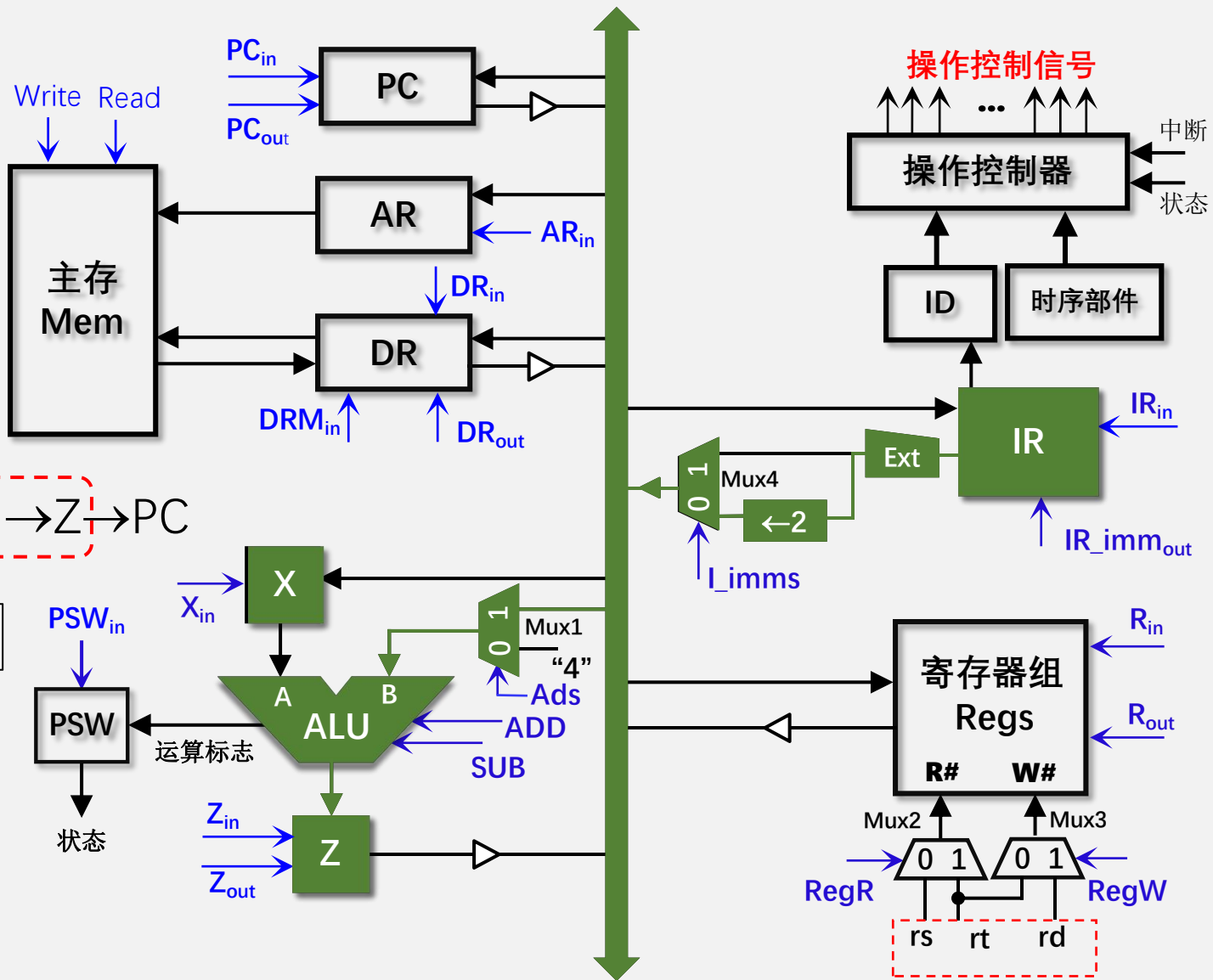
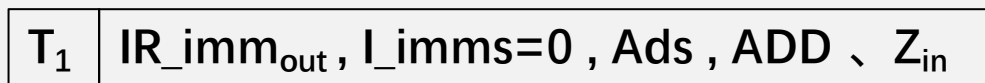
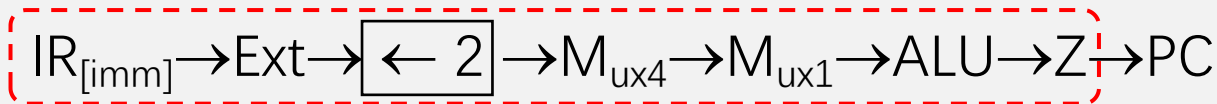
## 5. Beq 指令执行数据通路

## 1) beq rs,rt,imm指令的功能

$$\text{当}(R_{[rs]}) = (R_{[rt]})$$
$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

## 2) 执行阶段的数据通路

#### (4)数据通路4





## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当 $(R_{[rs]}) = (R_{[rt]})$

$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$

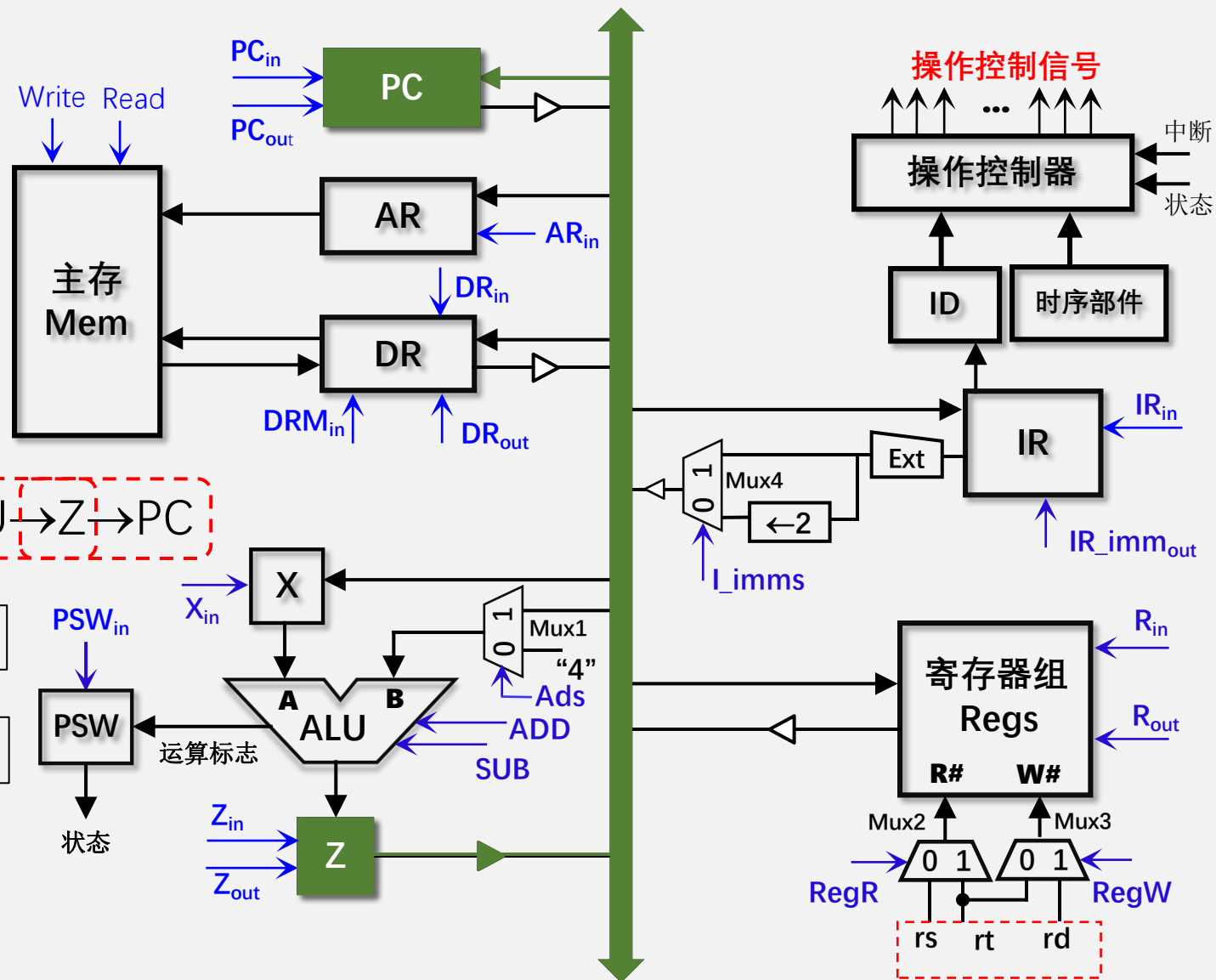
#### 2) 执行阶段的数据通路

##### (4) 数据通路4



$T_1$	$IR\_imm\_out, I\_imms=0, Ads, ADD, Z\_in$
-------	--

$T_2$	$Z\_out, PC\_in$
-------	------------------



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当 $(R_{[rs]}) = (R_{[rt]})$

$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$

#### 2)执行阶段的数据通路

$rs \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow X$

$T_1$	$\text{RegR}=0、R_{out}、X_{in}$
-------	--------------------------------

$rt \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow \text{PSW}$

$T_1$	$\text{RegR}, R_{out}, \text{Ads}, \text{SUB}, \text{PSW}_{in}$
-------	---

$PC \rightarrow X$

$T_1$	$PC_{out}、X_{in}$
-------	-------------------

$IR_{[imm]} \rightarrow \text{Ext} \rightarrow \boxed{\leftarrow 2} \rightarrow M_{ux4} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow Z \rightarrow PC$

$T_1$	$IR\_imm_{out}, I\_imms=0, \text{Ads}, \text{ADD}, Z_{in}$
-------	--

$T_2$	$Z_{out}, PC_{in}$
-------	--------------------

## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当 $(R_{[rs]}) = (R_{[rt]})$

$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$

#### 2)执行阶段的数据通路

$rs \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow X$

$rt \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow \text{PSW}$

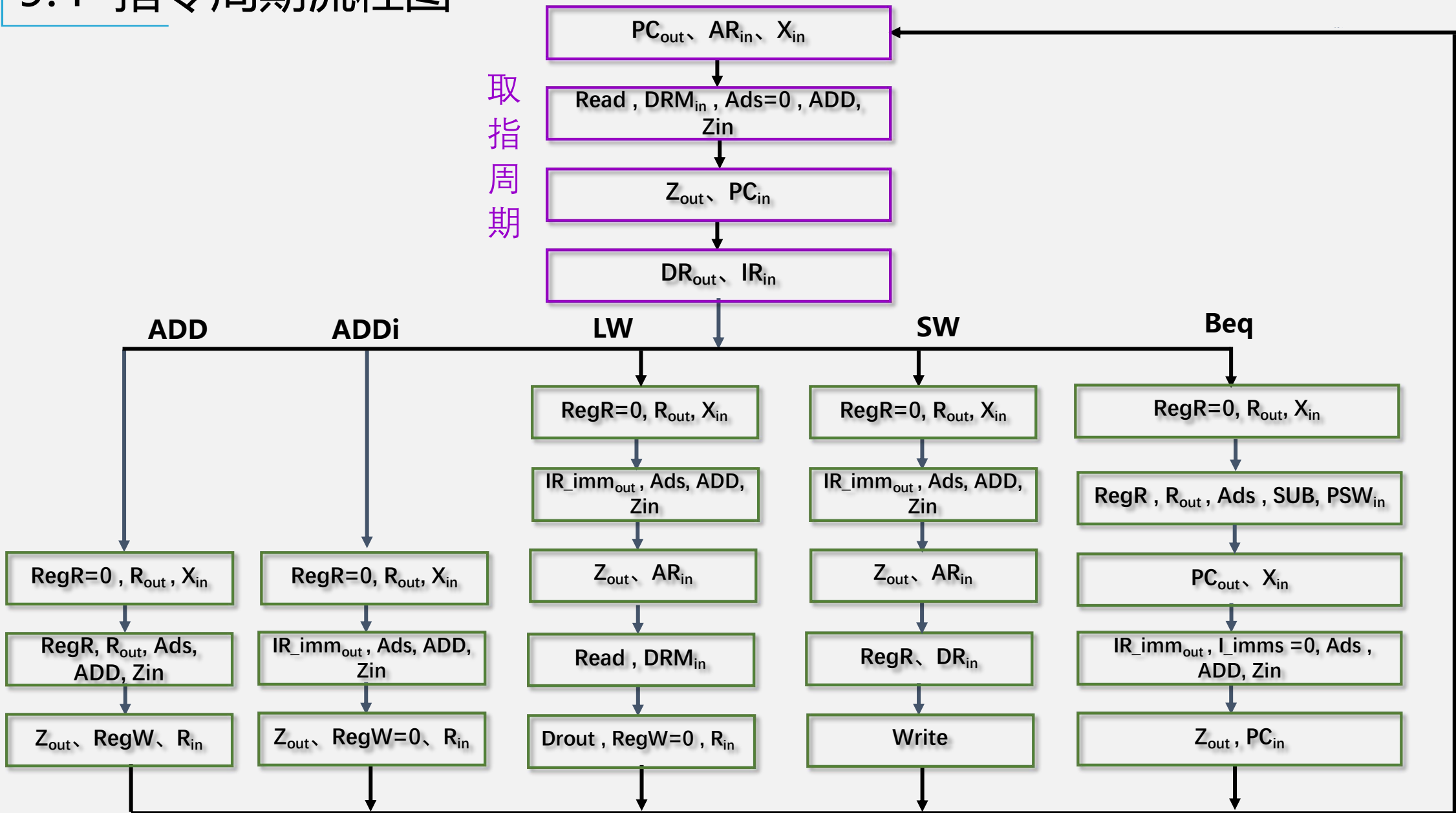
$PC \rightarrow X$

$IR_{[imm]} \rightarrow \text{Ext} \rightarrow \boxed{\leftarrow 2} \rightarrow M_{ux4} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow Z \rightarrow PC$

$T_1$	RegR=0、 $R_{out}$ 、 $X_{in}$
$T_2$	RegR , $R_{out}$ , Ads , SUB, $PSW_{in}$
$T_3$	$PC_{out}$ 、 $X_{in}$
$T_4$	$IR_{imm_{out}}$ , $I_{imms}=0$ , Ads , ADD 、 $Z_{in}$
$T_5$	$Z_{out}$ , $PC_{in}$

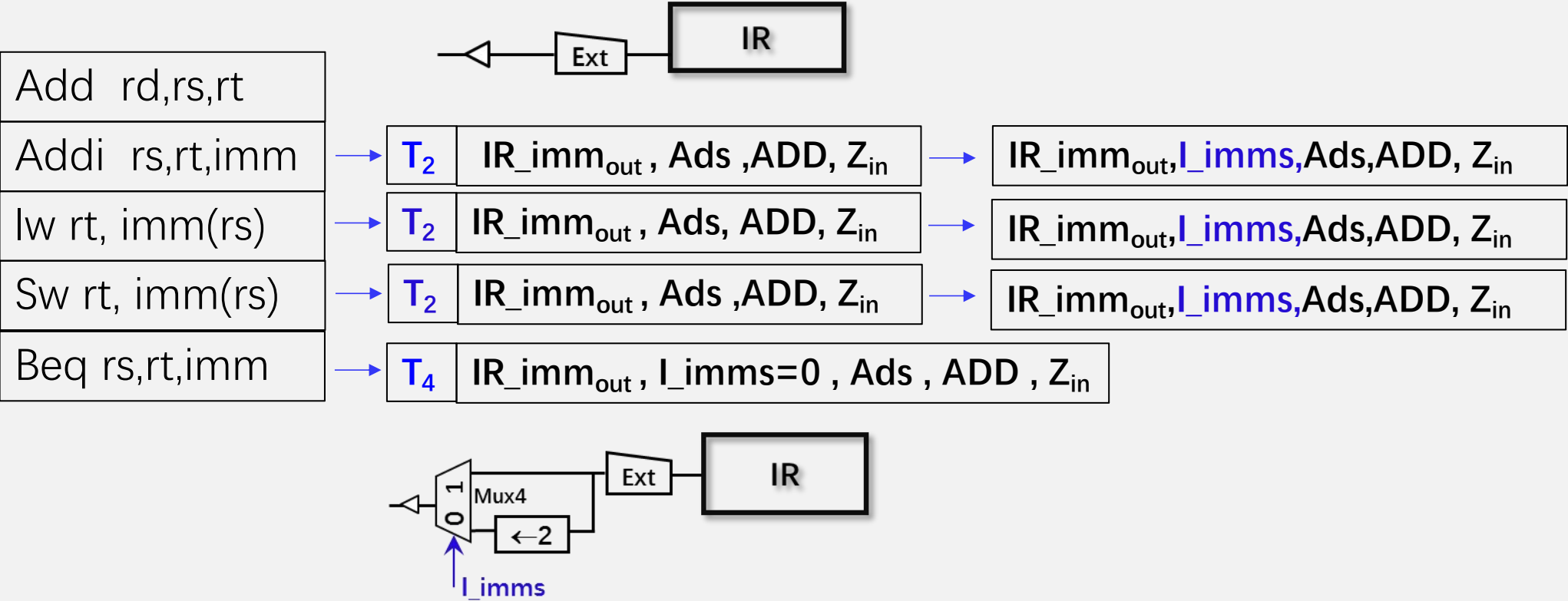
# 9.4 指令周期流程图

取指周期



## 9.4 指令周期流程图

### 6. 指令周期流图的回溯修改



## 9.4 指令周期流程图

取指周期

