



第六章 同步时序逻辑电路(一)

秦磊华 计算机学院

6.1 时序电路的定义

6.2 触发器结构、触发方式

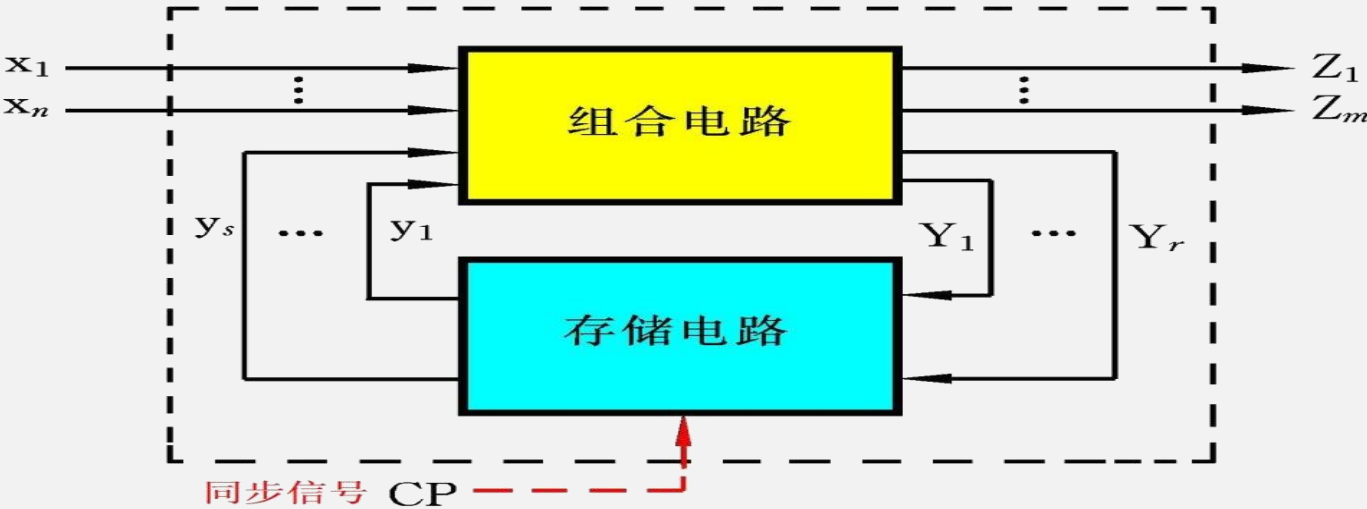
6.3 主从结构触发器

6.4 时序电路的类型

CONTENT

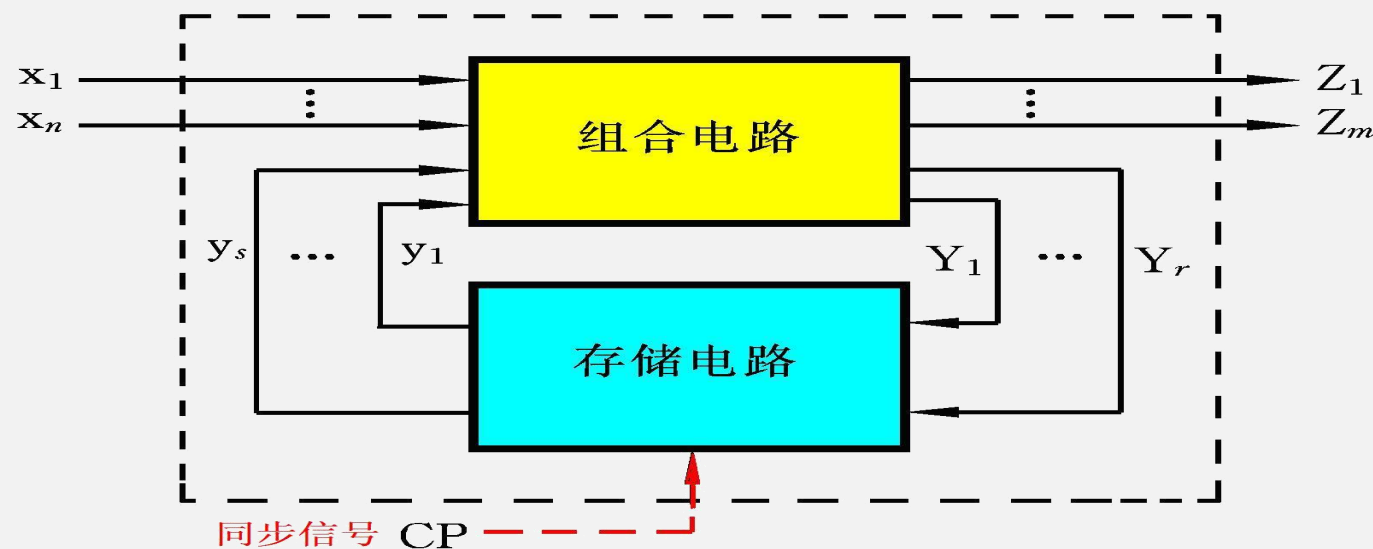


1.时序电路的逻辑结构



- 逻辑电路在任何时刻的稳定输出不仅与电路该时刻的输入有关，还与电路过去的输入有关；
- 由组合电路和存储电路两部分组成，通过反馈回路连成整体。

6.1 时序电路的定义



- x_1, \dots, x_n : (外)输入信号;
- Z_1, \dots, Z_m : (外)输出信号;
- y_1, \dots, y_s : (内输入)时序逻辑电路的“状态”,称为**现态** y^n 或 y ;
- Y_1, \dots, Y_r : (内输出)称为时序逻辑电路的激励信号(影响电路“**次态**” y^{n+1});
- CP: 时钟脉冲信号, 是否存在取决于时序逻辑电路的类型。

触发器具有信息存储功能，是时序电路的基本单元！

问题提出：

1. 触发器如何保存信息？
2. 触发器如何实现时序功能？
3. 为什么采用多种不同触发方式和不同类型的触发器？各有何特点？

学习建议：

1. 关注触发器状态改变的条件和时刻点(跳变点)；
2. 灵活使用描述触发器功能的描述方法(功能)；

6.2 触发器结构、触发方式

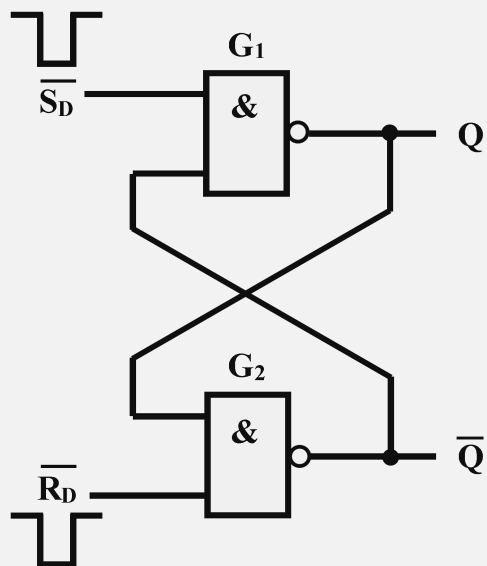
1. 触发器概述

- **功能：** 存储一位二进制信息。
- **特点：**
 - 有两个稳定状态，分别用来表示逻辑1和0；
 - 在适当输入信号作用下，可从一种状态翻转到另一种状态；
 - 在输入信号取消后，能将获得的新状态保存下来。(记忆功能)
- **分类：**
 - **按触发方式分：** 电位触发、主从触发及边沿触发方式；
 - **按逻辑功能分：** R-S触发器、D触发器、J-K触发器和T触发器

6.2 触发器结构、触发方式

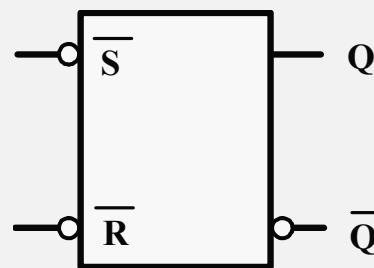
2.基本RS触发器（与非门构成）

1)电路结构与逻辑符号



由两个与非门通过反馈构成

以Q端的状态表示触发器状态：Q = 1:为状态1, Q = 0:为状态0



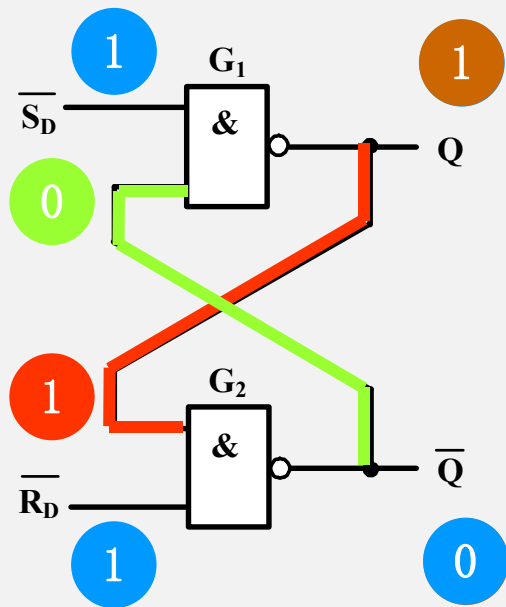
逻辑符号

输入端的小圆圈表示低电平有效

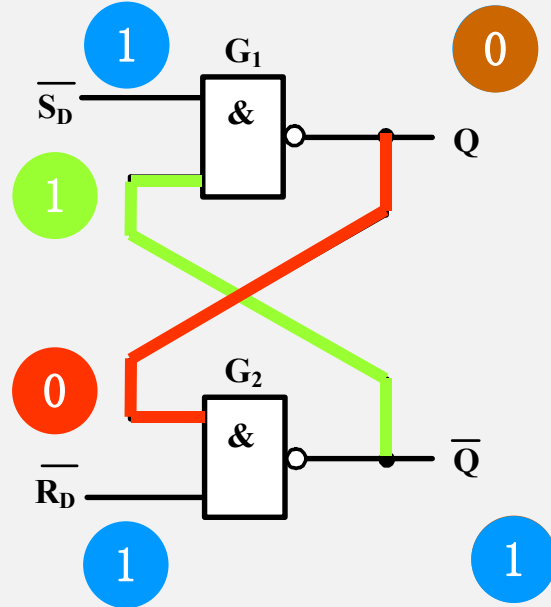
6.2 触发器结构、触发方式

2.基本RS触发器（与非门构成）

2) 工作原理分析（四种情况）



原状态 $Q=1$ $\overline{Q}=0$



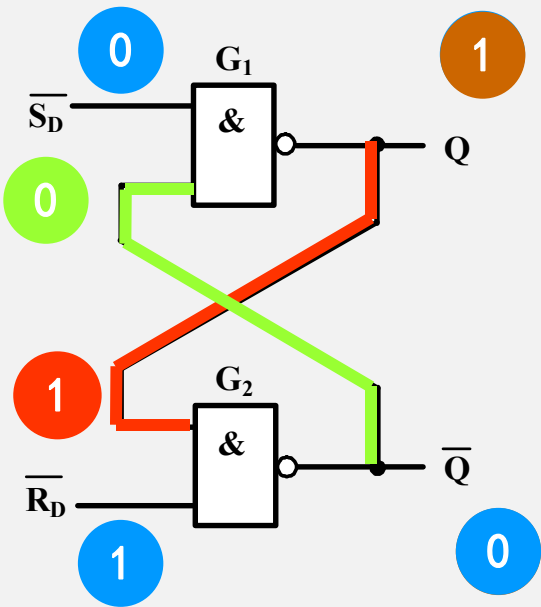
原状态 $Q=0$ $\overline{Q}=1$

触发器保持：当 $\overline{S_D}=1$; $\overline{R_D}=1$ ，触发器保持原来的状态不变

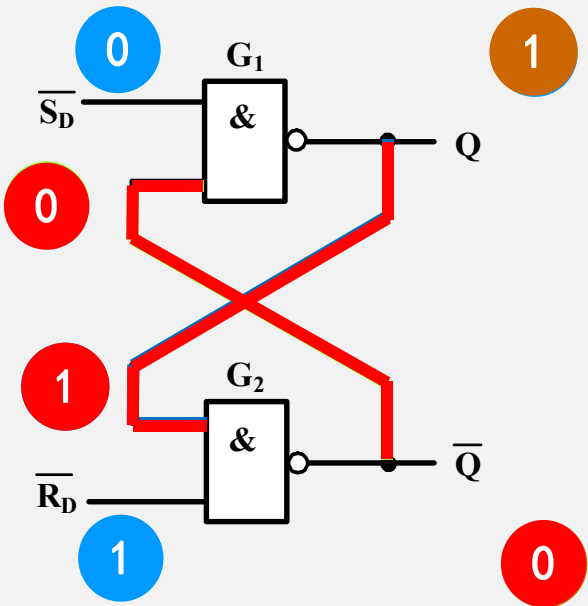
6.2 触发器结构、触发方式

2.基本RS触发器（与非门构成）

2)工作原理分析 (四种情况)



原状态Q=1



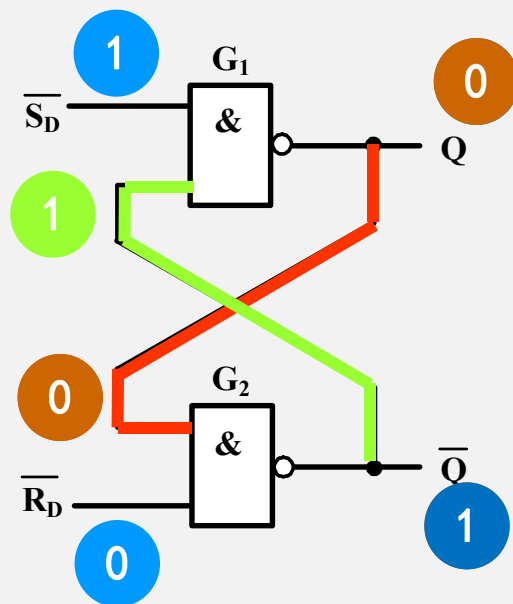
原状态Q=0

结论:当 $\overline{S_D} = 0$; $\overline{R_D} = 1$, 无论触发器原状态如何, 都变为1态

6.2 触发器结构、触发方式

2.基本RS触发器（与非门构成）

2)工作原理分析



原状态Q=X

结论：当 $\overline{S}_D=1; \overline{R}_D=0$ ，无论触发器原状态如何，都变为0态

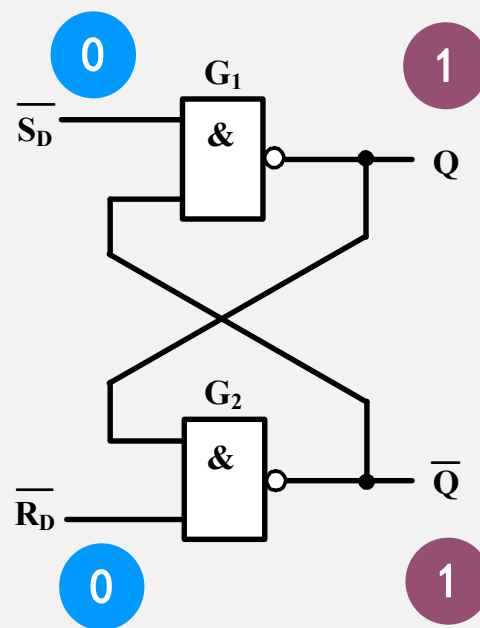
6.2 触发器结构、触发方式

2.基本RS触发器（与非门构成）

2)工作原理分析

研究两个输入端都为0的情况

而当 $\bar{S}_D=0$; $\bar{R}_D=0$ 同时撤消后,
触发器新状态? 不确定 ?



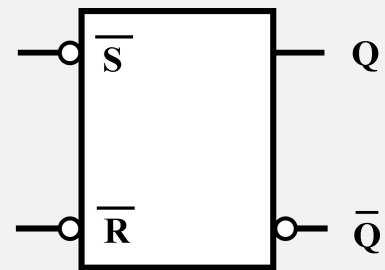
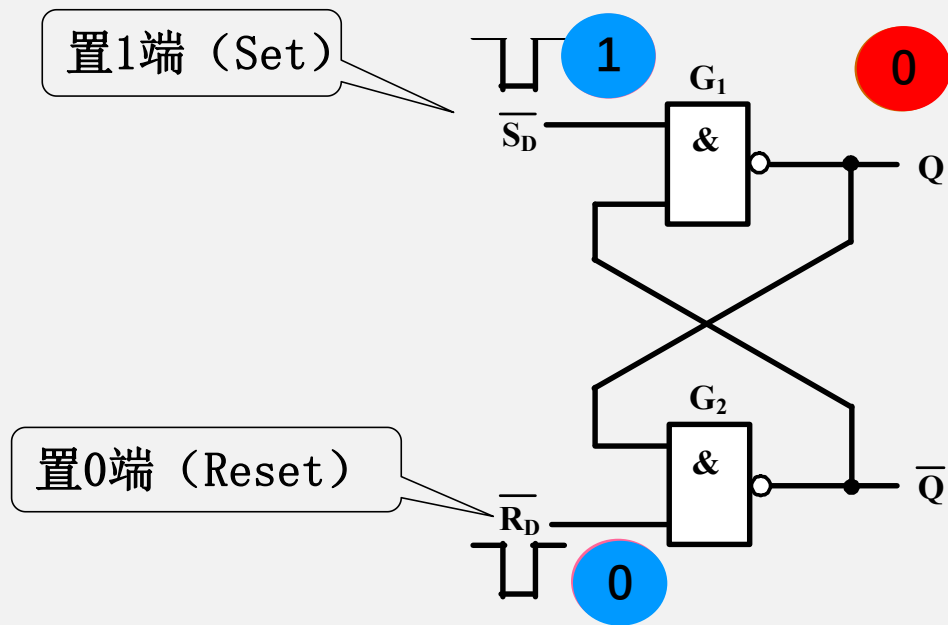
原状态 $Q=X$

为避开禁止状态，规定基本RS触发器输入信号不应同时为0

6.2 触发器结构、触发方式

2.基本RS触发器（与非门构成）

3)触发方式



基本RS触发器的触发方式属电平触发 :RS的变化可能随时对状态产生影响

6.2 触发器结构、触发方式

2.基本RS触发器（与非门构成）

4)逻辑功能表

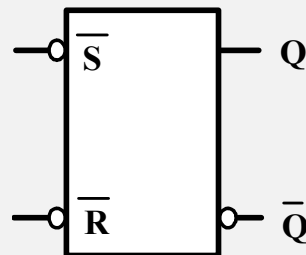
$\bar{S}_D + \bar{R}_D = 1$

\bar{S}_D	\bar{R}_D	Q 原状态	Q 新状态	
1	1	0	0	保持
1	1	1	1	
0	1	0	1	置 1
0	1	1	1	
1	0	0	0	置 0
1	0	1	0	
0	0	0	1	禁止
0	0	1	1	

6.2 触发器结构、触发方式

2.基本RS触发器（与非门构成）

5)基本触发器的特点总结



- 有两个互补的输出端，有两个稳定的状态。
- 有复位、置位、保持三种功能。
- 有禁止输入的条件限制！

3.基本RS触发器描述方法（与非门构成）

1)状态转换真值表

状态转换真值表

\overline{R}_D	\overline{S}_D	Q^n	Q^{n+1}
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

真值表建立输入、原状态 Q^n (现态)与新状态 Q^{n+1} (次态)间的关系表

6.2 触发器结构、触发方式

3.基本RS触发器描述方法（与非门构成）

2)次态卡诺图

$\overline{S_D} \quad \overline{R_D}$					
Q^n		00	01	11	10
	0	×	1	0	0
	1	×	1	1	0

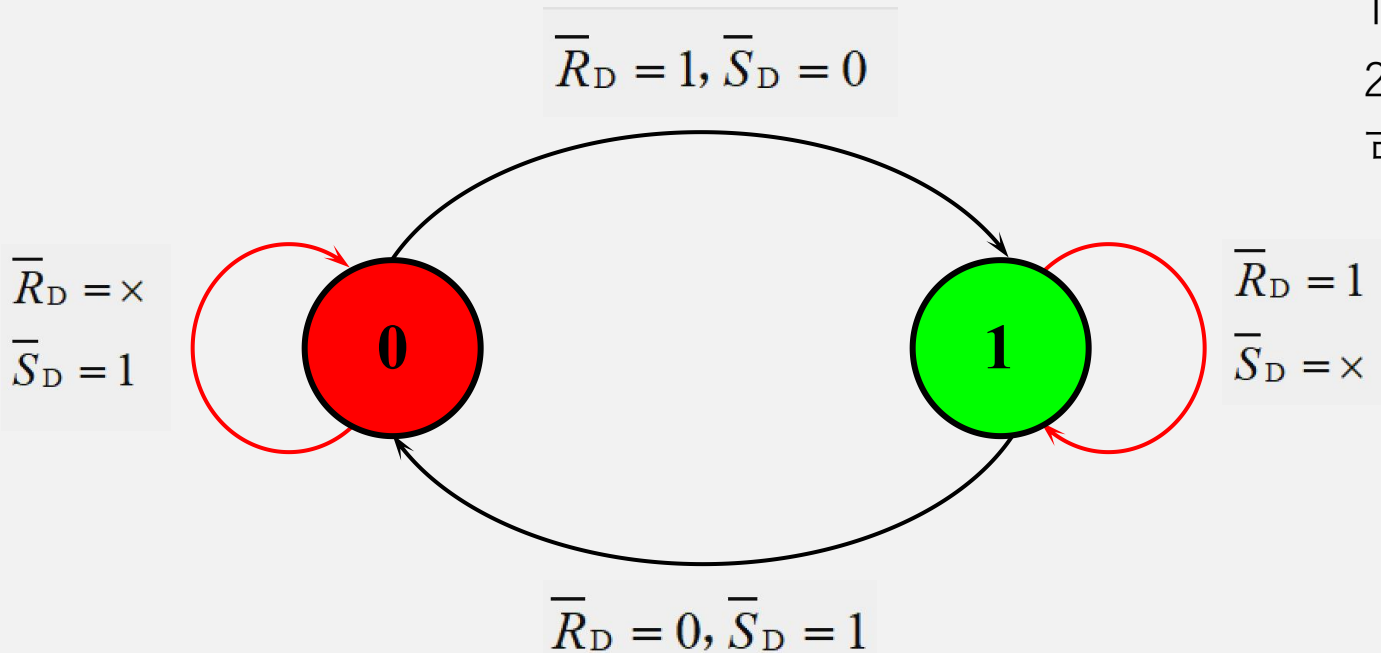
3)特征方程

$$Q^{n+1} = S_D + \overline{R_D} Q^n$$

$$\overline{R_D} + \overline{S_D} = 1 \quad (\text{约束条件})$$

3.基本RS触发器描述方法（与非门构成）

4)状态转移图:用于分析是否存在遗漏的状态变迁(?)



1)给定状态 S_i 的跳变条件之间应是互斥的,即从一个状态出发的不同跳变弧上所有可能的条件对 (T_{ij}, T_{ik}) 没有相同的输入值,即 $T_{ij} \cdot T_{ik} = 0$ 。

2)一个给定状态的跳变条件必须覆盖所有可能的输入组合,即 $\sum T_{ij} = 1$ 。

6.2 触发器结构、触发方式

3.基本RS触发器描述方法（与非门构成）

5) 激励表(为达到状态转换的目标，电路的输入应该是什么)

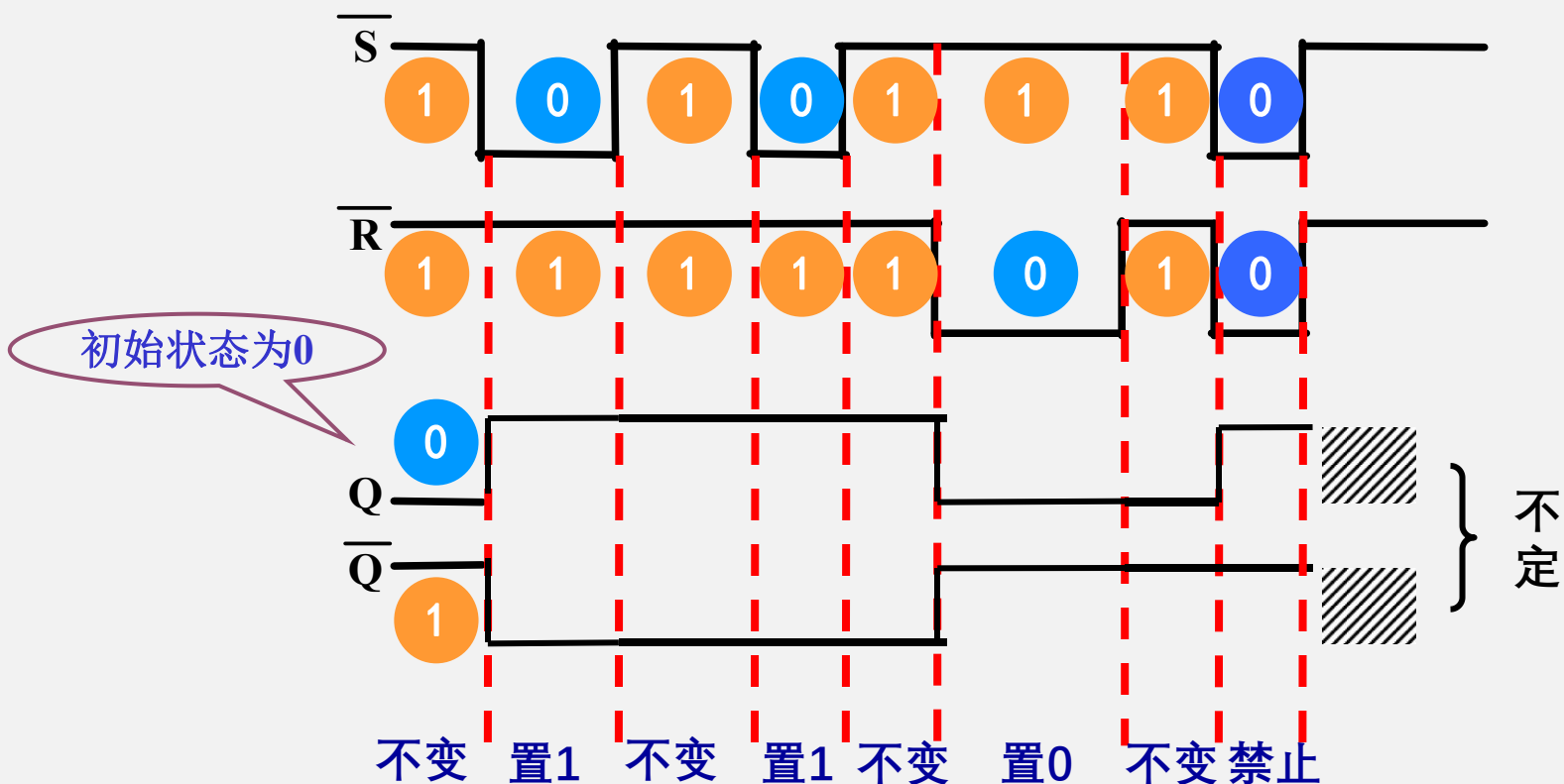
$Q^n \rightarrow Q^{n+1}$	$\overline{S_D}$	$\overline{R_D}$	说 明
0 \rightarrow 0	1	X	状态不变或清0
0 \rightarrow 1	0	1	置1
1 \rightarrow 0	1	0	置0
1 \rightarrow 1	X	1	状态不变或置1

6.2 触发器结构、触发方式

3.基本RS触发器描述方法（与非门构成）

6)波形图

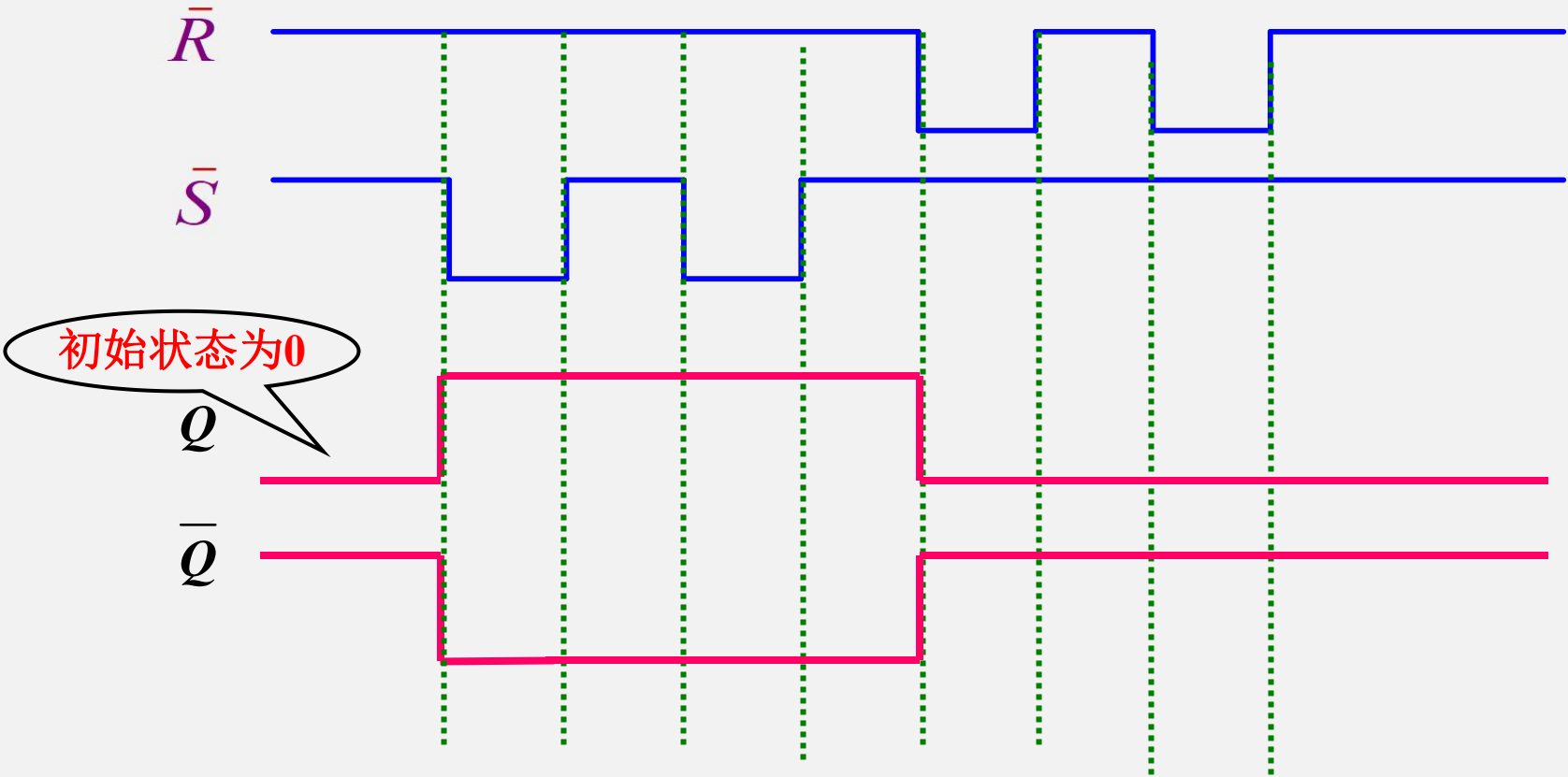
- 确定状态变化时刻(根据触发器动作特征)
- 确定新状态(根据触发器的逻辑功能)



6.2 触发器结构、触发方式

3.基本RS触发器描述方法（与非门构成）

例1 与非门组成的基本RS触发器，设初始状态为0，输入端波形图如下，画出输出端波形图。

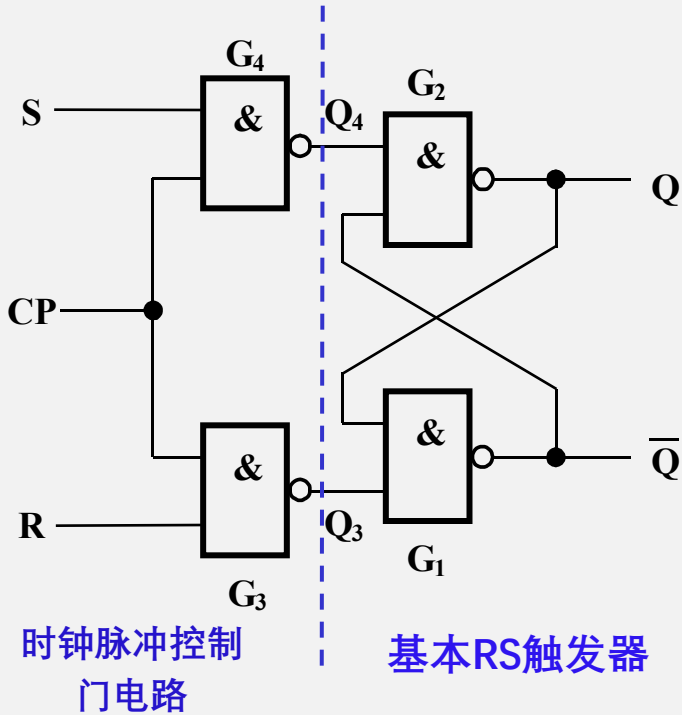
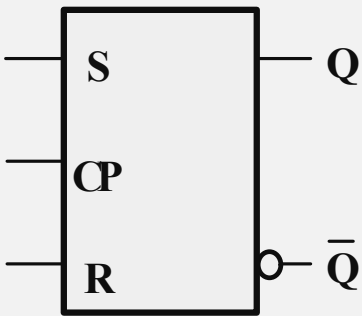


6.2 触发器结构、触发方式

4. 时钟控制的RS触发器

1) 钟控RS触发器结构与特点

(1) 电路结构



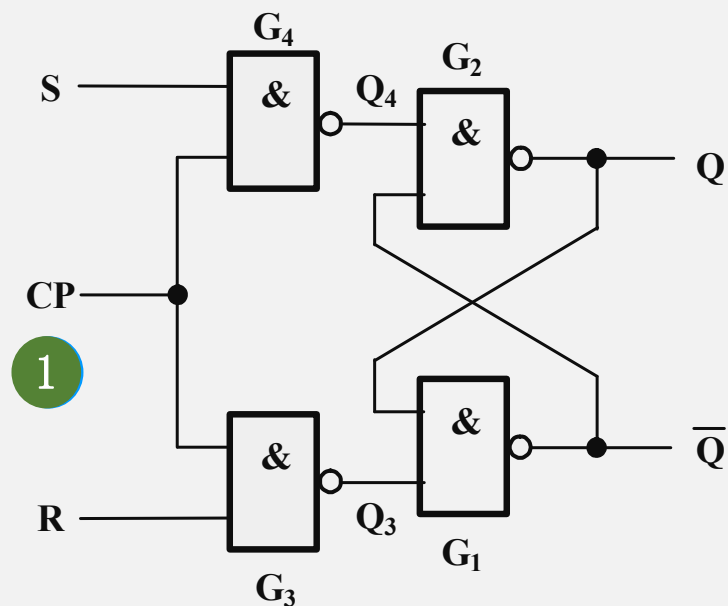
(2) 时钟脉冲控制触发器的工作特点

- 由时钟脉冲确定状态转换的时刻(即何时转换)
- 由输入信号确定触发器状态转换的方向(即如何转换)

6.2 触发器结构、触发方式

4. 时钟控制的RS触发器

2)工作原理



CP=0: 状态不变(结合基本RS触发器), $\bar{S}=1$ $\bar{R}=1$

CP=1: 状态发生变化(与基本RS触发器不同)

S=0; R=0: $Q_4=1$, $Q_3=1$: $Q^{n+1}=Q^n$

S=1; R=0: $Q_4=0$, $Q_3=1$: $Q^{n+1}=1$

S=0; R=1: $Q_4=1$, $Q_3=0$: $Q^{n+1}=0$

S=1; R=1: 禁止

6.2 触发器结构、触发方式

4. 时钟控制的RS触发器

3) 逻辑功能描述 (在CP=1)

(1) 功能表

S	R	Q^{n+1}	说 明
0	0	Q^n	状态不变
0	1	0	置0
1	0	1	置1
1	1	—	禁止状态

(4) 特征方程

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ SR = 0 \text{ (约束条件)} \end{cases}$$

$S \backslash RQ^n$				
	00	01	11	10
0	0	1	0	0
1	1	1	×	×

(2) 状态转换真值表

Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	X

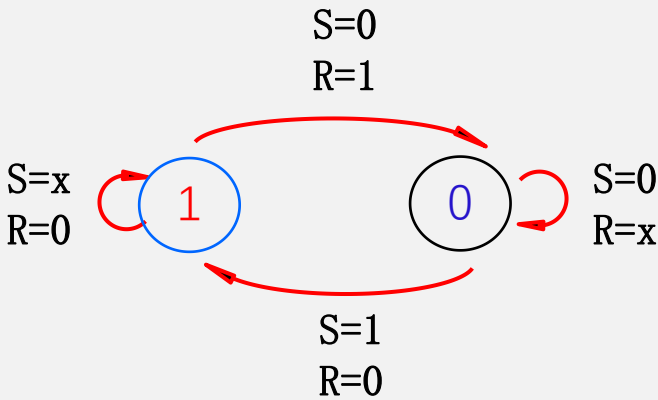
6.2 触发器结构、触发方式

4. 时钟控制的RS触发器

(5) 激励表

$Q_n \rightarrow Q_{n+1}$	S	R	说 明
$0 \rightarrow 0$	0	X	状态不变或清0
$0 \rightarrow 1$	1	0	置1
$1 \rightarrow 0$	0	1	置0
$1 \rightarrow 1$	X	0	状态不变或置1

(6) 状态转换图



时钟触发器逻辑功能：5种描述方式+波形图

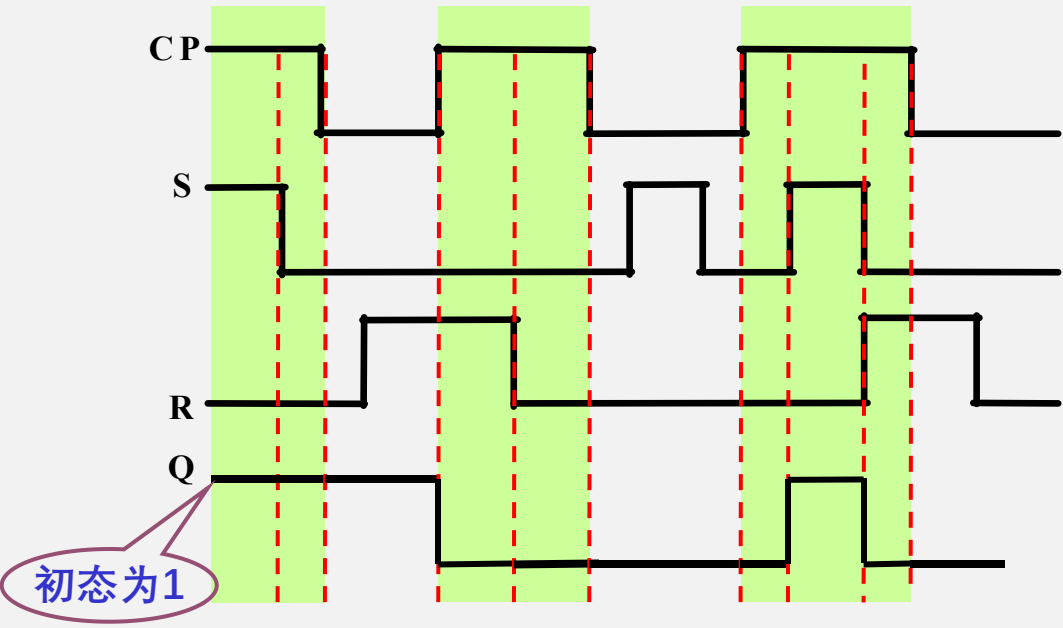
6.2 触发器结构、触发方式

4. 时钟控制的RS触发器

7) 工作波形

在CP为高电平期间的 R 、 S 信号影响触发器的状态。

在CP为低电平期间其状态不变。



同步RS触发器真值表

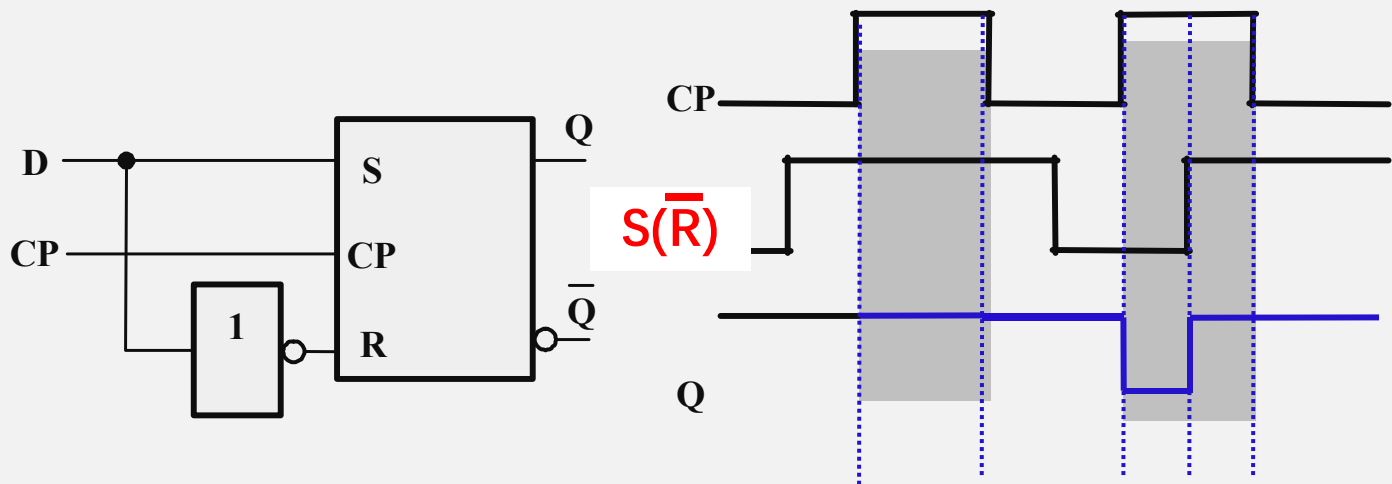
S	R	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	Φ

6.2 触发器结构、触发方式

4. 时钟控制的RS触发器

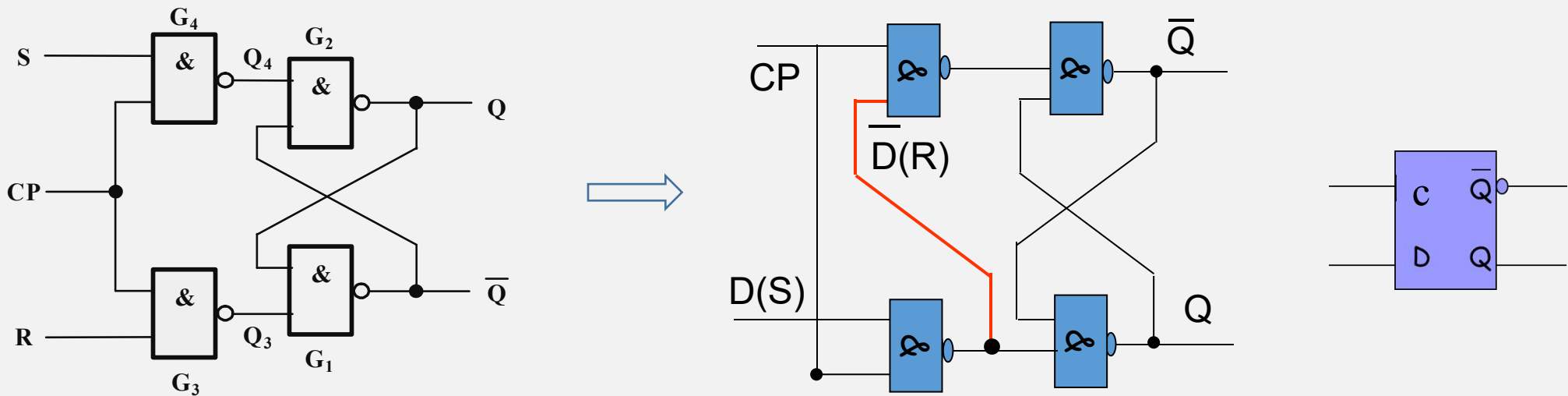
例2 钟控RS触发器及逻辑门组成如下时序电路，其输入CP、D端波形如图所示，设触发器初态为1，试画出触发器Q端的输出波形。

解：时钟RS触发器 $S=D$ ， $R=\overline{D}$ ，电路只有置0、置1两种逻辑动作。



5. 时钟控制的D触发器

1) 电路组成



2) 特征方程 (CP=1时)

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \text{ (约束条件)} \end{cases}$$

$$Q^{n+1} = D + DQ^n = D$$

6.2 触发器结构、触发方式

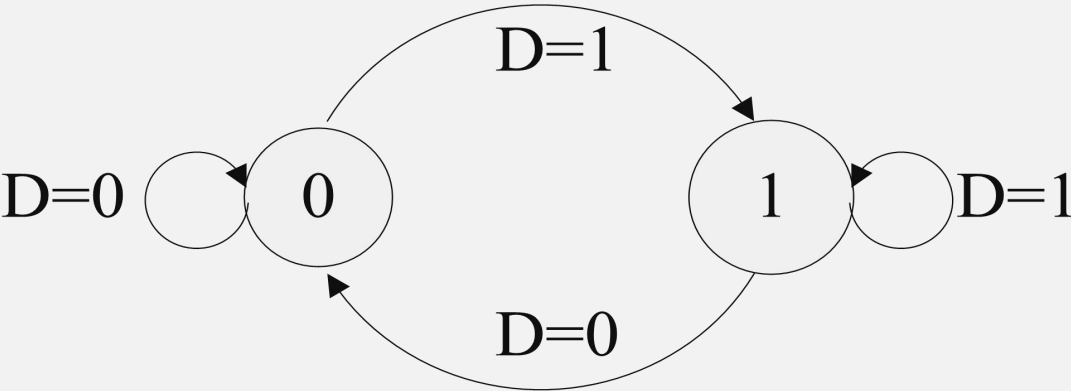
5. 时钟控制的D触发器

3) 状态转移真值表

$$Q^{n+1} = D$$

D	Q^{n+1}
0	0
1	1

4) 状态转移图



6.2 触发器结构、触发方式

5.时钟控制的D触发器

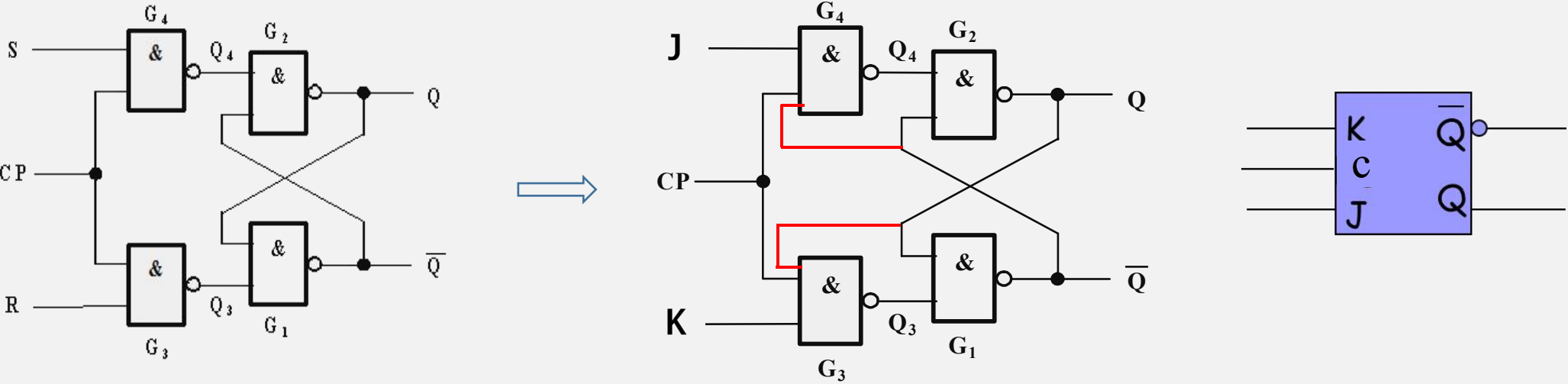
5)激励表

$Q^n \rightarrow Q^{n+1}$		D
0	0	0
0	1	1
1	0	0
1	1	1

6.2 触发器结构、触发方式

5.时钟控制的JK触发器

1)电路组成 将时钟控制RS触发器输出交叉反馈到两个输入端



2)特征方程($CP = 1$) 将 $S = J\bar{Q}^n$ $R = KQ^n$ 代入到时钟控制的RS触发器状态方程:

$$Q^{n+1} = S + \bar{R}Q^n \quad \Longrightarrow \quad Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

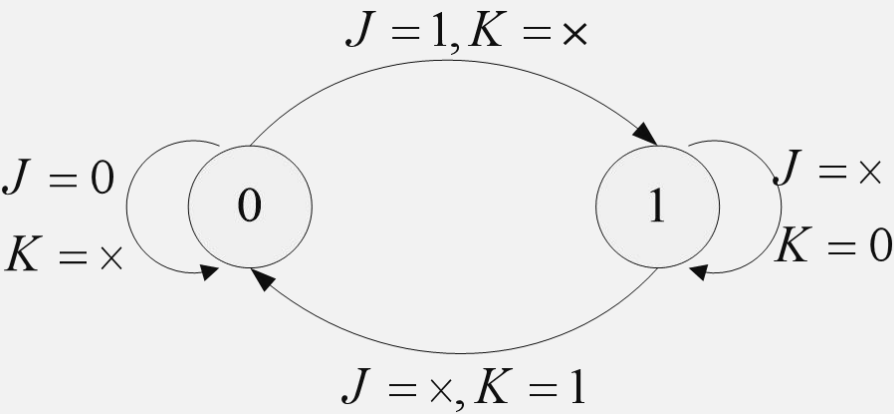
6.2 触发器结构、触发方式

6.时钟控制的JK触发器

3)状态转移真值表

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

4)状态转移图!



5)激励表

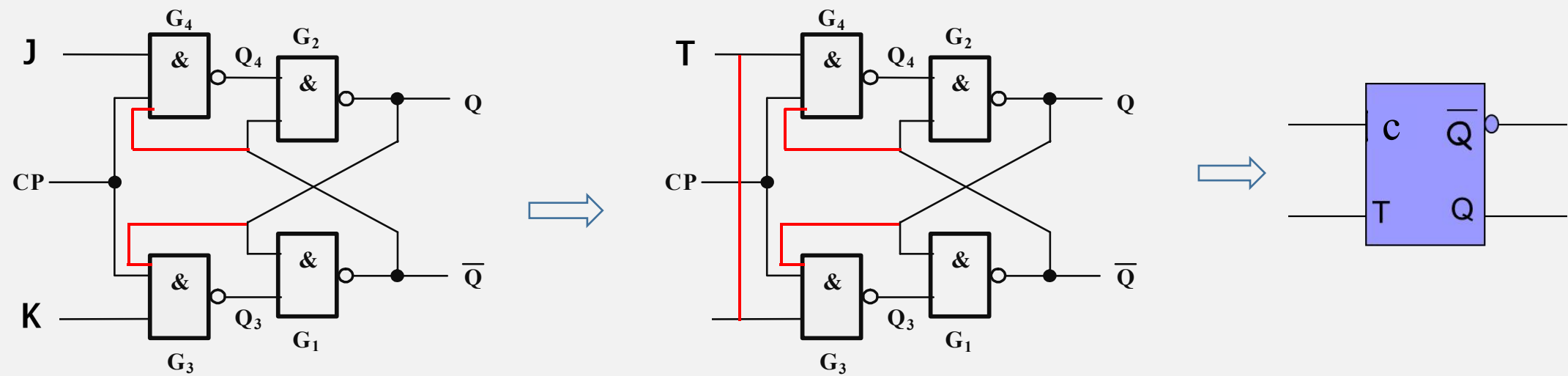
$Q^n \rightarrow Q^{n+1}$	J	K
0 → 0	0	x
0 → 1	1	x
1 → 0	x	1
1 → 1	x	0

6.2 触发器结构、触发方式

7. 时钟控制的T触发器

1) 电路组成

J、K触发器的输入端连接在一起



6.2 触发器结构、触发方式

7.时钟控制的T触发器

2)特征方程

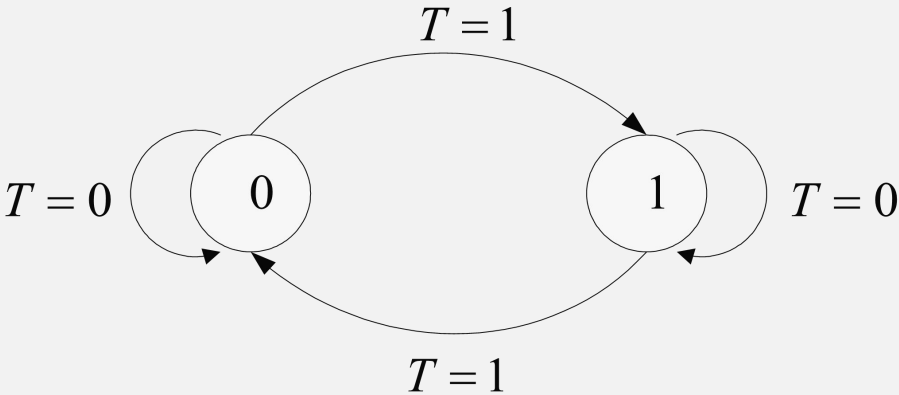
$$Q^{n+1} = T \overline{Q}^n + \overline{T} Q^n$$

3)状态转移真值表

T	Q^{n+1}
0	Q^n
1	\overline{Q}^n

7.时钟控制的T触发器

4)状态转移图



5)激励表

$Q^n \rightarrow$	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

6.2 触发器结构、触发方式

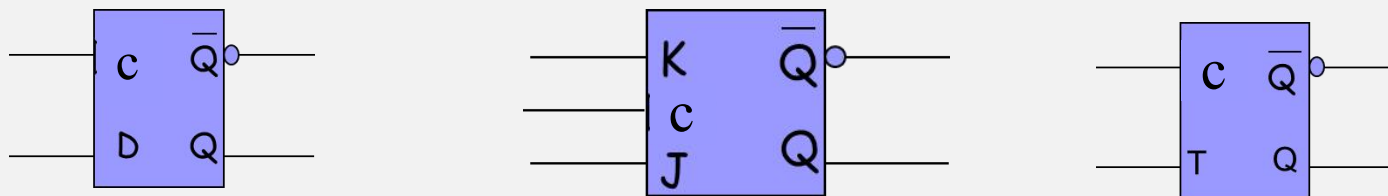
8. 触发器小结

前述 RS 、 JK 、 T、 D 型触发器各有何应用特点？(应用领域)

6.2 触发器结构、触发方式

9. 触发器的触发方式

1) 电位触发方式的工作特性

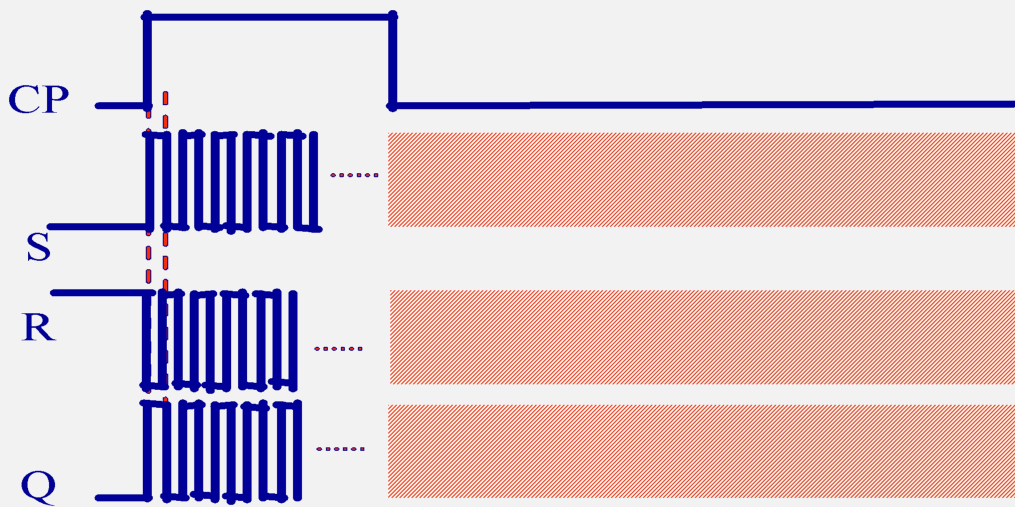
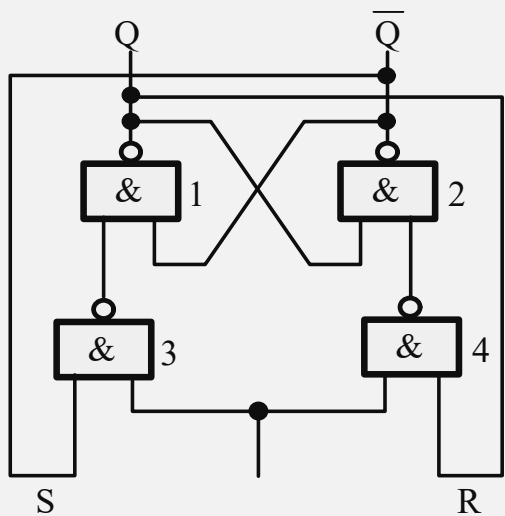


- 在约定钟控信号电平(如 $CP=1$ 或 $CP=0$)期间内，输入激励信号的变化都会引起触发器状态的改变；在约定钟控信号电平期间外，无论输入激励信号如何变化，触发器状态保持不变。

6.2 触发器结构、触发方式

9. 触发器的触发方式

2) 钟控RS触发器存在的空翻现象



钟控RS触发器在CP的有效电平期间，R、S如果发生多次变化，触发器的状态也随着变化多次。对信号的敏感时间长，抗干扰能力差。

9.触发器的触发方式

3)空翻的原因

解决办法?

■ “空翻” 原因

- 在时钟脉冲作用期间，输入信号直接控制着触发器状态的变化
 - ◆ CP为1时，输入信号发生变化，触发器状态会跟着变化
- 时钟宽度控制不够精准
 - ◆ CP为1时间过长，输入的多次变化得到完全响应，使得一个时钟脉冲作用期间触发器多次翻转

■ “空翻” 的后果

将造成状态的不确定和系统工作的混乱。



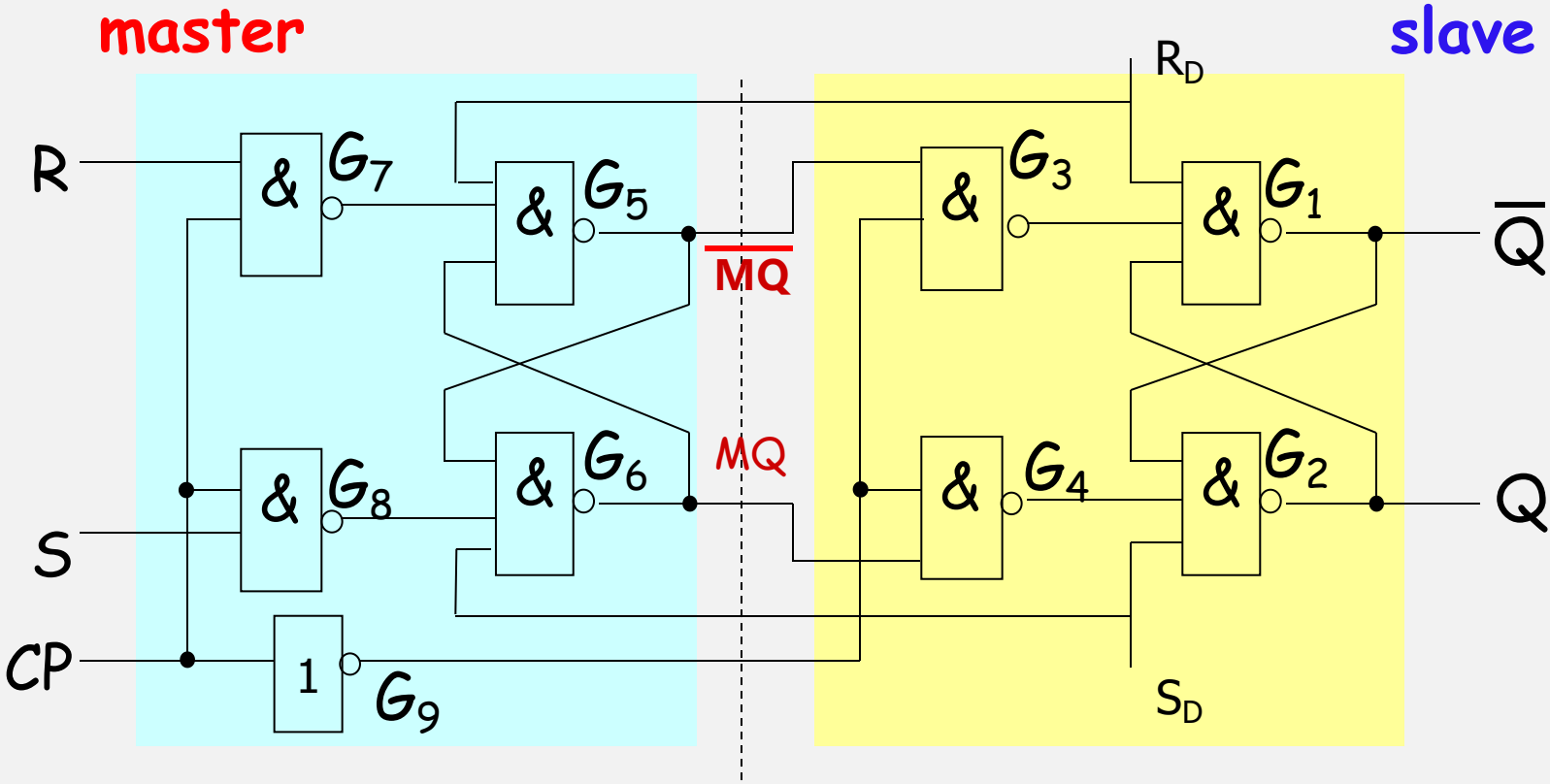
6.3 主从结构触发器

主从触发器基本原理

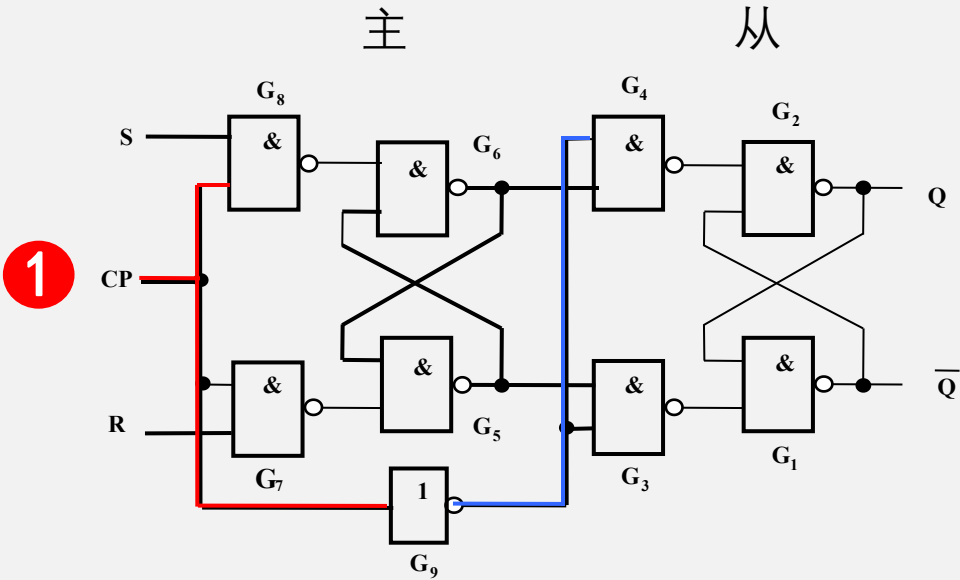
- 引入主从结构的目的是: 避免触发器的空翻
- 主从结构如何实现
- 主从结构如何避免触发器的空翻。

6.3 主从结构触发器

1.主从触发器的一般结构



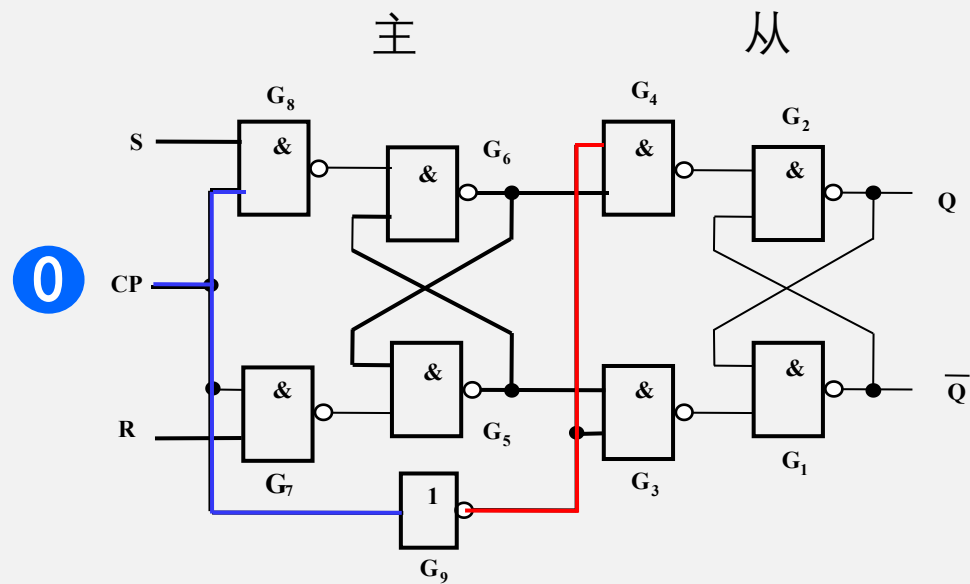
2.主从触发器的工作机制



主工作，重不工作

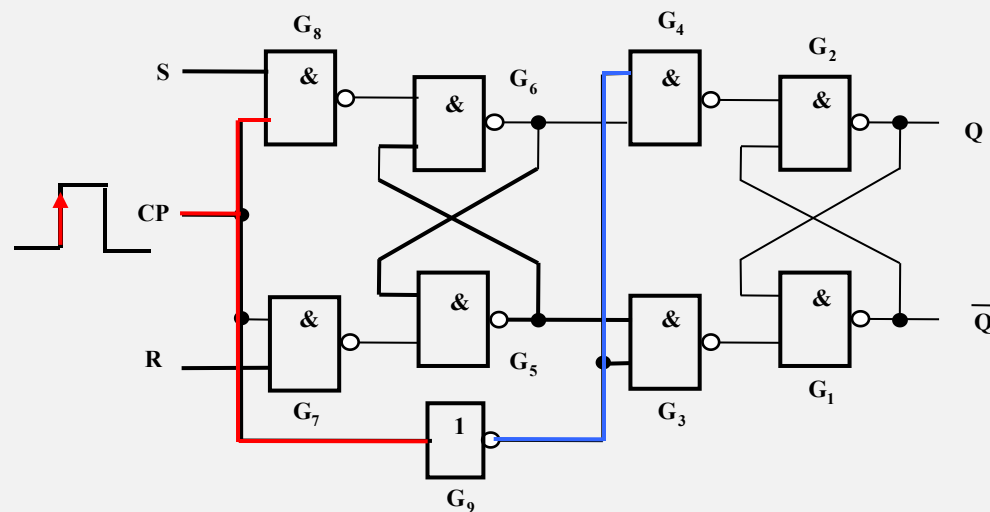
6.3 主从结构触发器

2.主从触发器的工作机制



主不工作，重工作

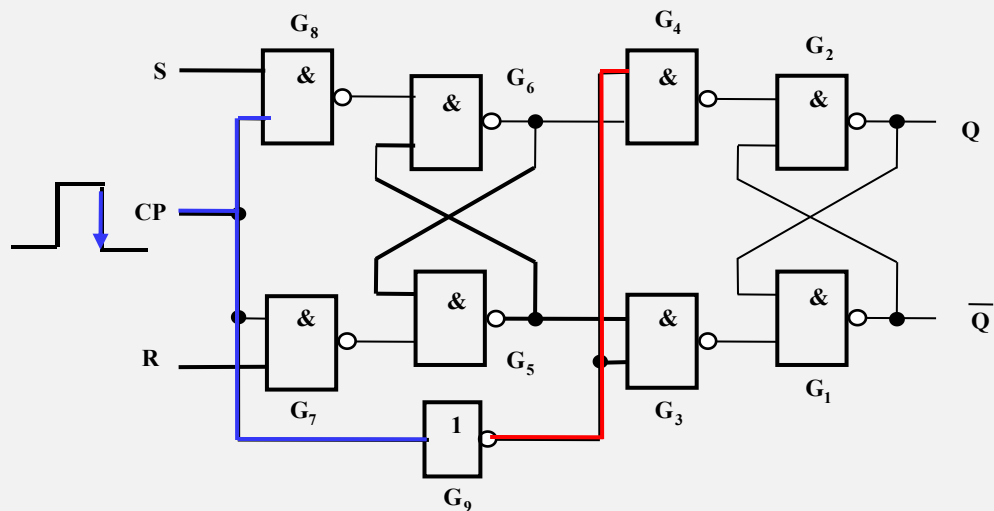
2.主从触发器的工作机制



“前沿采样，后沿定局”

- 时钟脉冲上升沿开始,主触发器按其功能正常工作，从触发器被封锁

2.主从触发器的工作机制

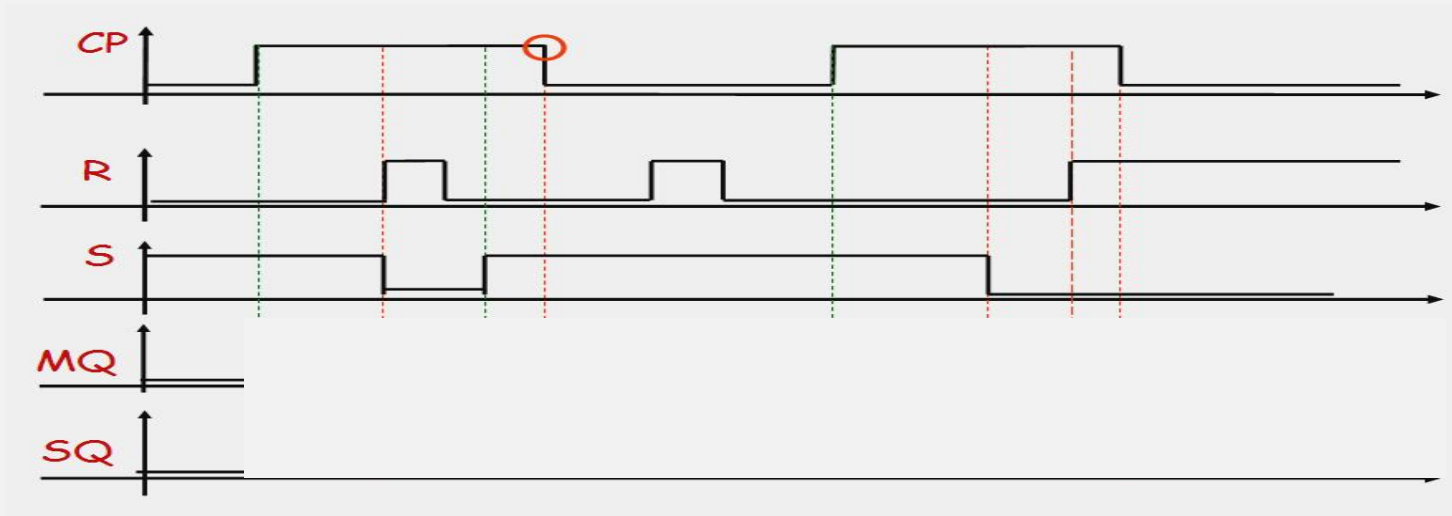
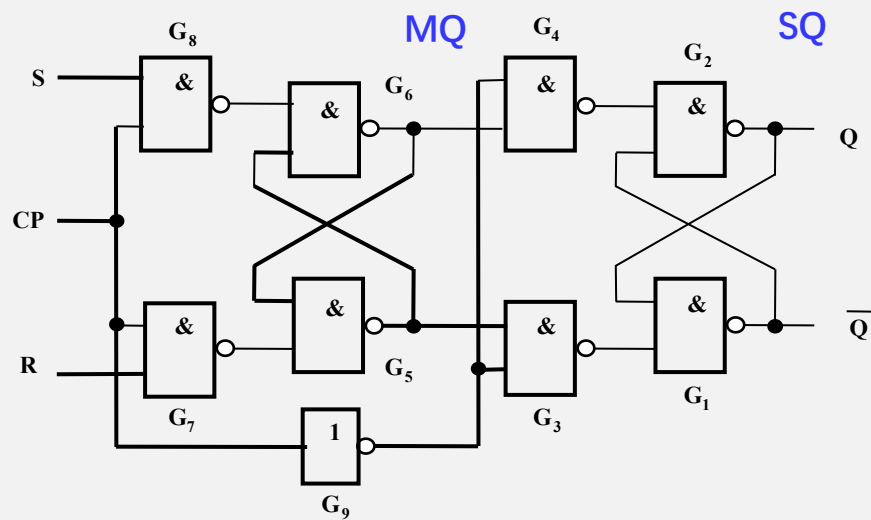


“前沿采样，后沿定局”

- 时钟脉冲上升沿开始,主触发器按其功能正常工作，从触发器被封锁
- 时钟脉冲下降沿开始,主触发器被锁定，其输出影响从触发器状态改变

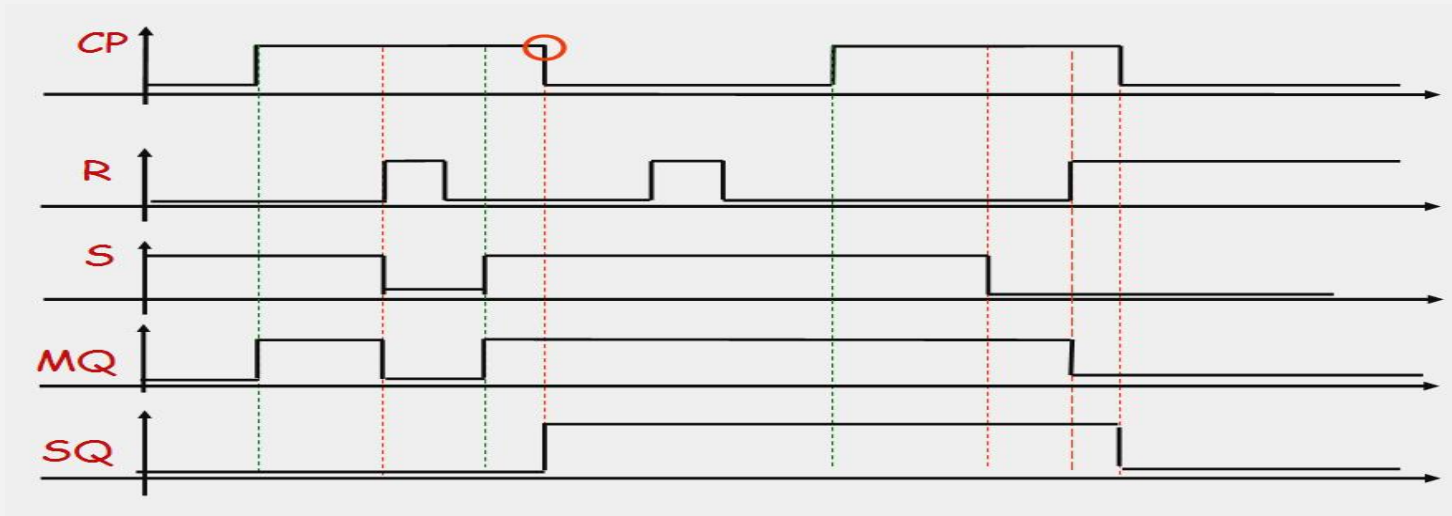
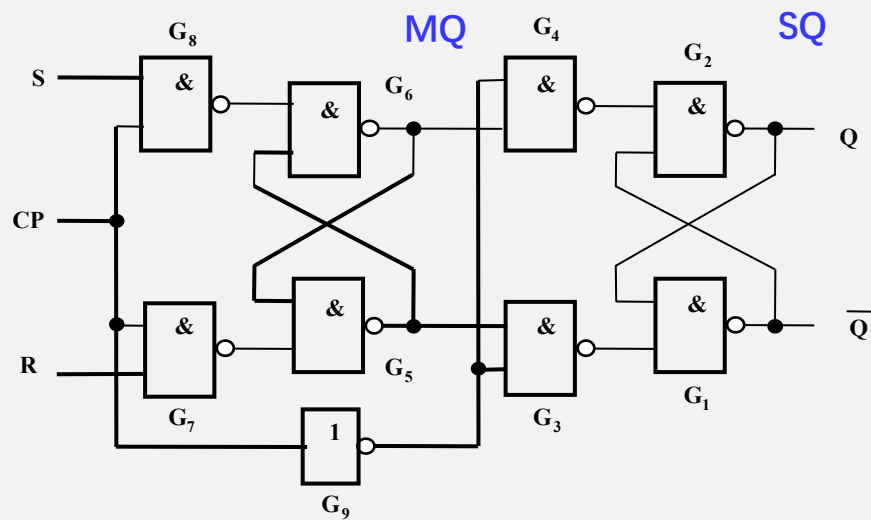
6.3 主从结构触发器

3.主从RS触发器

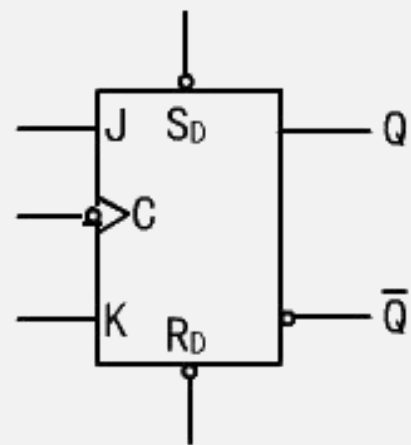


6.3 主从结构触发器

3.主从RS触发器



4.主从JK触发器



R_D:直接置0，低电平有效(异步)

S_D:直接置1, 低电平有效(异步)

4.主从JK触发器

在CP=1期间，主锁存器接收数据。以下分情况讨论。

1) 当输出 $Q_n=0$ 时， $S=J$ ， $R=0$ (K 被封锁)。

a) 若 $S=J=0$ ，则 Q' 维持；

b) 若 $S=J=1$ ，则 Q' 置1。

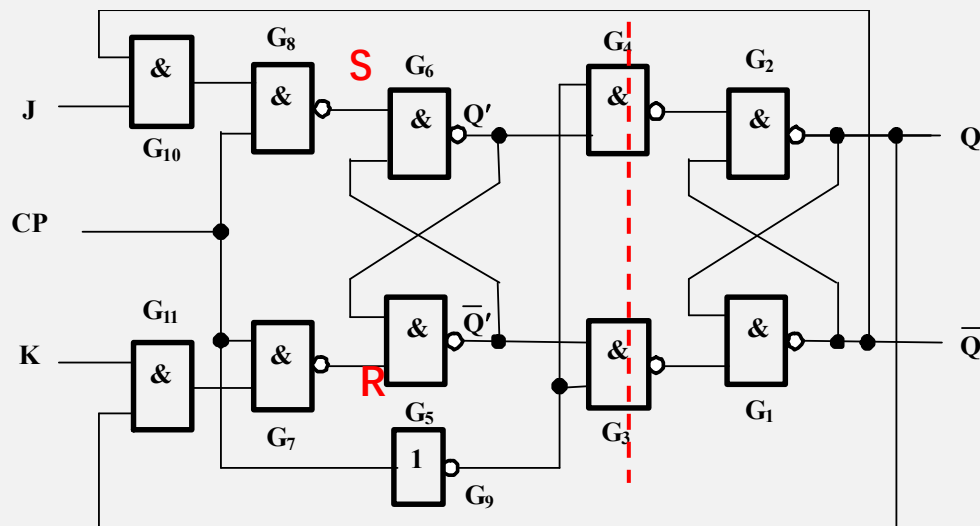
结论：CP=1期间，无论J和K如何变化， Q' 要么一直维持为1，要么由0翻转为1后一直维持为1。

2) 当输出 $Q=1$ 时， $S=0$ (J被封锁)， $R=K$ 。

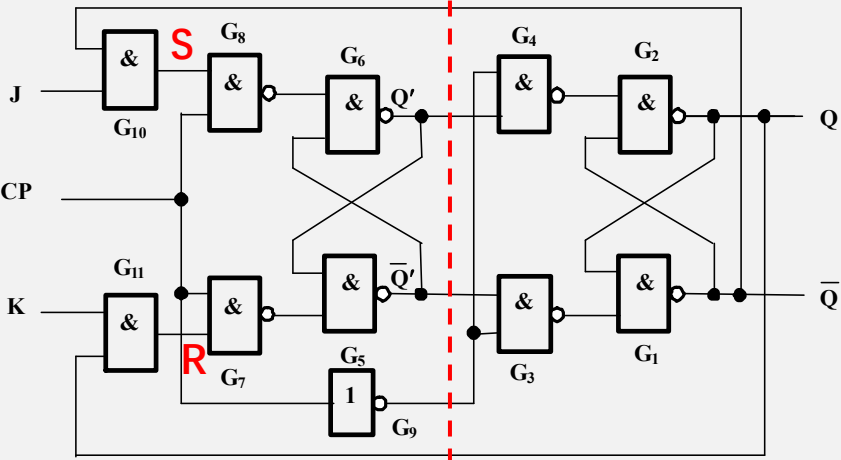
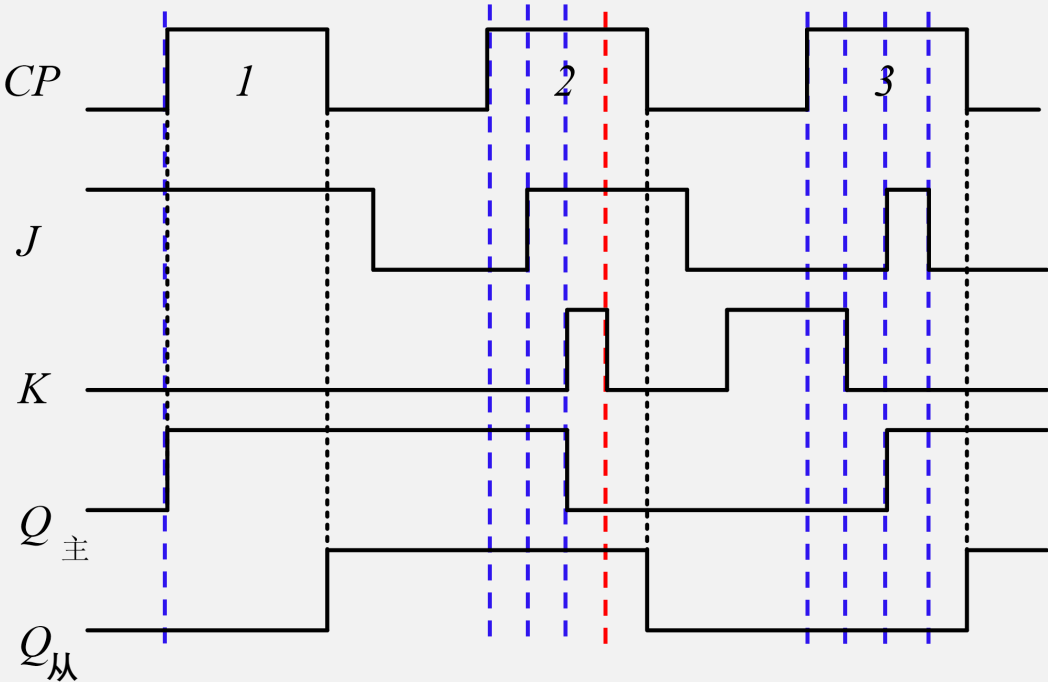
a) 若 $R=K=0$ ，则 $R=S=0$ ， Q' 维持；

b) 若 $R=K=1$ ，则 $R=1, S=0$ ， Q' 置0。

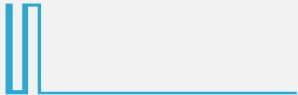
结论：CP=1期间，无论J和K如何变化， Q' 要么一直维持为0，要么由1翻转为0后一直维持为0。



4.主从JK触发器



主从JK触发器主触发器的一次翻转
(即在CP=1期间，主触发器的状态只改变一次)



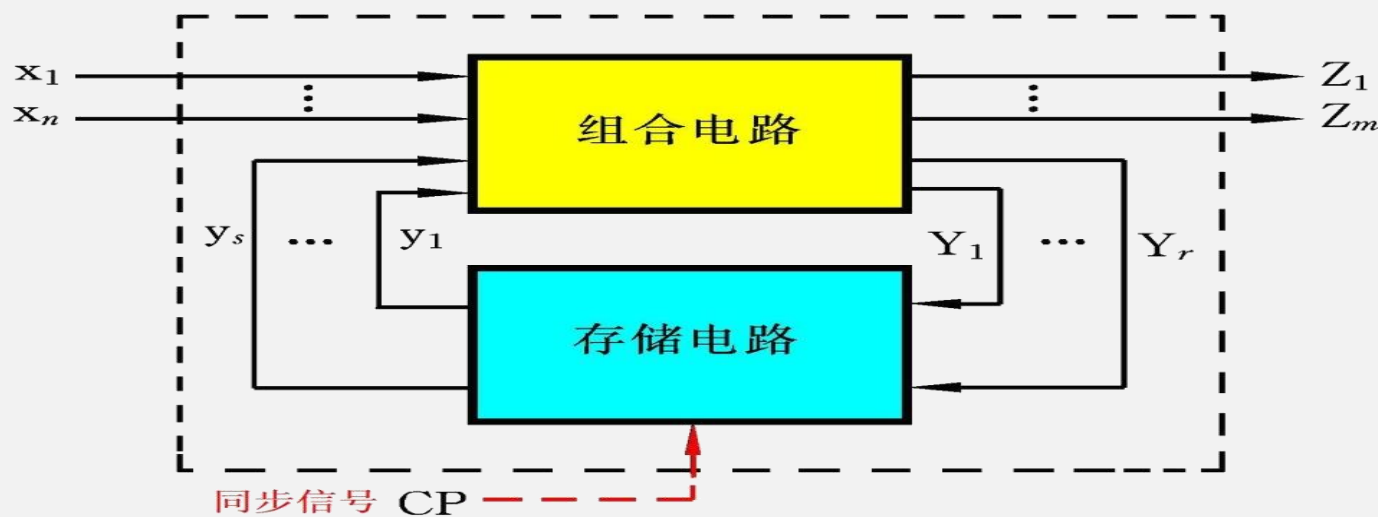
触发器

- ◆能复述常见触发器的功能表、状态转移真值表、次态卡诺图、状态转移图、激励表并实现相互转换。
- ◆能区分JK、D、T触发器的功能特征并灵活使用！
- ◆能画出包含寄存器的电路波形画法！（找变化点）

6.4 时序电路的类型

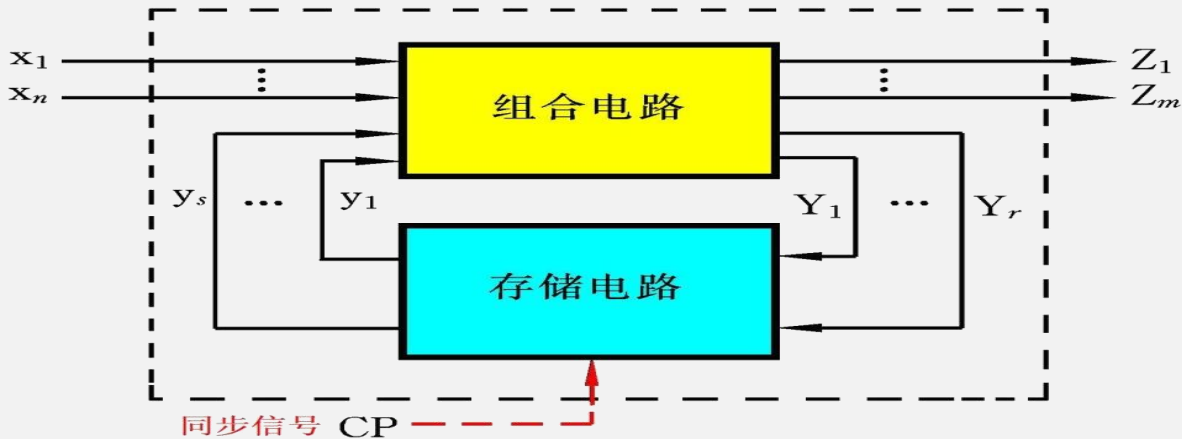
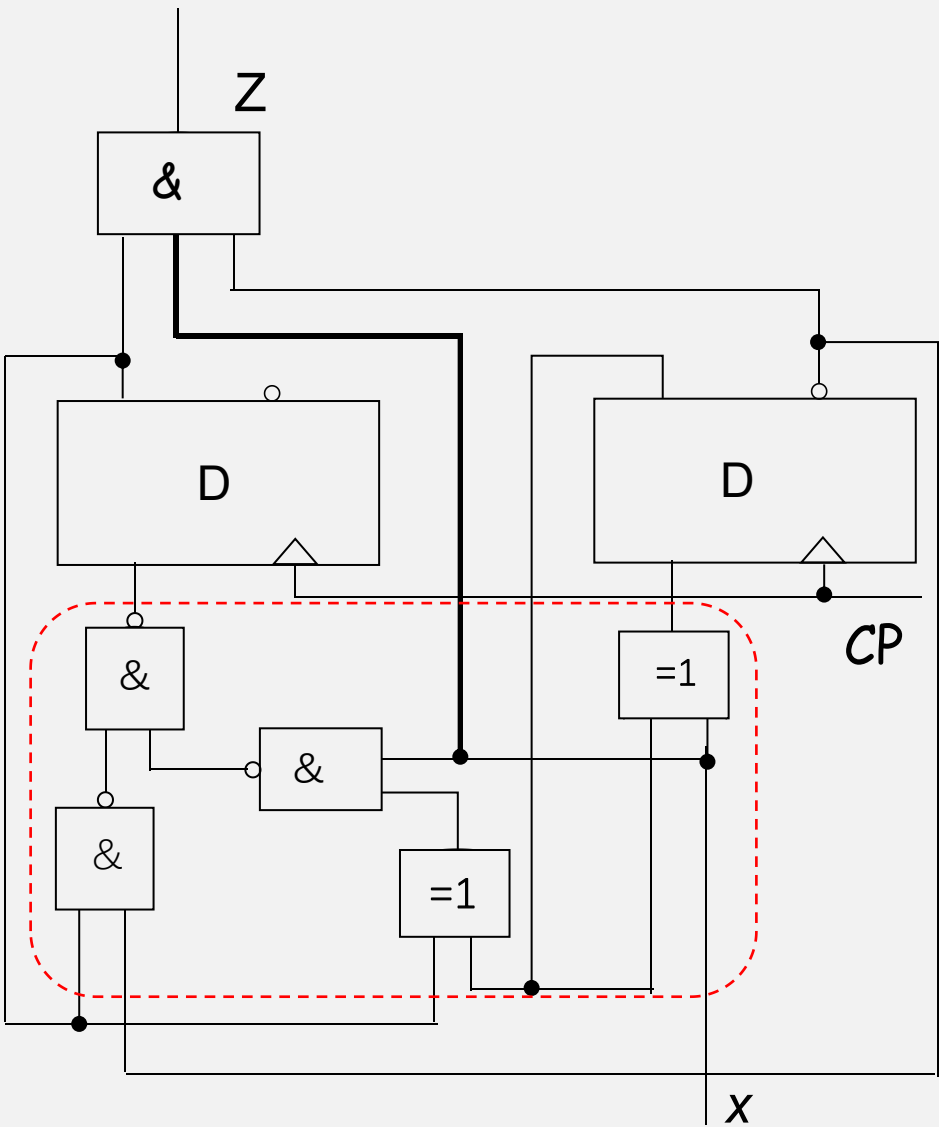
按照同步时序电路的输出特征，时序电路可分为两种类型。

1.Mealy型电路



若时序逻辑电路的**外输出**是电路**外输入**和**电路状态**的函数，则称为Mealy型时序电路

6.4 时序电路的类型

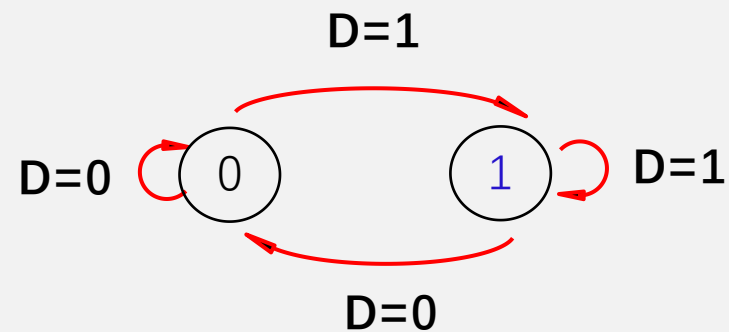
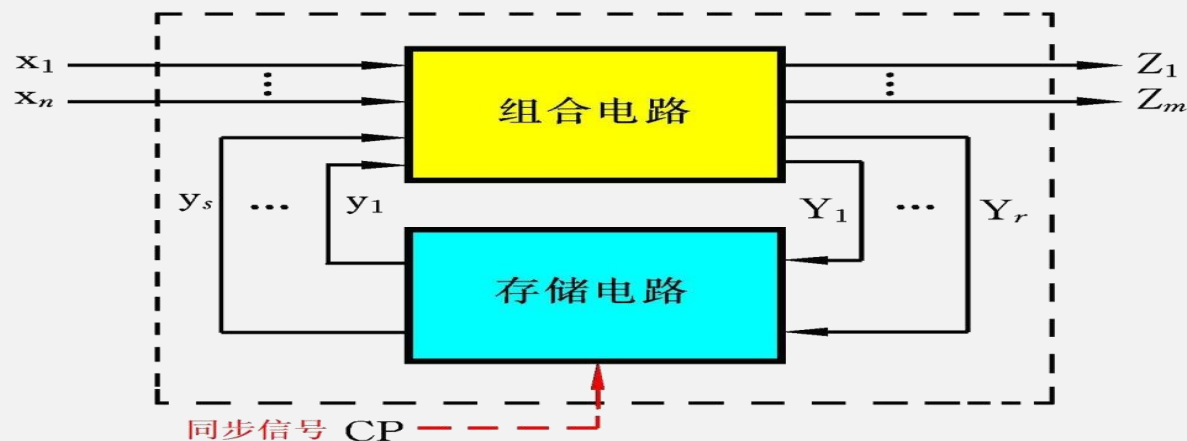
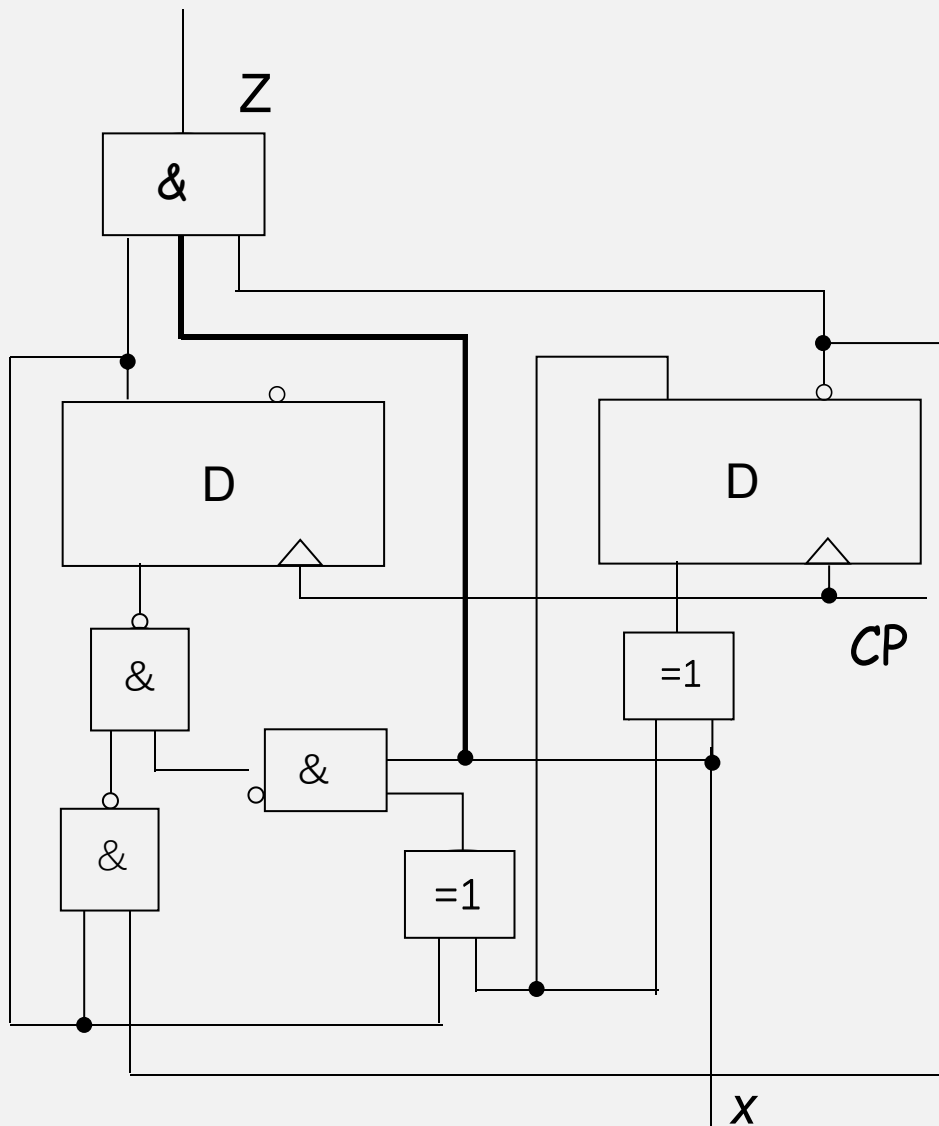


组合逻辑： ? 内输入： ?
存储逻辑： ? 内输出： ?
外输入： ?
外输出： ?

图中所示电路属于组合逻辑还是存储逻辑： ?

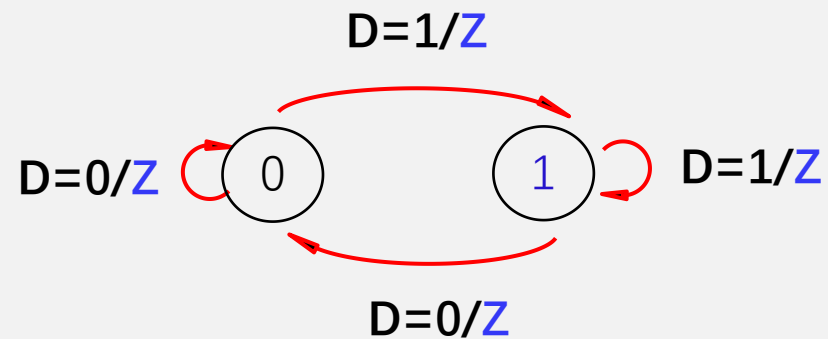
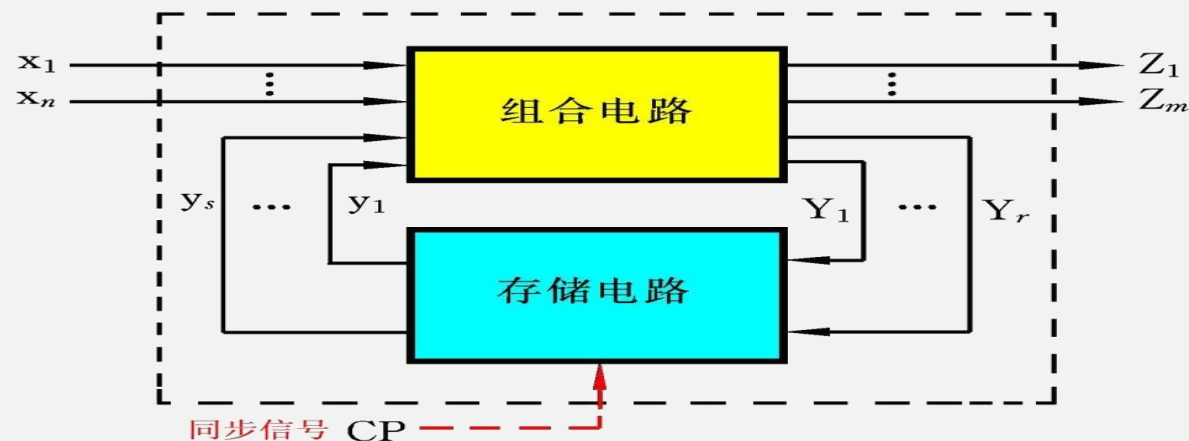
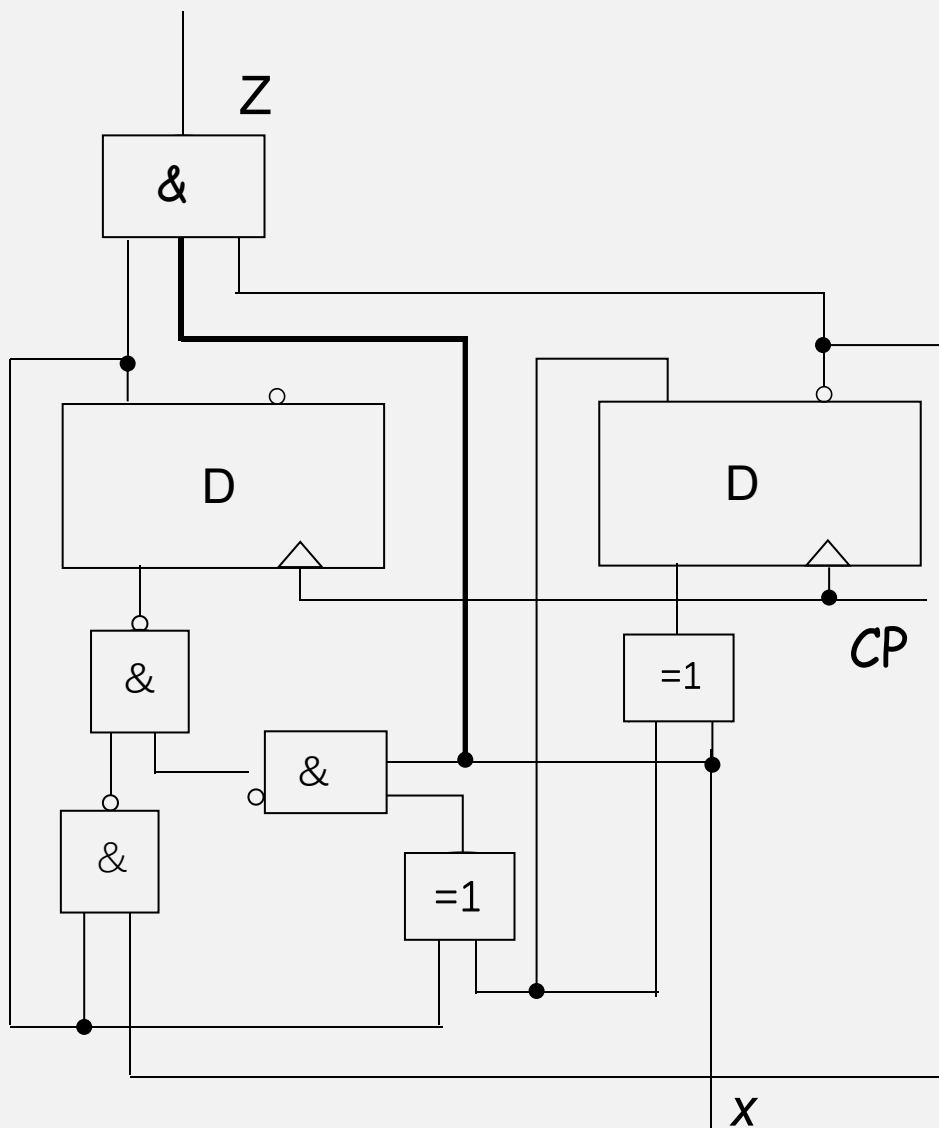
图中所示电路作用： 激励电路

6.4 时序电路的类型



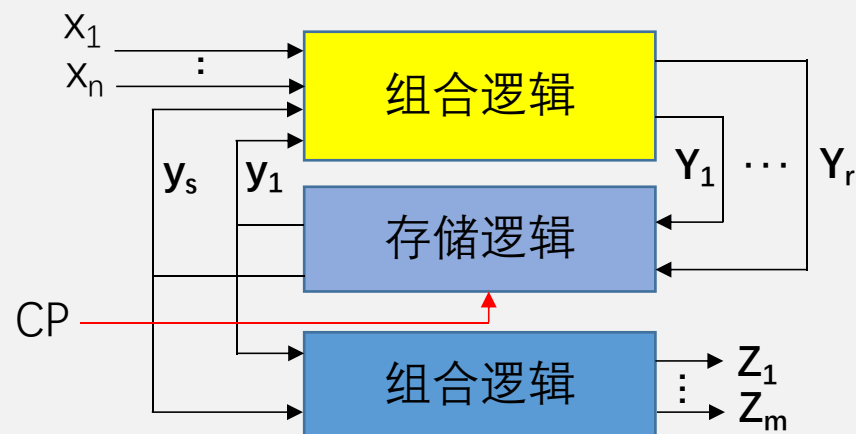
该电路状态转移图中，外输出应处的位置：？

6.4 时序电路的类型



6.4 时序电路的类型

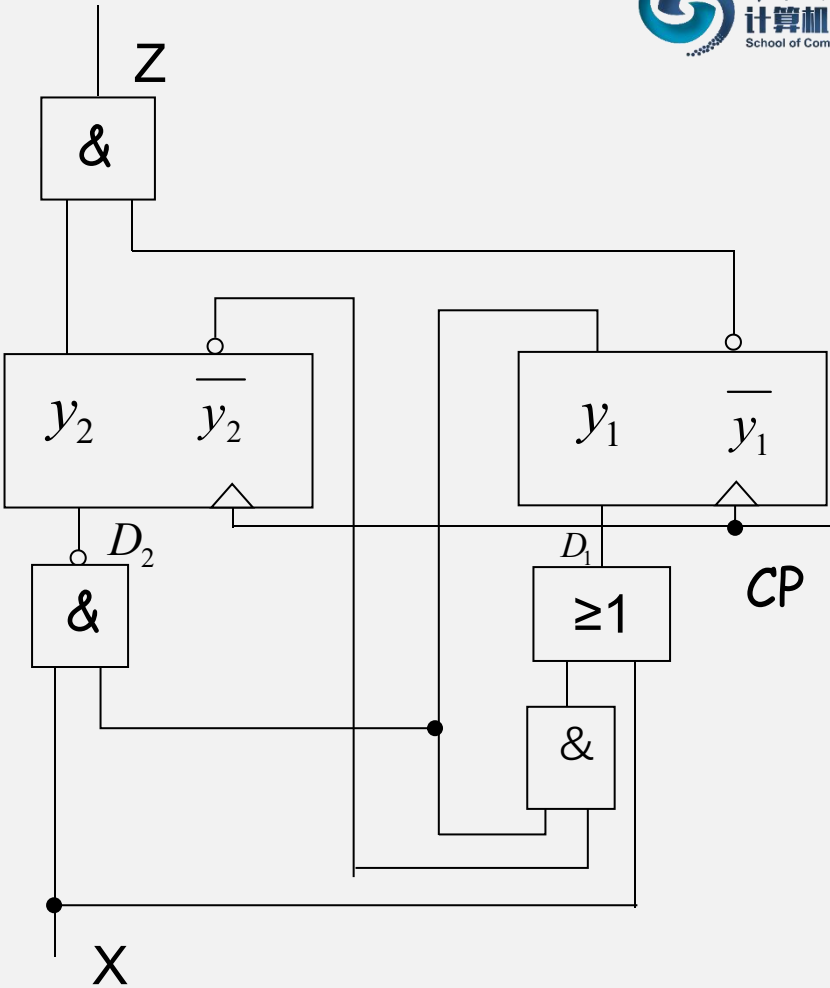
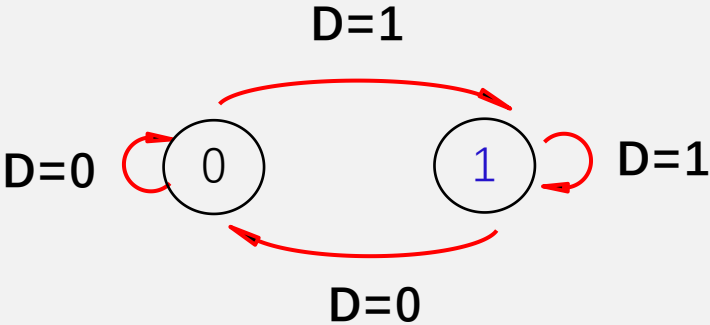
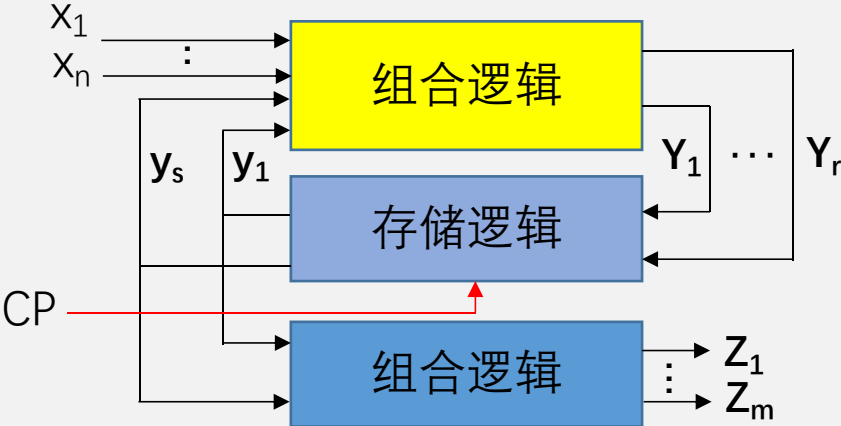
2. Moore 型电路



若时序逻辑电路的**外输出**仅仅是电路**电路状态**的函数，则称为Moore型时序电路

6.4 时序电路的类型

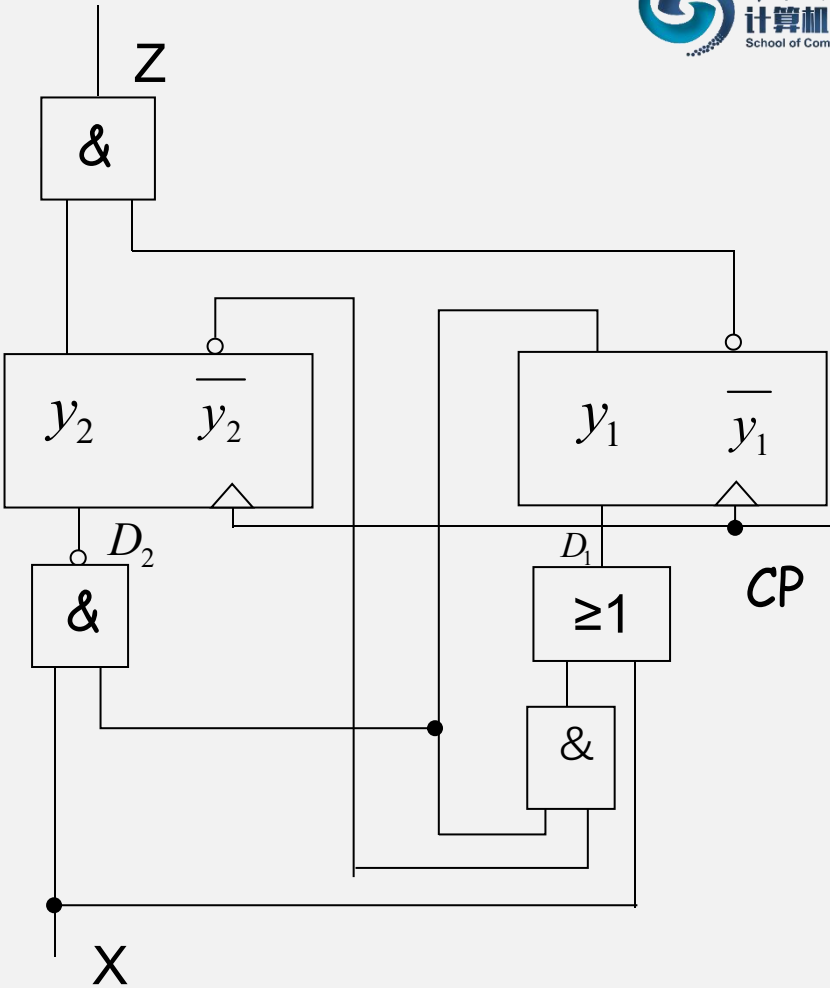
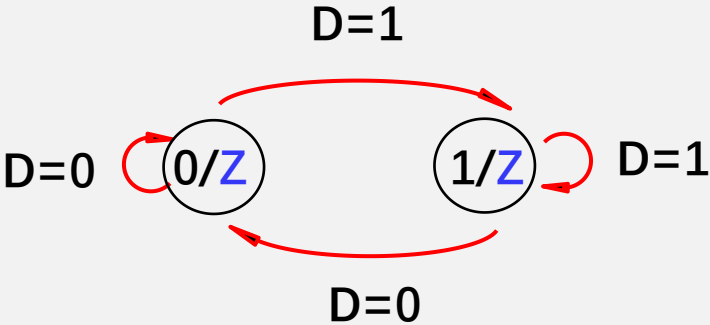
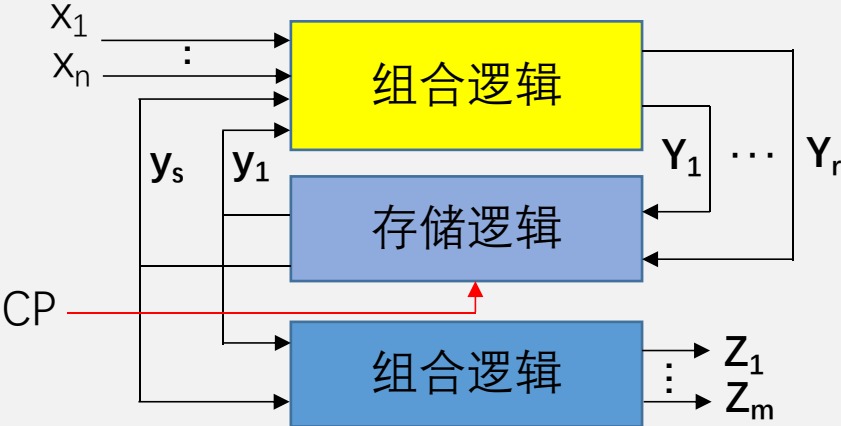
2. Moore 型电路

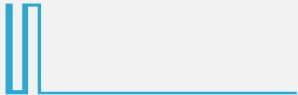


该电路状态转移图中,外输出应处的位置: ?

6.4 时序电路的类型

2. Moore 型电路





第一部分完