



# 第九章 中央处理器(三)

秦磊华 计算机学院

## 9.5 硬布线控制器设计

CONTENT

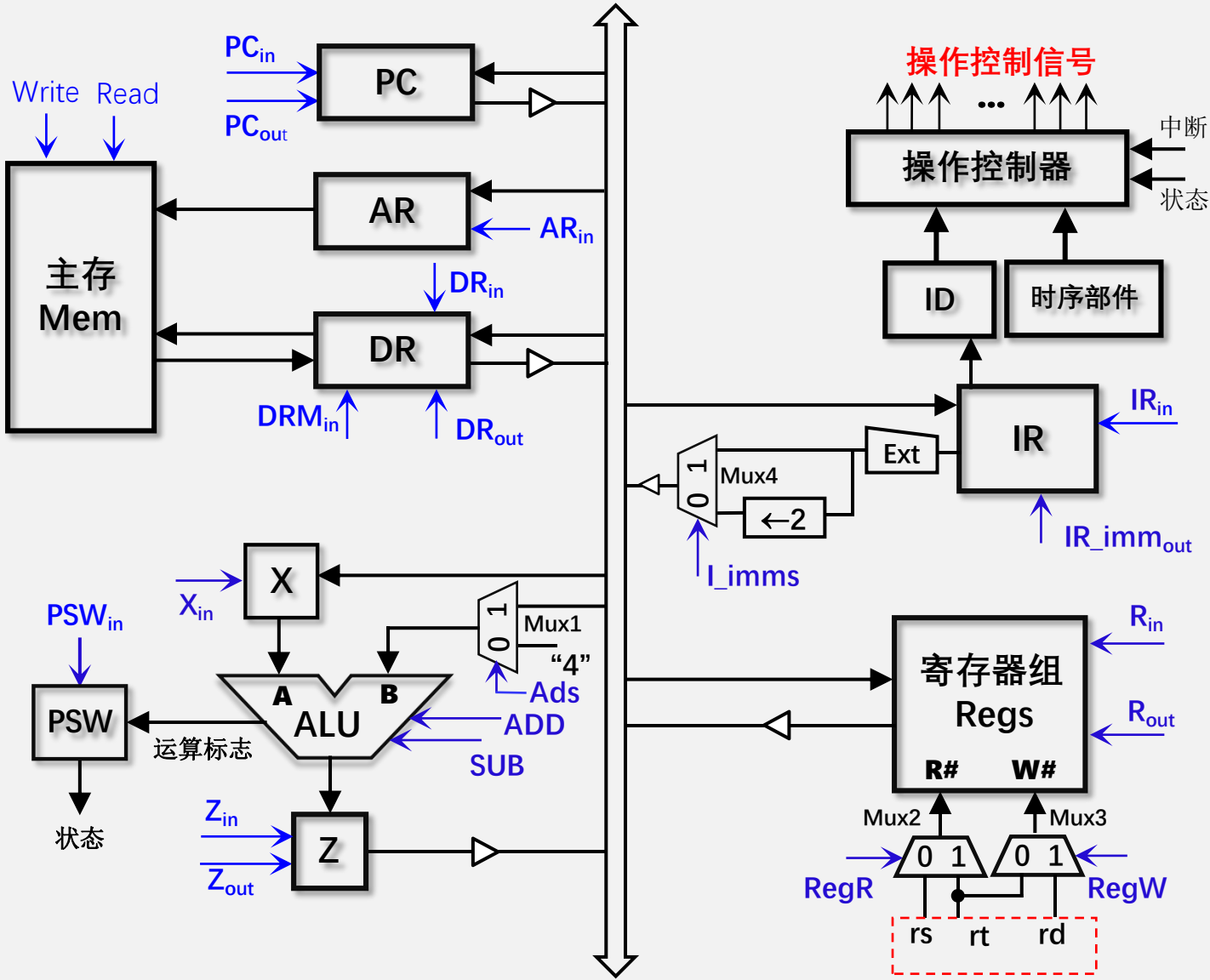
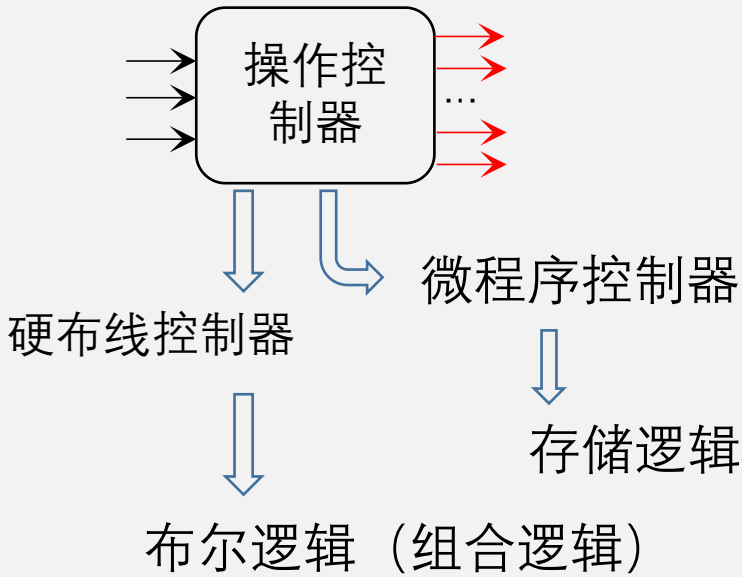




# 9.5 硬布线控制器设计

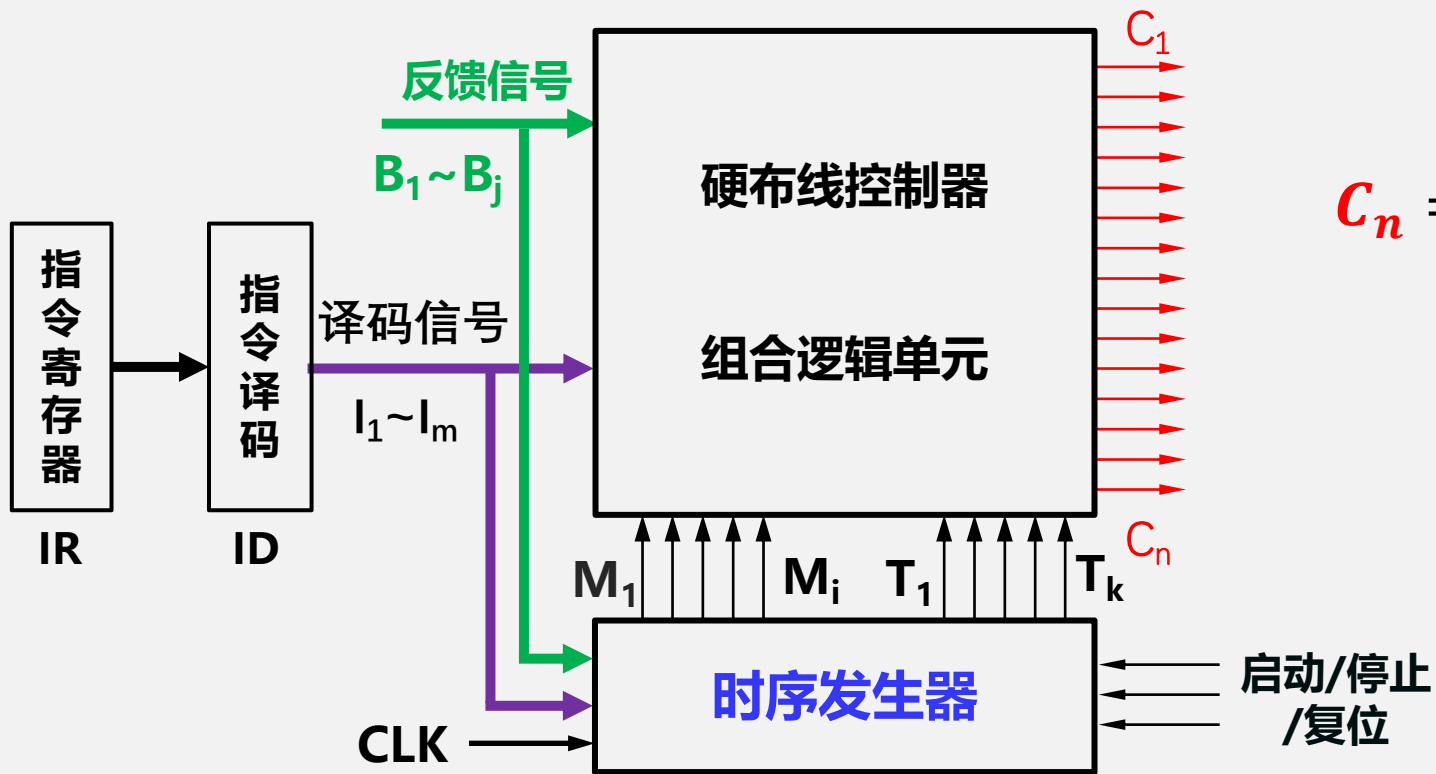
## 1. 控制器设计任务

设计功能部件，产生指令执行过程中所需要的控制信号



## 9.5 硬布线控制器设计

### 2. 传统时序硬布线控制器设计



$$C_n = \sum_{m,i,k,j} (I_m \cdot M_i \cdot T_k \cdot B_j)$$

时序产生器循环产生周期电位、节拍电位，供控制器对信号进行时间调制

### 2. 传统时序硬布线控制器设计

#### 1) 三级时序硬布线控制器设计步骤

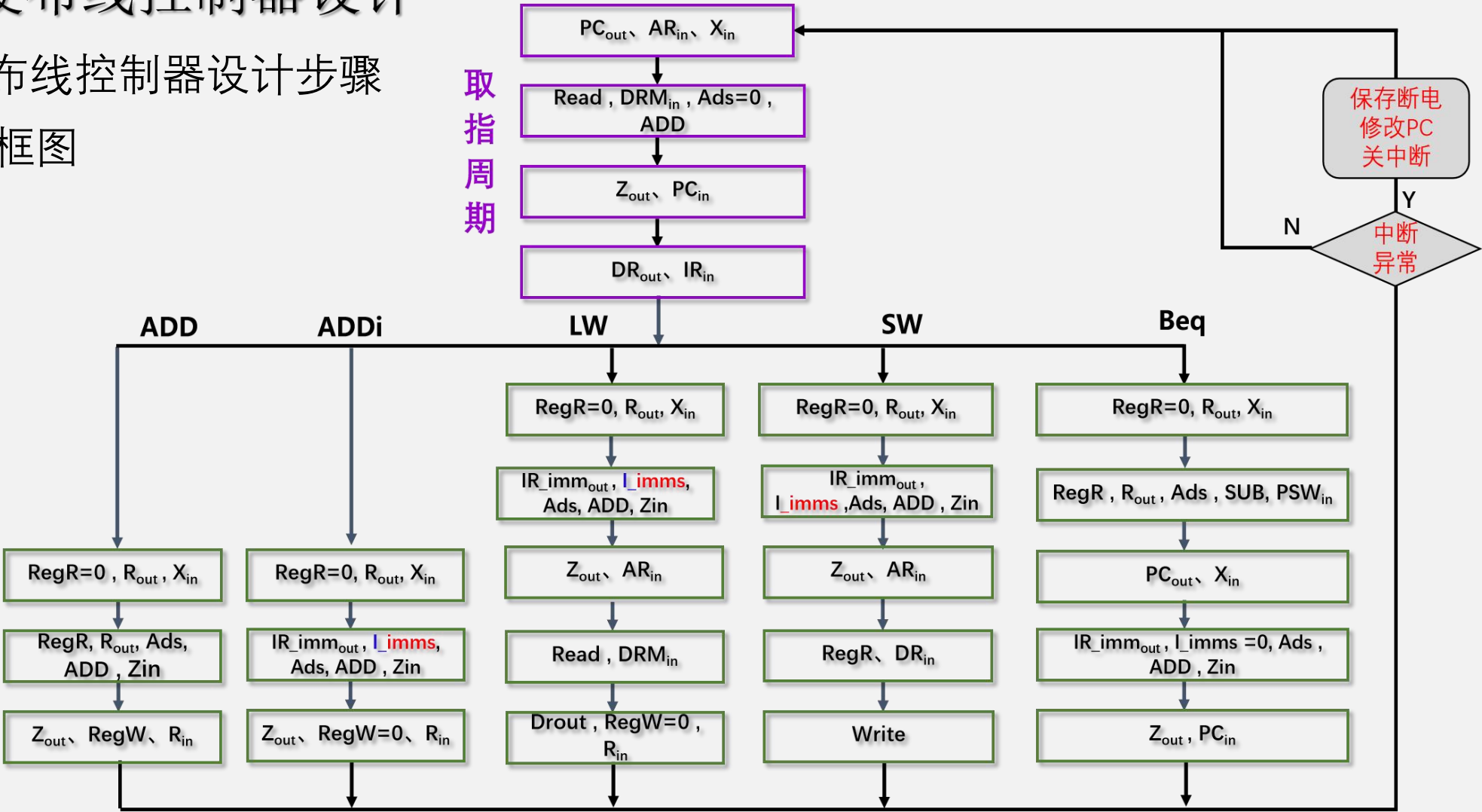
- (1) 分析数据通路，画指令周期流程图，明确各节拍控制信号
- (2) 设计时序发生器：根据机器周期、节拍划分构建时序状态图，设计时序电路
- (3) 找出同一微操作控制信号产生条件
- (4) 写出各微操作控制信号的逻辑表达式
- (5) 对相关信号进行归并处理(可选项，根据需要执行)
- (6) 利用组合逻辑电路实现控制信号

# 9.5 硬布线控制器设计

## 2. 传统时序硬布线控制器设计

### 1) 三级时序硬布线控制器设计步骤

#### (1) 指令周期方框图

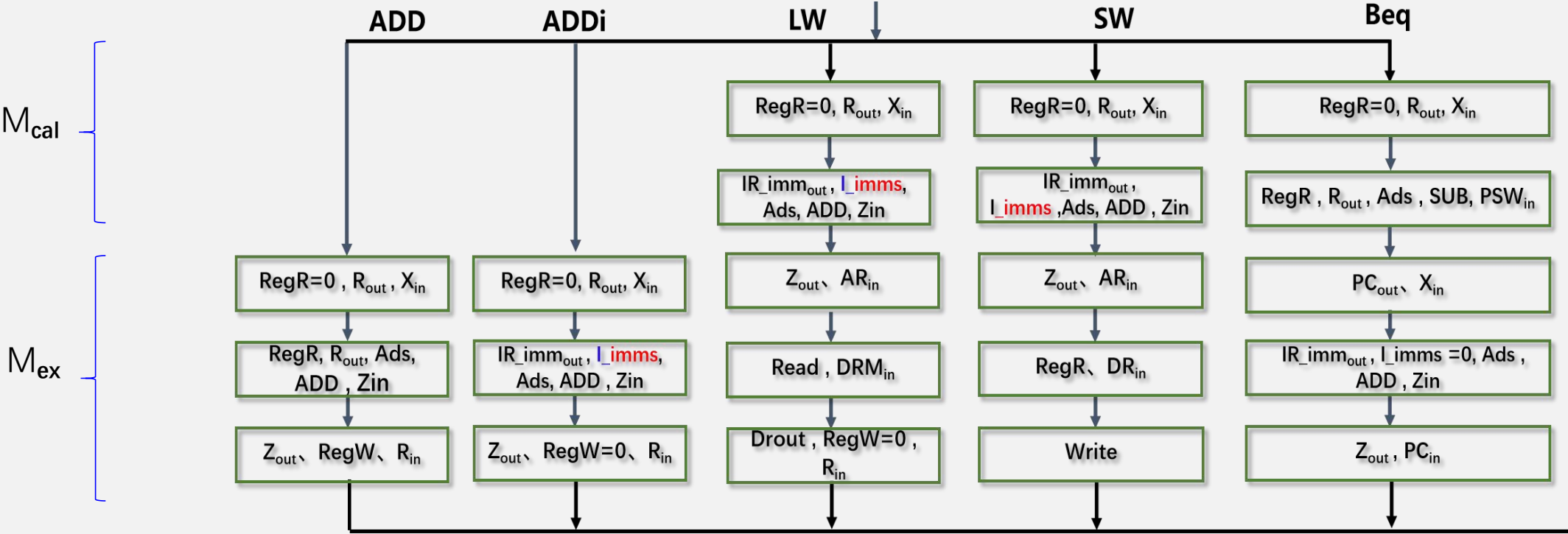


# 9.5 硬布线控制器设计

## 2. 传统时序硬布线控制器设计

### 1) 三级时序硬布线控制器设计步骤

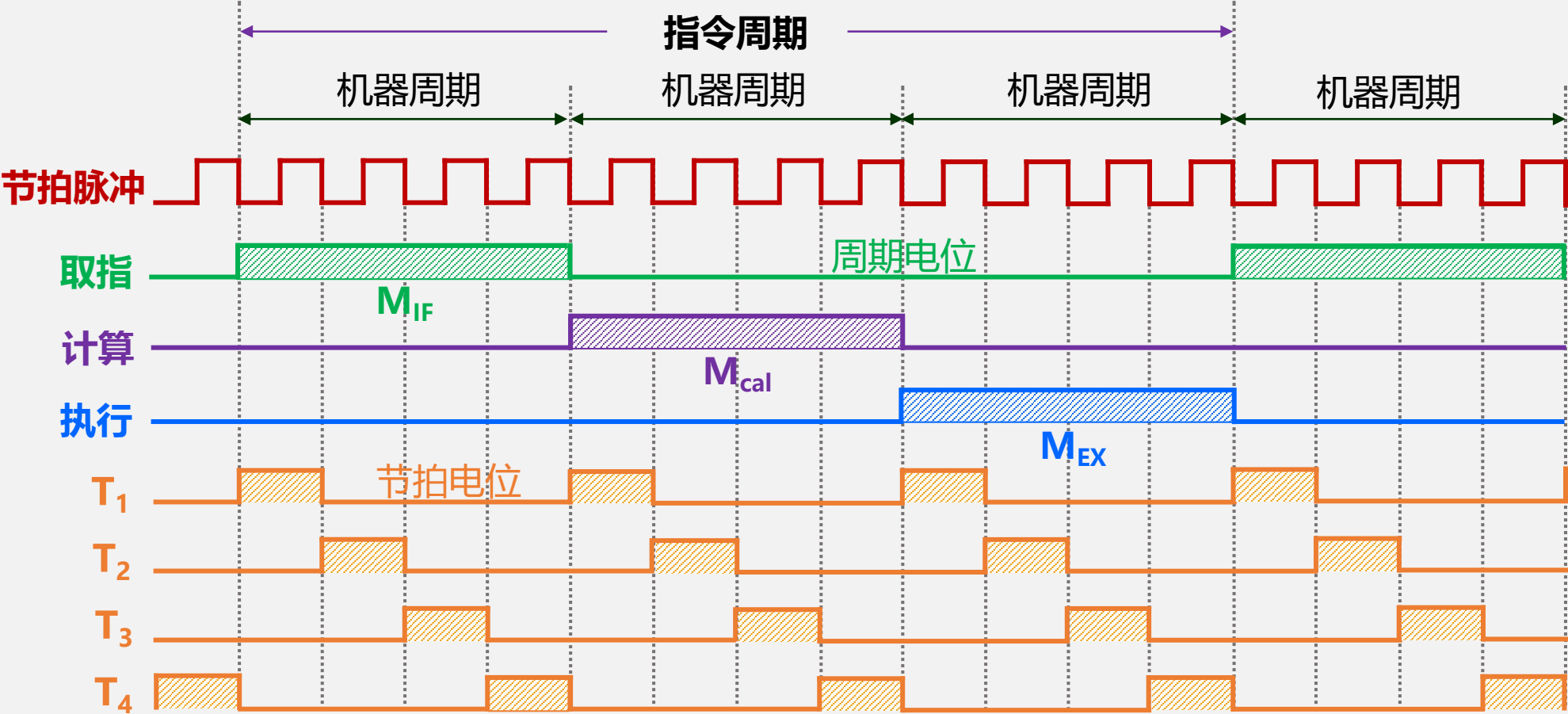
#### (2) 设计时序发生器



# 9.5 硬布线控制器设计

## 2. 传统时序硬布线控制器设计

- 1) 三级时序硬布线控制器设计步骤
- (2) 设计时序发生器(同步)

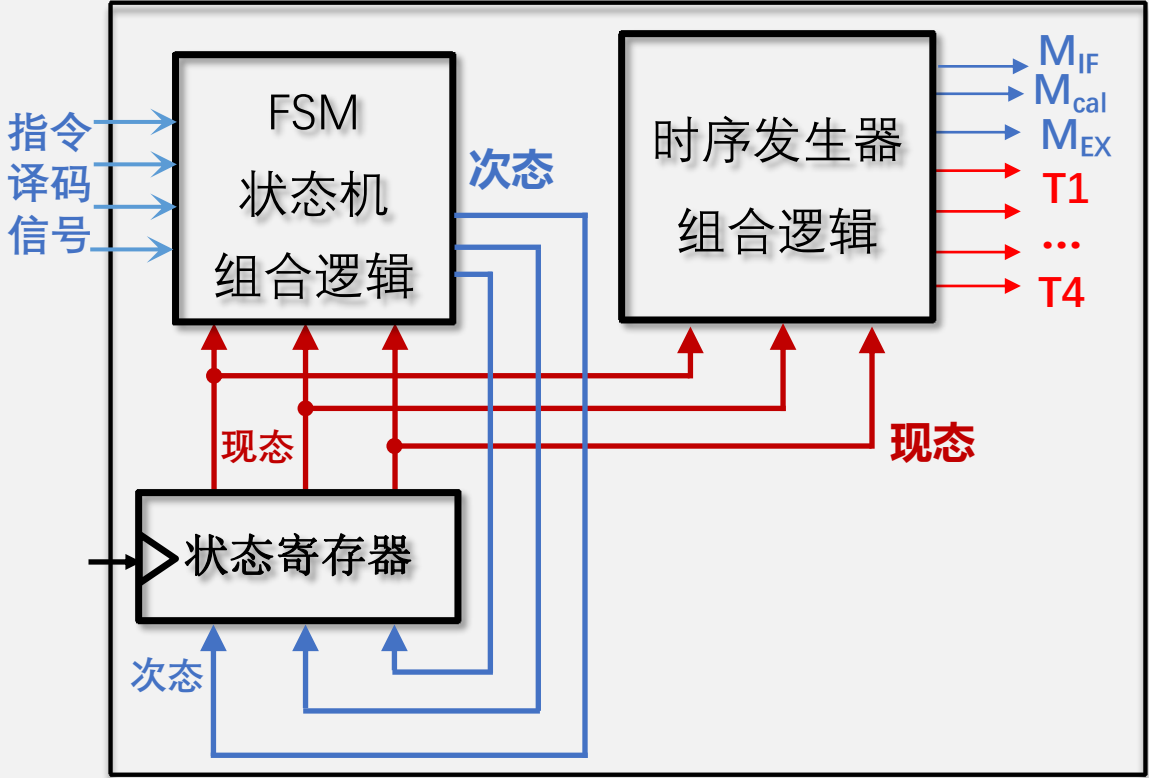




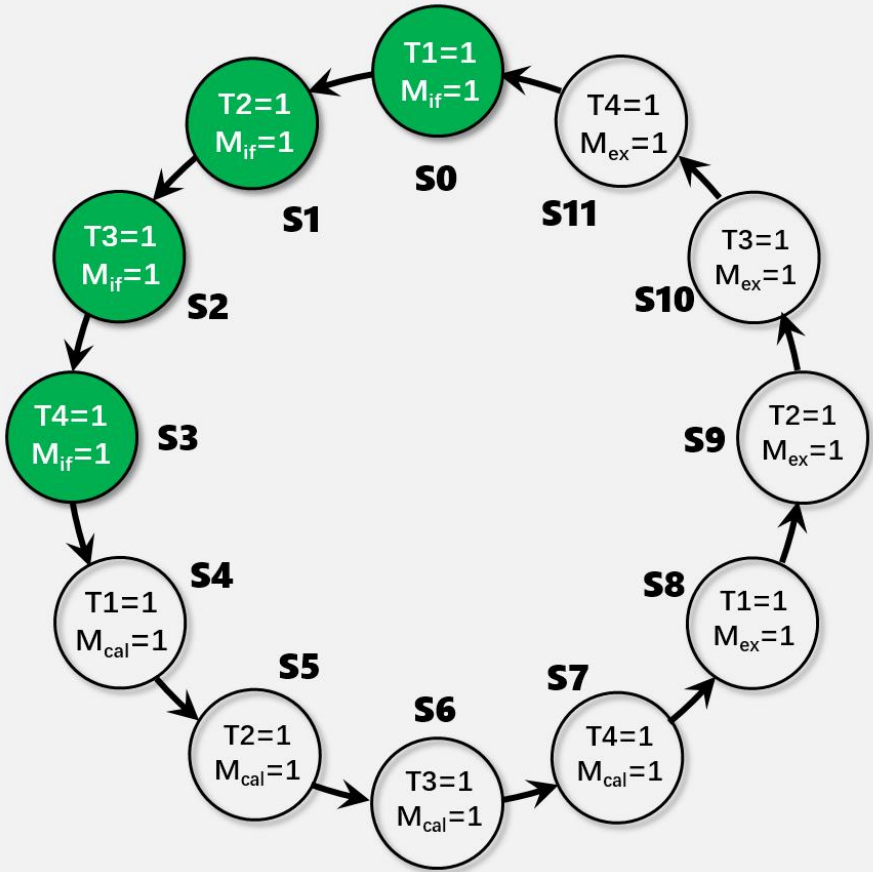
# 9.5 硬布线控制器设计

## 2. 传统时序硬布线控制器设计

### 1) 三级时序硬布线控制器设计步骤



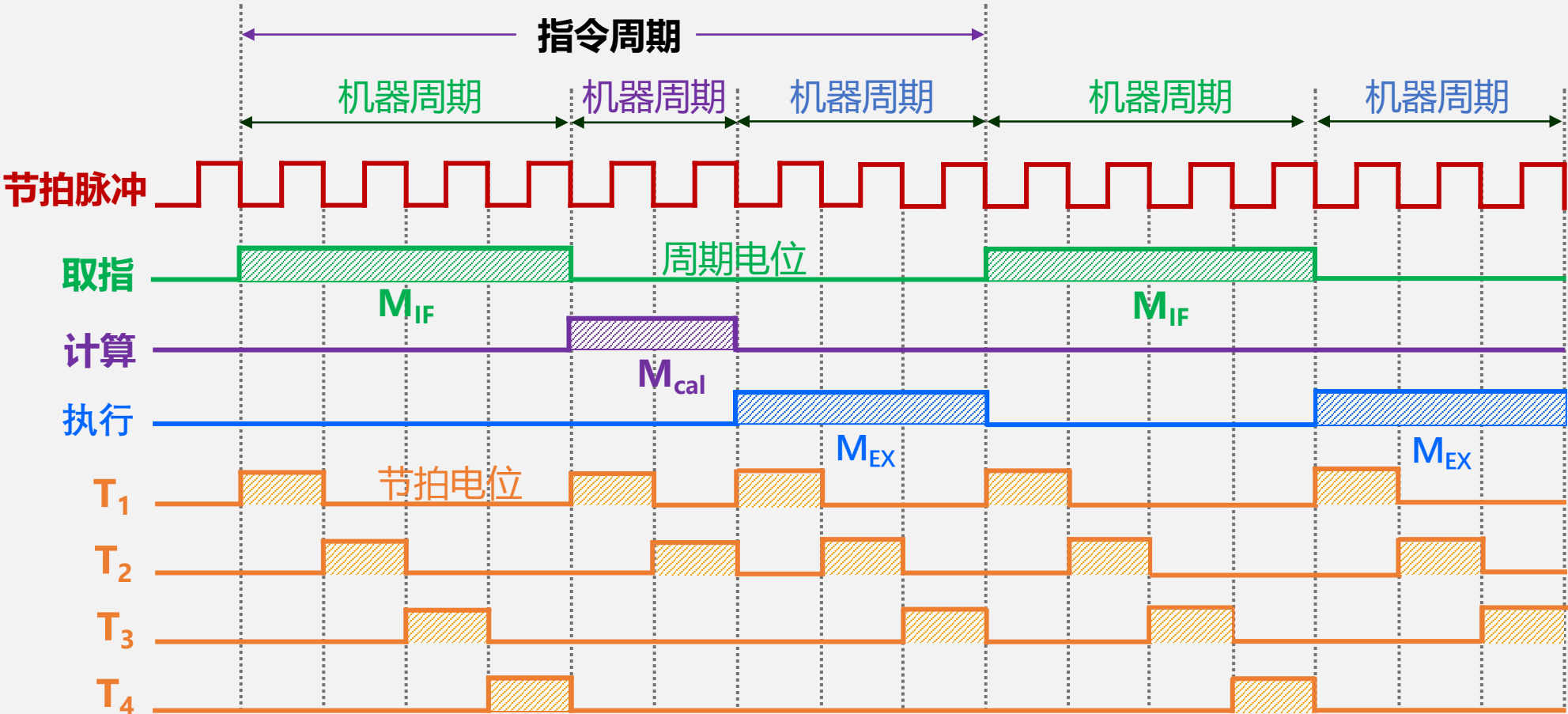
### (2) 设计时序发生器(同步)



# 9.5 硬布线控制器设计

## 2. 传统时序硬布线控制器设计

- 1) 三级时序硬布线控制器设计步骤
- (2) 设计时序发生器(异步)



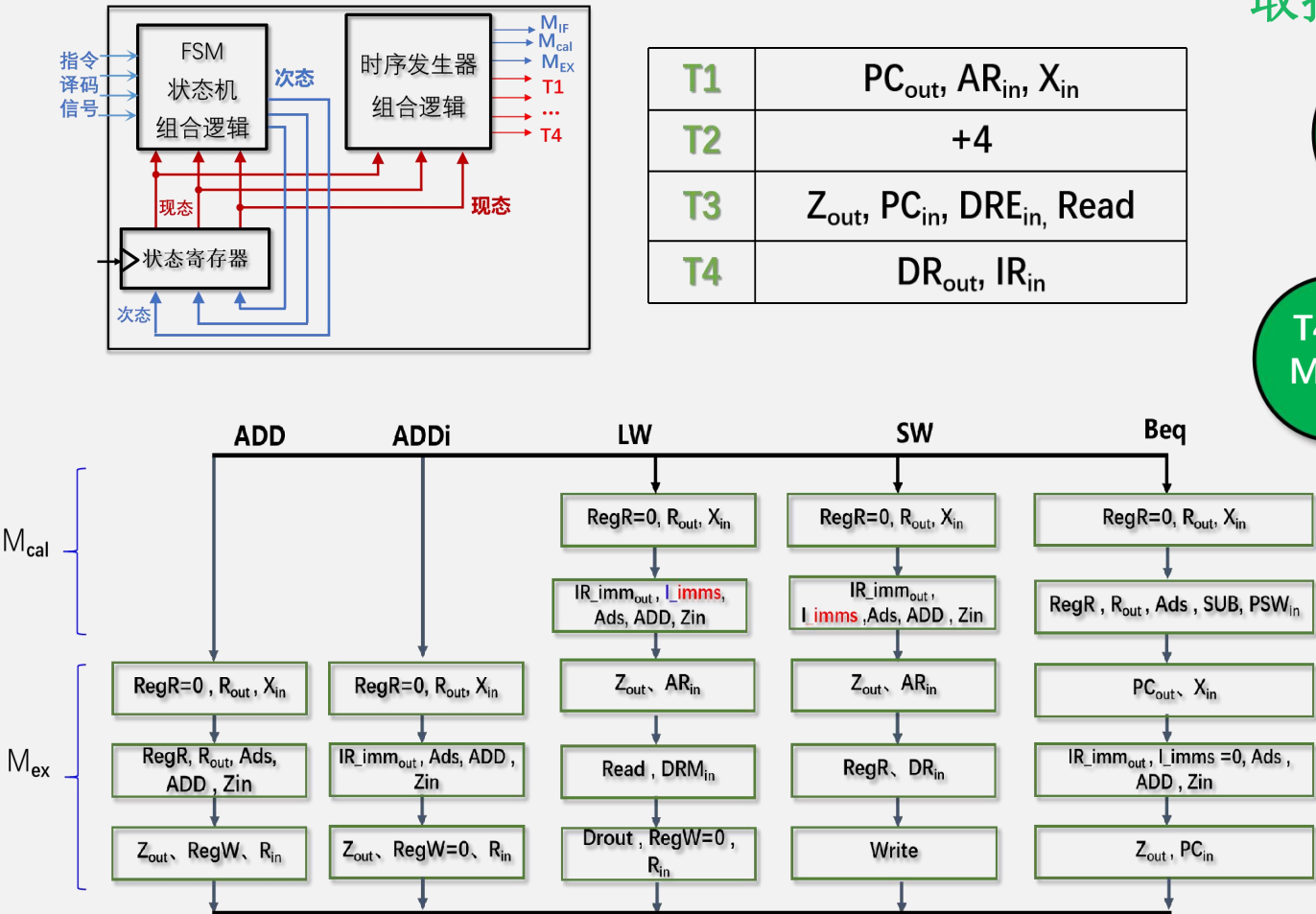


# 9.5 硬布线控制器设计

(2)设计时序发生器(异步)

## 2. 传统时序硬布线控制器设计

### 1) 三级时序硬布线控制器设计步骤



# 9.5 硬布线控制器设计

## 2. 传统时序硬布线控制器设计

### 1) 三级时序硬布线控制器设计步骤

- (3) 找出同一微操作控制信号产生条件
- (4) 写出各微操作控制信号的逻辑表达式

T1	PC <sub>out</sub> , AR <sub>in</sub> , X <sub>in</sub>
T2	+4
T3	Z <sub>out</sub> , PC <sub>in</sub> , DRE <sub>in</sub> , Read
T4	DR <sub>out</sub> , IR <sub>in</sub>

节拍	lw (5 cycles)	sw (5 cycles)	beq (5 cycles)	addi (3 cycles)	add (3 cycles)
M <sub>cal</sub>	T1	RegR=0, R <sub>out</sub> , X <sub>in</sub>	RegR=0, R <sub>out</sub> , X <sub>in</sub>		
	T2	IR <sub>imm<sub>out</sub></sub> , I <sub>imms</sub> , Ads, ADD, Zin	IR <sub>imm<sub>out</sub></sub> , I <sub>imms</sub> , Ads, ADD, Zin	RegR, R <sub>out</sub> , Ads, SUB, PSW <sub>in</sub>	
M <sub>ex</sub>	T1	Z <sub>out</sub> , AR <sub>in</sub>	Z <sub>out</sub> , AR <sub>in</sub>	PC <sub>out</sub> , X <sub>in</sub>	RegR=0, R <sub>out</sub> , X <sub>in</sub>
	T2	Read, DRM <sub>in</sub>	RegR, DR <sub>in</sub>	IR <sub>imm<sub>out</sub></sub> , I <sub>imms</sub> =0, Ads, ADD, Zin	IR <sub>imm<sub>out</sub></sub> , I <sub>imms</sub> , Ads, ADD, Zin
	T3	DRout, RegW=0, R <sub>in</sub>	Write	Z <sub>out</sub> , PC <sub>in</sub>	Z <sub>out</sub> , R <sub>in</sub> , RegDst

$$IR_{imm_{out}} = (lw+sw) \cdot M_{cal} \cdot T2 + (addi + beq) \cdot M_{EX} \cdot T2$$

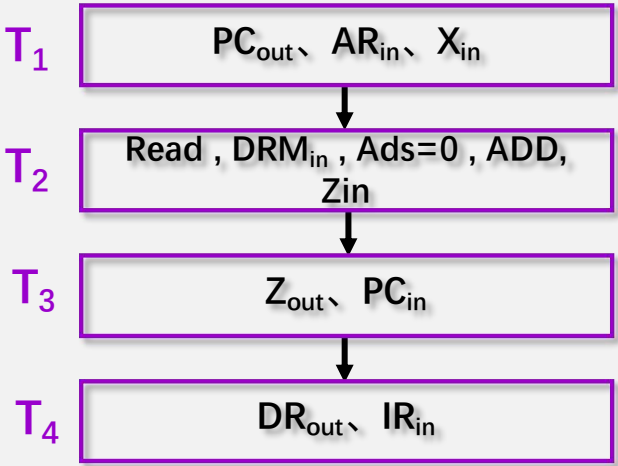
## 9.5 硬布线控制器设计

### 2. 传统时序硬布线控制器设计

#### 1) 三级时序硬布线控制器设计步骤

(3)找出同一微操作控制信号产生条件

(4)写出各微操作控制信号的逻辑表达式



节拍	lw (5 cycles)	sw (5 cycles)	beq (5 cycles)	addi (3 cycles)	add (3 cycles)
M <sub>cal</sub>	T1	RegR=0, R <sub>out</sub> , X <sub>in</sub>	RegR=0, R <sub>out</sub> , X <sub>in</sub>		
	T2	IR <sub>imm</sub> <sub>out</sub> , <u>l</u> <sub>imms</sub> , Ads, ADD, Z <sub>in</sub>	IR <sub>imm</sub> <sub>out</sub> , <u>l</u> <sub>imms</sub> , Ads, ADD, Z <sub>in</sub>	RegR, R <sub>out</sub> , Ads, SUB, PSW <sub>in</sub>	
M <sub>ex</sub>	T1	Z <sub>out</sub> , AR <sub>in</sub>	Z <sub>out</sub> , AR <sub>in</sub>	PC <sub>out</sub> , X <sub>in</sub>	RegR=0, R <sub>out</sub> , X <sub>in</sub>
	T2	Read, DRM <sub>in</sub>	RegR、DR <sub>in</sub>	IR <sub>imm</sub> <sub>out</sub> , <u>l</u> <sub>imms</sub> =0, Ads, ADD, Z <sub>in</sub>	IR <sub>imm</sub> <sub>out</sub> , <u>l</u> <sub>imms</sub> , Ads, ADD, Z <sub>in</sub>
	T3	DRout, RegW=0, R <sub>in</sub>	Write	Z <sub>out</sub> , PC <sub>in</sub>	Z <sub>out</sub> , R <sub>in</sub> , RegDst

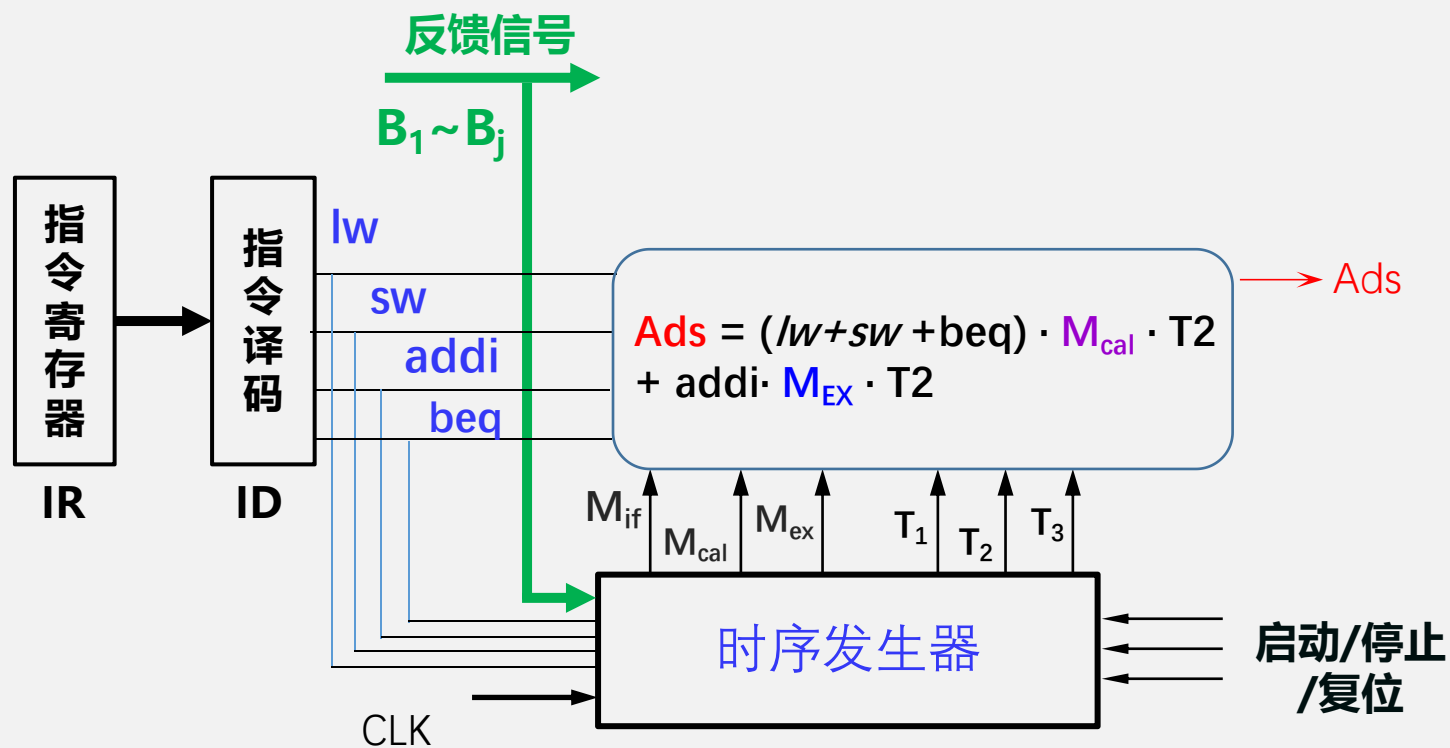
$$Ads = (lw+sw +beq) \cdot M_{cal} \cdot T2 +(addi + beq+add) \cdot M_{EX} \cdot T2$$

## 9.5 硬布线控制器设计

### 2. 传统时序硬布线控制器设计

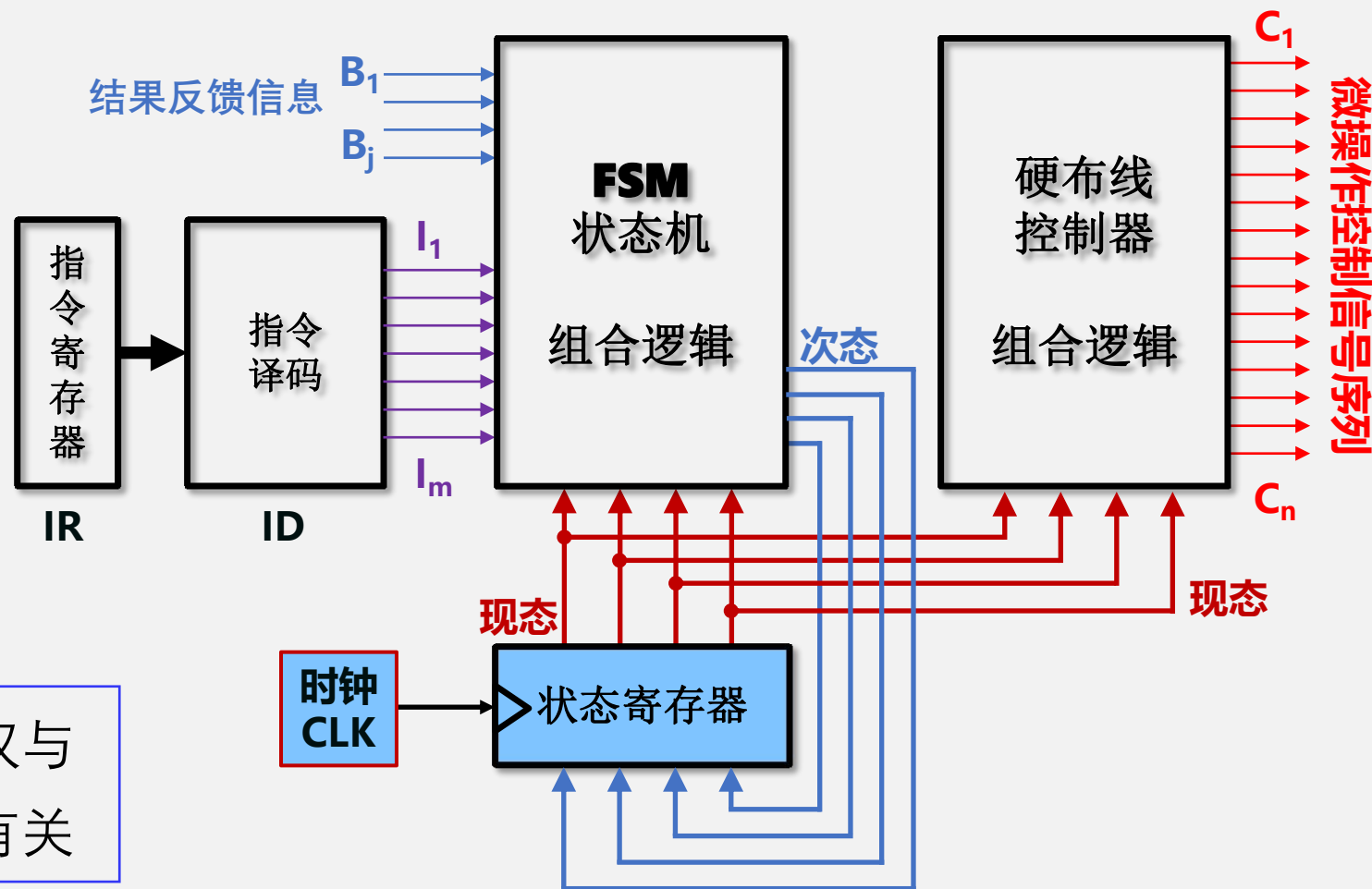
#### 1) 三级时序硬布线控制器设计步骤

##### (6) 利用组合逻辑电路实现



## 9.5 硬布线控制器设计

### 3. 现代时序硬布线控制器设计



操作控制信号仅仅与  
状态寄存器现态有关

### 3. 现代时序硬布线控制器设计

#### 1) 现代时序硬布线控制器设计步骤

(1) 分析数据通路，画出指令周期流程图，明确各节拍控制信号

(2) 绘制指令执行状图

(3) 构建状态转换表

(4) 实现有限状态机逻辑电路

(5) 利用组合逻辑电路产生控制信号

(1) 分析数据通路，画指令周期流程图，明确各节拍控制信号

(2) 设计时序发生器：根据机器周期、节拍划分构建状态图，设计时序电路

(3) 找出同一微操作控制信号产生条件

(4) 写出各微操作控制信号的逻辑表达式

(5) 对相关信号进行归并处理

(6) 利用组合逻辑电路实现



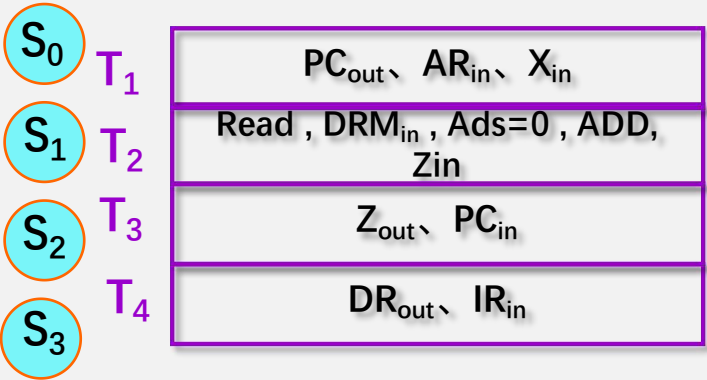
# 9.5 硬布线控制器设计

## 3. 现代时序硬布线控制器设计

### 1) 现代时序硬布线控制器设计步骤

(1) 分析数据通路，画出指令周期流程图，明确各节拍控制信号

(2) 绘制指令执行状图



节拍	lw (5 cycles)	sw (5 cycles)	beq (5 cycles)	addi (3 cycles)	add (3 cycles)
$T_1$ $S_4$	RegR=0, $R_{out}, X_{in}$	$S_9$ RegR=0, $R_{out}, X_{in}$	$S_{14}$ RegR=0, $R_{out}, X_{in}$		
$T_2$ $S_5$	$IR_{imm_{out}}, I_{imms}, Ads, ADD, Z_{in}$	$S_{10}$ $imm_{out}, I_{imms}, Ads, ADD, Z_{in}$	$S_{15}$ RegR, $R_{out}, Ads, SUB, PSW_{in}$		
$T_1$ $S_6$	$Z_{out}, AR_{in}$	$S_{11}$ $Z_{out}, AR_{in}$	$S_{16}$ $PC_{out}, X_{in}$	$S_{19}$ RegR=0, $R_{out}, X_{in}$	$S_{22}$ RegR=0, $R_{out}, X_{in}$
$T_2$ $S_7$	Read, $DRM_{in}$	$S_{12}$ RegR, $DR_{in}$	$S_{17}$ $IR_{imm_{out}}, I_{imms}=0, Ads, ADD, Z_{in}$	$S_{20}$ $IR_{imm_{out}}, I_{imms}, Ads, ADD, Z_{in}$	$S_{23}$ RegR, $R_{out}, Ads, ADD, Z_{in}$
$T_3$ $S_8$	$DR_{out}, RegW=0, R_i$	$S_{13}$ Write	$S_{18}$ $Z_{out}, PC_{in}$	$S_{21}$ $Z_{out}, R_{in}, RegDst$	$S_{24}$ $Z_{out}, RegW, R_{in}$

# 9.5 硬布线控制器设计

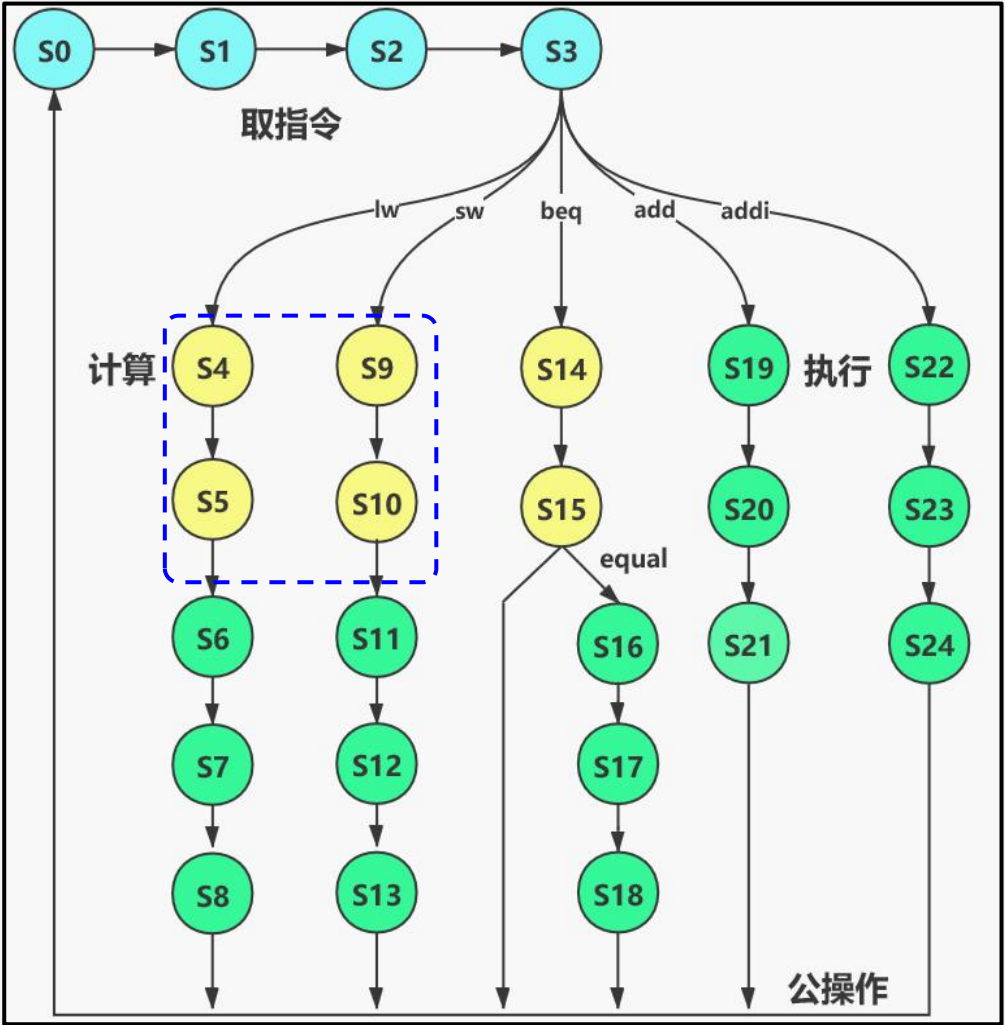
## 3. 现代时序硬布线控制器设计

1) 现代时序硬布线控制器设计步骤

(2) 绘制指令执行状图

(3) 构建状态转换表

现态	lw	sw	beq	add	addi	equal	次态
S0	x	x	x	x	x		S1
S1	x	x	x	x	x		S2
S2	x	x	x	x	x		S3
S3	1						S4
S3		1					S9
S3			1				S14
S3				1			S19
S3					1		S22
S4							S5



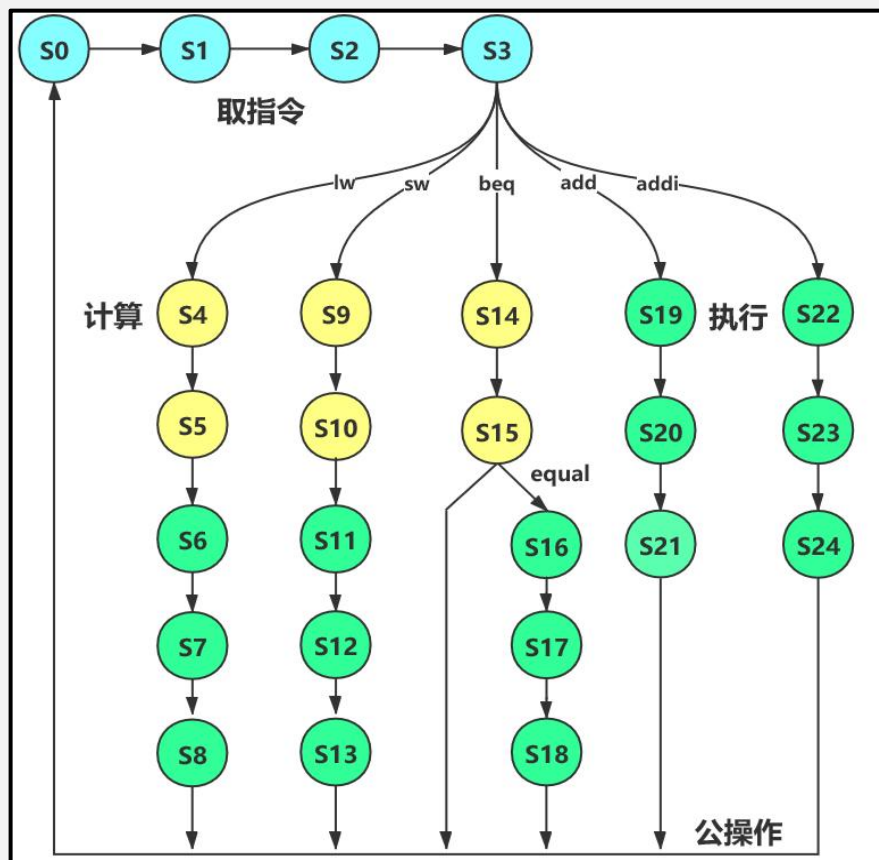
是否所有指令执行阶段都采用完全不同的状态路径?

## 9.5 硬布线控制器设计

### 3. 现代时序硬布线控制器设计

(2) 绘制指令执行状图

(3) 构建状态转换表



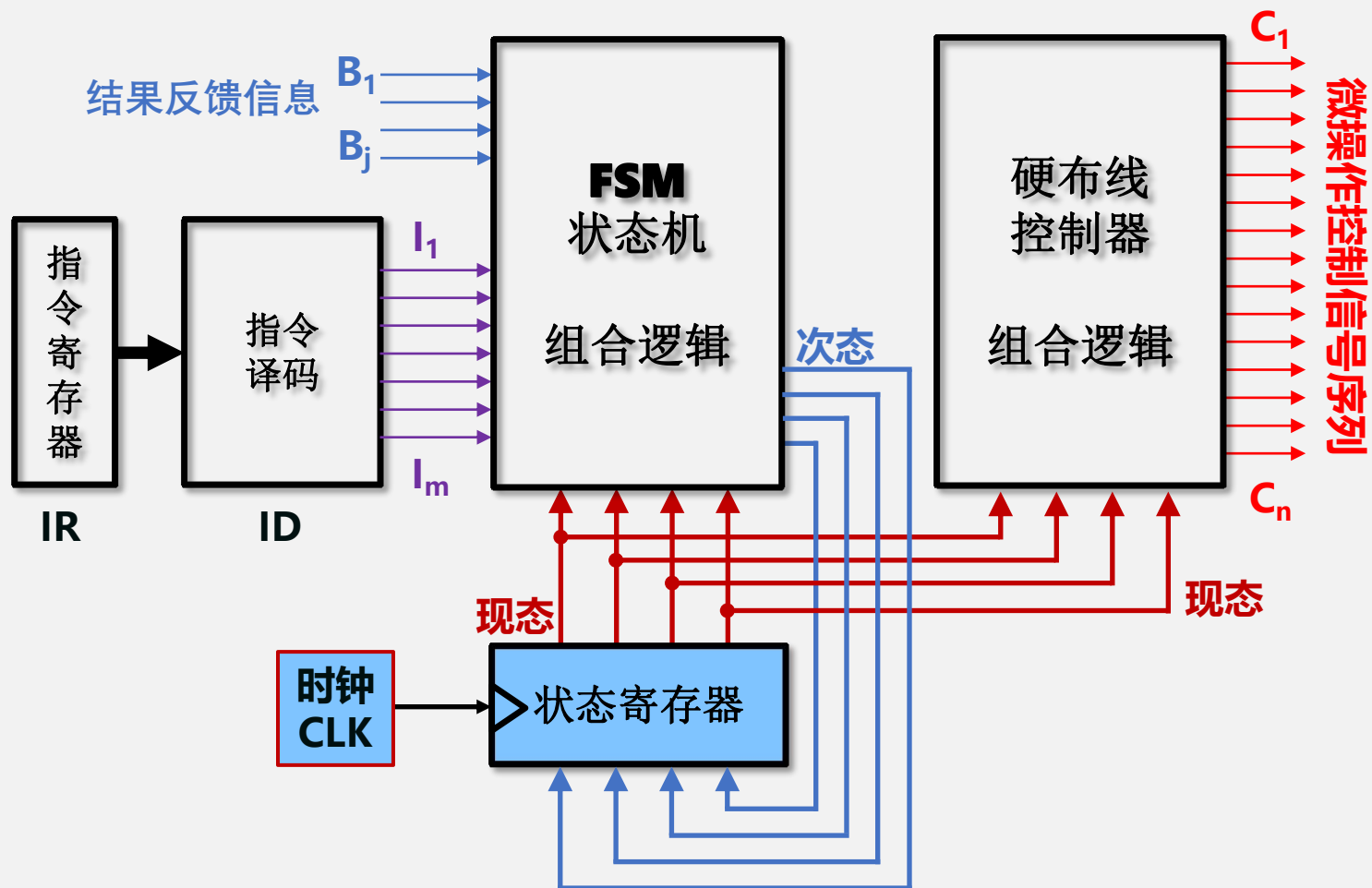
取指令周期状态	现态	lw	sw	beq	add	addi	Equal	次态
	S0	x	x	x	x	x	x	S1
	S1	x	x	x	x	x	x	S2
	S2	x	x	x	x	x	x	S3
	S3	1						S4
	S3		1					S9
	S3			1				S14
	S3				1			S19
	S3					1		S22
lw	S4	x	x	x	x	x	x	S5
	S5	x	x	x	x	x	x	S6
	S6	x	x	x	x	x	x	S7
	S7	x	x	x	x	x	x	S8
	S8	x	x	x	x	x	x	S0
	...							...
beq	S15						1	S16
	S15						0	S0
	S16							S17

## 9.5 硬布线控制器设计

### 3. 现代时序硬布线控制器设计

(4) 实现有限状态机逻辑电路

#### 1) 现代时序硬布线控制器设计步骤



## 9.5 硬布线控制器设计

### 3. 现代时序硬布线控制器设计

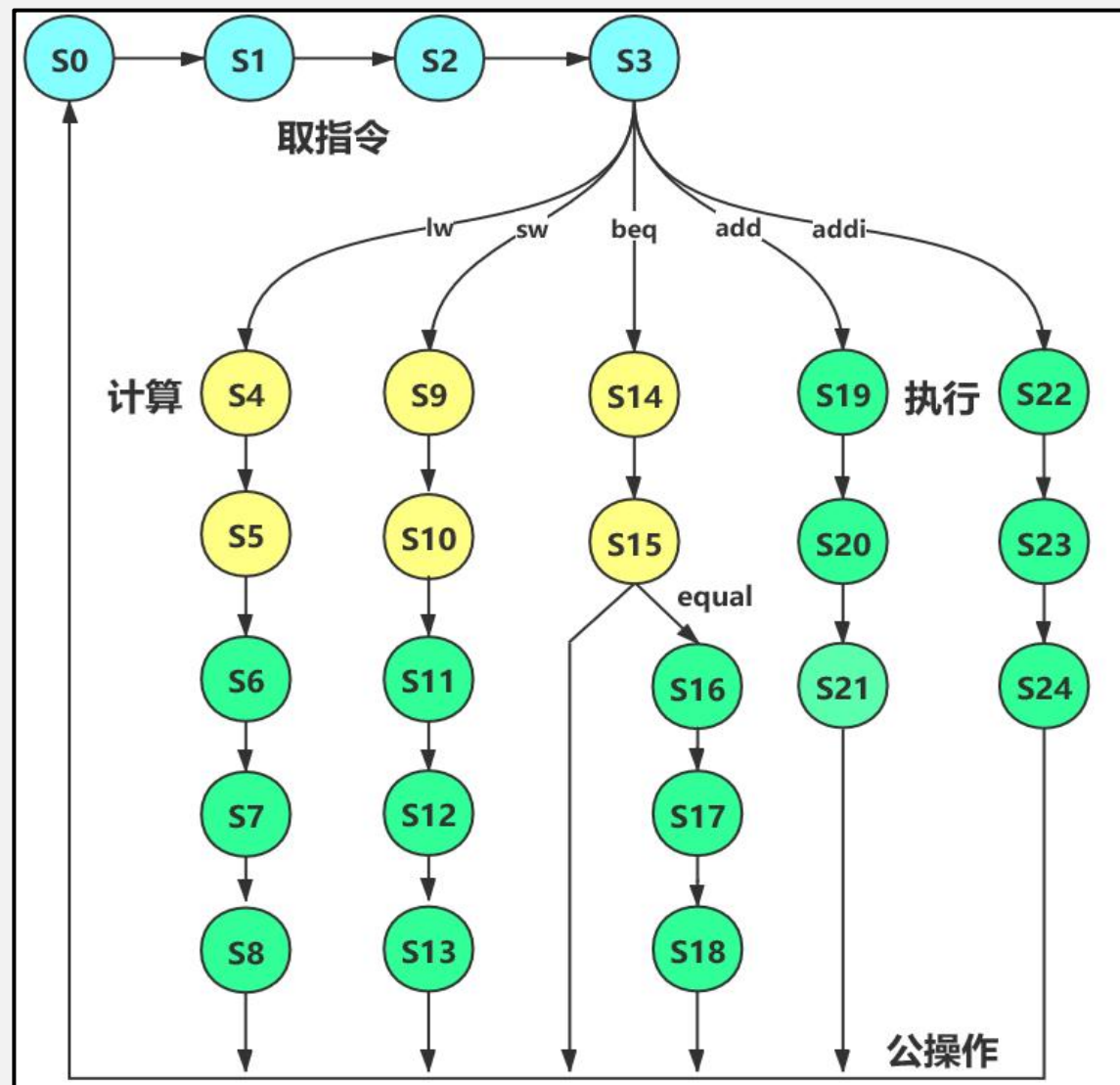
#### 1) 现代时序硬布线控制器设计步骤

#### (4) 实现有限状态机逻辑电路

实现该状态机的同步时序电路该选择什么类型？



Moore or Mealy ?



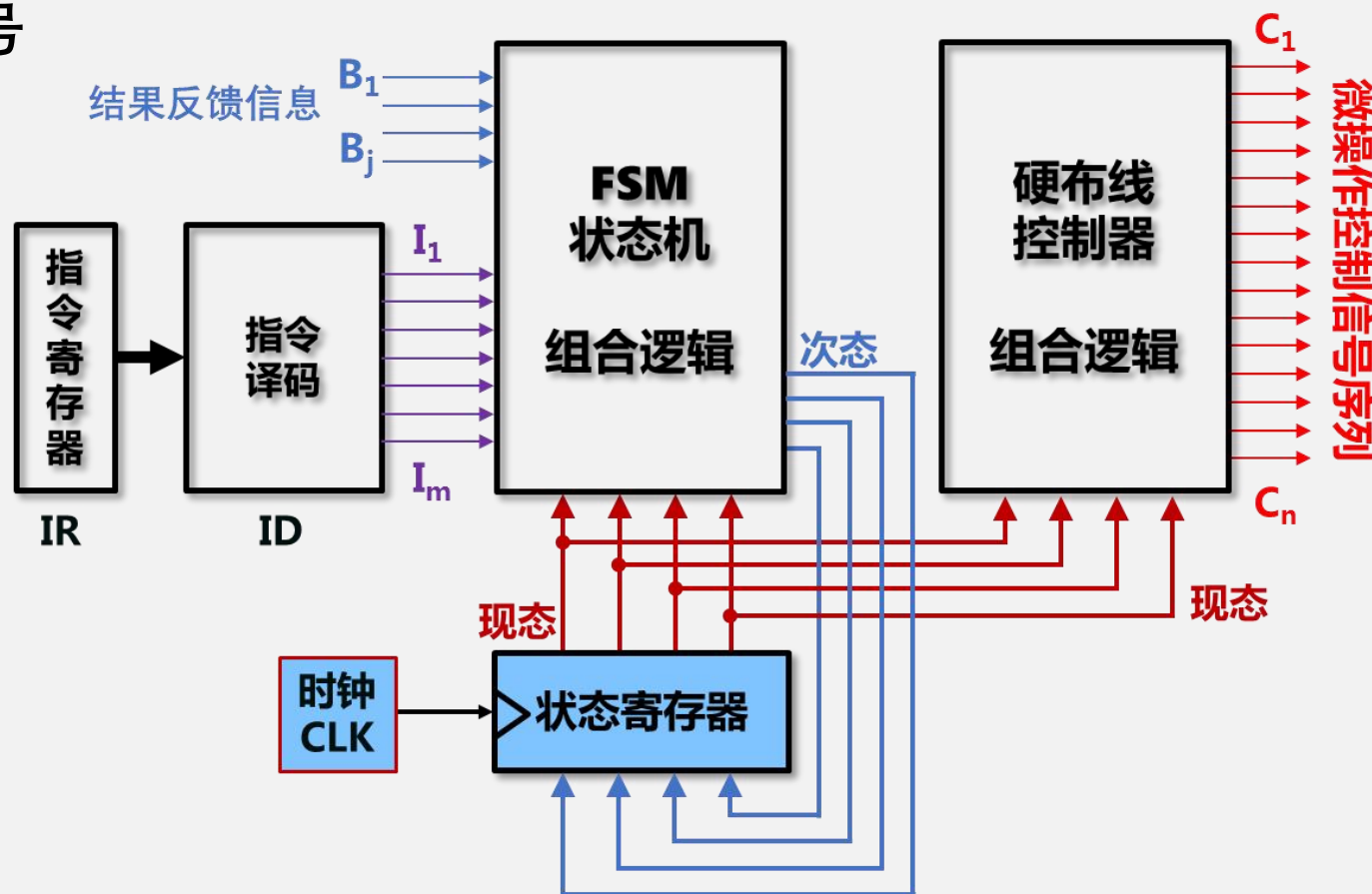
## 9.5 硬布线控制器设计

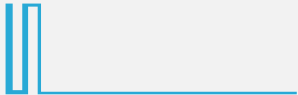
### 3. 现代时序硬布线控制器设计

#### 1) 现代时序硬布线控制器设计步骤

#### (5) 利用组合逻辑电路产生控制信号

操作控制信号仅仅是状态的函数





# 第三部分完