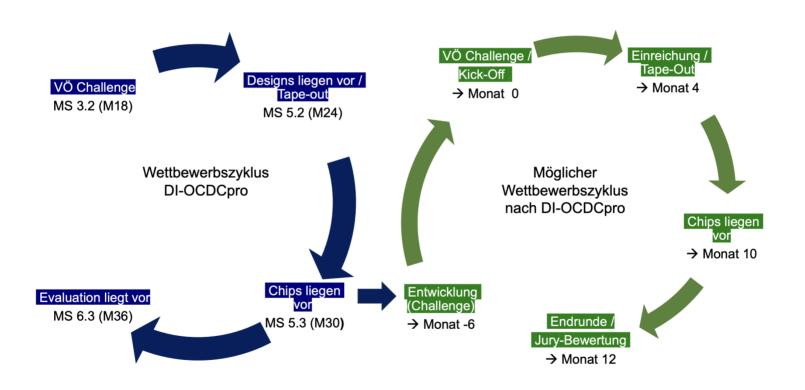
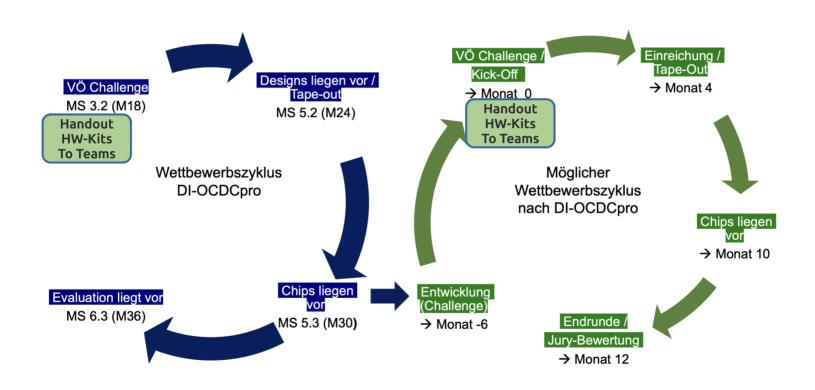
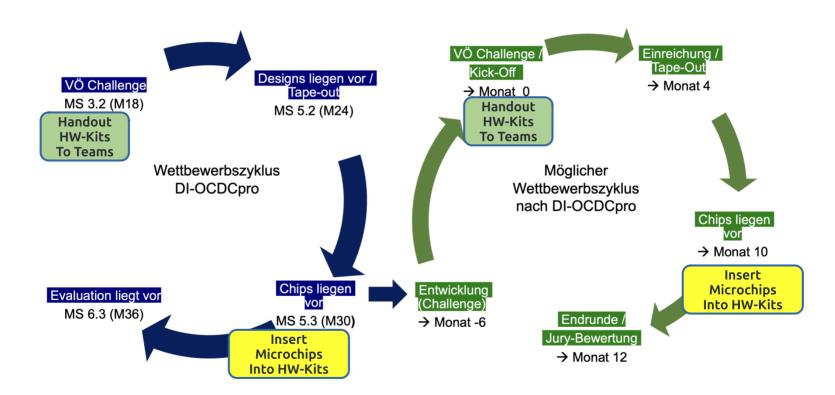
AP 5: Demonstrator



Give HW-Kits to Teams

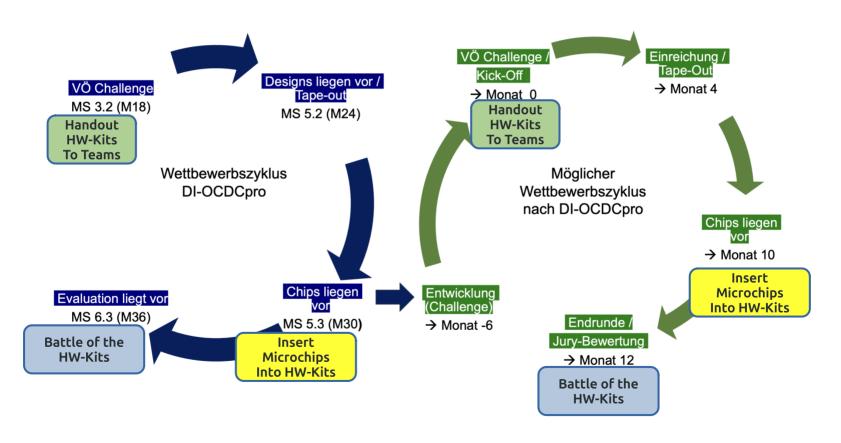


Insert Microchips into HW-Kits



AP5: HSRM

Battle of the Microchips (HW-Kits)^{29,10,24}



									2	024				2025	5					20	26			20)27
		J	EAD	/ Bete	iligte F	Partne	r	Σ	5 6 7 8		11 12	1 2	3 4			10 1	1 12	1 2	3 4			9 1	0 11 12		
P	Beschreibung	_							1 2 3 4																
P1	Challenge: Konzeption, Systematik & Verstetigung		6			4	6	44		В						D			Е						G
AP 1.1	Konzeption & Systematik Chip-Design-Wettbewerb	5	2				1	8																	
	Anreizsstrukturen Studierende & Dozent:innen	3	1	1			1	6																	
	Aufbau Stakeholder-Netzwerk	4			1	1		6																	
	Verstetigungskonzept inkl.Finanzierungsmodell	4	1	1	.	.		6																	
	Challenge-Prototyp: Security-by-Design	4	•	.	1	1	<u>4</u>	10																	
	Vorbereitung Challenge-Runde 1: Aufgabendefinition	4	2		.	2	_	8																	
P2	Spezifikation & Verifikation Offene Chip-Design-Toolchain		14	0	2		14	_		В						D									G
	Aufgabendefinition / Konzeption "Security by Design"-Ansatz	1	2				2	5																	
	Anforderungserhebung für die Toolchain		2		1		1	4																	
	Spezifikation und Dokumentation der Toolchain		<u>2</u> <u>2</u>		1	1	1	5																	
	Sicherheitsverifikation		=			1		5																	
	Bereitstellung der Toolchain	1	<u>2</u>			1	<u>4</u> 2	6																	
	Testsuite für die Toolchain	•	<u> =</u>			i	2	5																	
	Kuratierung und Bereitstellung der Beispiele für die Toolchain		3			3	2	8																	
P3	Teach-the-Teacher / Chip-Design-Curriculum / Aufgabendefinition	4	2	24	0	2	8	40		В						D			Е						
	Entwicklung Teach-the-Teacher Konzept		1	4			1	6																	
	Curriculum und Materialien		1	<u>6</u>			1	8																	- 1
	Umsetzung TtT-Konzept inkl. Evaluation	1	.	<u>6</u>			1	8																	
	Verbreitung TtT-Konzept	1		4			1	6																	
	Anforderungen Aufgaben inkl. messbarer Ziele	1		<u>2</u>		1	2	6											1						
	Definition Aufgaben Challenge-Prototyp: Security	1		2		1	2	6																	
P4	Anpassung Open-Source Process Design Kit	0	0		17	-	2	21					С			D									G
AP 4.1	Auswahl der Toolchain und Anpassung des PDK				3	1	2	6																	
	Erstellung eines einfachen Testdesigns (PDK Training)				<u>4</u>	1		5									Tea	me							
	Einrichtung und Anpassung eines Testservers				4			4									сге								
	Betrieb & Wartung Testserver				<u>3</u>			3																	
	Erstellung, Test und Dokumentation eines Docker-Images				3			3									des	igns							
P5	Wettbewerbs-Demonstrator mit einen 130 nm-Mikrochip	2	0	0	4	12	4	22								D			F			F	:		G
	Entwicklung des Demonstrator-Systems	1			1		1	7								Ň									
	Mikrochip Designphase mit Wettbewerbs-Teilnehmer:innen				1	2	1	4								/ 🕇									
	Tape-Out: Produktion Mikrochip, Chip package, DevBoard				2	3	1	6								•						1			
	Umsetzung und Evaluation des Demonstrators	1			-	4 2 3 3	1	5								ndou						Ins			Bat
P6	Projektkoordination, Vernetzung & Dissemination	22	2	2	2	2	2	32	Α						Н۷	V-Kit	:S				M		chips	5	of
AP 6.1	Projektplanung & Koordinierung	4						4							to 7	Tean	าร					inl			HW-
	Vernetzung Wissenschaft	4	1	1			1	7														HW-	Kits		ПVV-
	Community Aufbau Chipdesign-Nachwuchs	4				1		5																	
	Vernetzung Industrie u.a. Beirat	4	1	1	1	1		8																	
	Dissemination, Wissenstransfer & Kommunikation	6			1		1	8																	
	Gesamt	54	24	28	27	28	36	197																ŀ	Hando
																									HW-K
																									o Tea

ChipCup 2025

HW-Kits for the Teams:



NFC / RFID keys



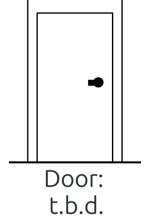
NFC / RFID reader

During design: FPGA



In competition: Microchip





Electronic key

wireless

Electronic lock

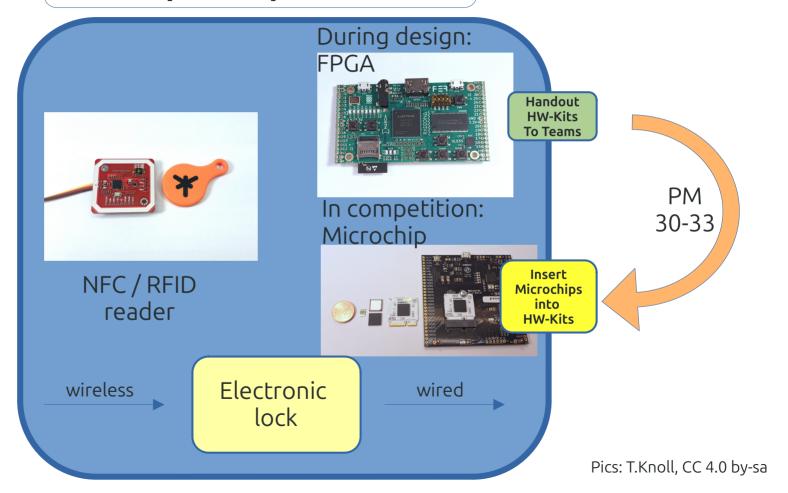
wired

Electromechanic handle

Pics: T.Knoll, CC 4.0 by-sa

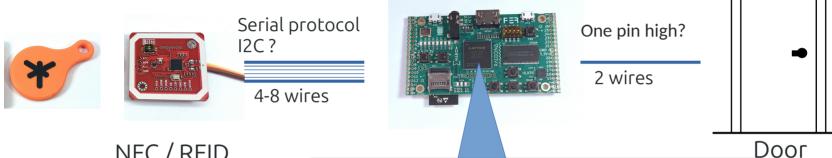
AP5: HSRM 29.10.24

ChipCup 2025



HW-Kits for the Teams:

ChipCup 2025



NFC / RFID reader

Chipdesign from Teams:

- Verilog HDL (generated?)
- Teach the teacher
- Security by design
- Verification
- PDK

Tools:

- FPGA: YosysHQ releases
- ASIC: OpenROAD stable

FPGA:

- ECP5 Chip (Size LUTs?)

Pics: T.Knoll, CC 4.0 by-sa