



LAYR

OPEN CHIP CHALLENGE



Was ist die LAYR Open Chip Challenge?

Die LAYR Challenge ist ein bundesweiter Studierendenwettbewerb, bei dem Teams aus ganz Deutschland reale, eigene Chipdesigns im Open-Source-Flow entwickeln und tatsächlich bis zum Tape-out umsetzen – unterstützt durch moderne Lehre und praxisnahe Materialien. Hochschulen bieten dazu spezifische Seminare oder Labs an, in denen Studierende Schritt für Schritt aktiv am Chip-Designprozess arbeiten – von der Idee bis zum fertigen Entwurf, bereit für die Produktion.

Warum sollte Ihre Hochschule teilnehmen?

Mit der LAYR Challenge profitieren Sie auf mehreren Ebenen:

- Ihre Hochschule positioniert sich als Innovationsstandort und Zugangspunkt zur Halbleitertechnik der Zukunft.
- Studierende erhalten die Möglichkeit, in wettbewerbsorientierten und praxisnahen Settings aktuelle Kompetenzen in Chipdesign und Digitalisierung zu erwerben.
- Lehrende erhalten alle Materialien, Support und Anbindung an unsere Community – für den reibungslosen Seminarstart und nachhaltige Wirkung.



Wer kann teilnehmen und wie wird unterstützt?

Teilnehmen können alle Hochschulen mit technischer oder naturwissenschaftlicher Ausrichtung. Angesprochen sind Professor:innen, wissenschaftliche Mitarbeiter:innen und Lehrbeauftragte, die Interesse haben, ein Seminar, Praktikum oder ein Studierendenprojekt im Bereich Digital-IC-Design umzusetzen. Sie erhalten von uns:

- Ein vollständiges Lehr- und Aufgabenpaket für die Veranstaltung (inkl. Foliensätze, Übungen, Musterlösungen)
- Zugang zu einer Open-Source-Toolchain (Verilog, Yosys, OpenROAD, Magic, KLayout etc.)
- Persönlichen Support, Workshops, Onboarding-Termine und kollegialen Austausch im Netzwerk



Wie läuft das Seminar konkret ab?

Im Rahmen eines regulären Seminars oder Projektmoduls begleiten Sie Ihre Studierenden von den Grundlagen digitaler Schaltungen bis hin zum vollständigen IC-Design-Prozess. Nach einer Einführung in Spezifikation und Verilog beginnt die Teamarbeit: Die Studierenden entwickeln, simulieren und verifizieren eigene Designs, erzeugen Gate-Level-Netzlisten, durchlaufen Synthese und Layout und erstellen GDSII-Daten für ein echtes Tape-out. Besonders engagierte Teams können ihre Ergebnisse im bundesweiten Wettbewerb präsentieren und sich mit anderen Unis messen. Austauschformate für Lehrkräfte stellen sicher, dass alle strukturellen und technischen Fragen gelöst werden.

Was ist Ihr konkreter Mehrwert?

Sie fördern studierendenzentriertes, projektbasiertes Arbeiten und bieten moderne Technikbildung mit direktem Praxisbezug. Durch offene Materialien und direkte Betreuung halten sich Aufwand und Einstiegshürden gering – das Seminar kann flexibel als Semesterveranstaltung, Blockmodul oder Labor durchgeführt werden. Ihre Hochschule erhält Sichtbarkeit im Rahmen der deutschlandweiten LAYR-Challenge und positioniert sich nachhaltig als Schlüsselstandort für zukunftsweisende Halbleiterlehre



Wie geht es weiter?

Kontaktieren Sie uns für Musterlehrpläne, Material, Fragen oder eine persönliche Beratung. Lassen Sie uns im Gespräch die beste Umsetzungsform für Ihre Hochschule finden – werden Sie Teil der LAYR Community und bringen Sie die nächste Generation Chipdesigner:innen an den Start!

Kontaktieren Sie uns!



Johanna Wallenborn

Referentin Bildung & Gesellschaft

Telefon: +49 (0) 1556 35 03 616

E-Mail: johanna.wallenborn@gi.de



Frithjof Nagel

Stellvertretender Standortleiter Berlin, Leiter der Presse- und Öffentlichkeitsarbeit

E-Mail: frithjof.nagel@gi.de