

# Come cominciare con gli esercizi di Elettronica

Lorenzo Monaci

12 settembre 2024

# Indice

<b>1</b>	<b>Considerazioni dell'autore</b>	<b>3</b>
<b>2</b>	<b>Esercizio A</b>	<b>4</b>
2.1	Parte 1 - analisi in DC . . . . .	4
2.2	Parte 2 - analisi per grandi segnali . . . . .	5
<b>3</b>	<b>Esercizio B</b>	<b>6</b>
3.1	Gli inverter . . . . .	6
3.2	Disegno della PUN (Pull-Up Network) . . . . .	6
3.3	Disegno della PDN (Pull-Down Network) . . . . .	6
3.4	Dimensionamento MOSFET . . . . .	6
<b>4</b>	<b>Esercizio C</b>	<b>7</b>
4.1	Fase di Set - $Q = 1$ , $D = H_{iz}$ . . . . .	7
4.2	Fase di Reset - $Q = 0$ , $D = 0$ . . . . .	8

# 1 Considerazioni dell'autore

Questa piccola guida è stata scritta con l'intento di aiutare a capire come risolvere i temi d'esame di *Elettronica Digitale* del prof. Piotto (e anche per allenarmi a scrivere in *LaTeX* :P).

**Non** è assolutamente mia intenzione mettere questo file al pari di una spiegazione dei professori, ma aiutare chi muove i primi passi in queste prove d'esame. Per segnalare errori o suggerire modifiche potete contattare @SirDrxke su Telegram!

*With that being said, let's get into it!*

## 2 Esercizio A

### 2.1 Parte 1 - analisi in DC

Nell'analisi in DC i condensatori sono dei **circuiti aperti**.  
**Spengo** il generatore  $V_i$  facendo sì che sia un cortocircuito.

#### BJT

Faccio l'ipotesi che sia/siano in **ZAD**, ciò mi dà due condizioni:

1.  $I_B \ll I_C \Rightarrow I_E = I_B + I_C \simeq I_C$
2.  $V_{BE} = V_\gamma = 0.7V$

Si deve infine verificare che siamo in ZAD:  $V_{CE} > V_{CESAT}$

Questo per il BJT **NPN**, che ha la freccia dell'**emettitore verso il basso**.  
Se avessimo a che fare con BJT **PNP** la condizione di verifica si invertirebbe.

#### Punto di riposo

Va fatto anche un riassunto del punto di riposo  $Q$ :

- $I_C = 2\text{mA}$
- $V_{CE} = 5V$
- $I_B \sim 6.89655\mu A$
- $h_{fe} = 290$
- $h_{FE}$  (aka  $\beta_f$ ) = 4800  $\Omega$
- $h_{ie} = 300$

I primi due servono per ricavare gli ultimi 3 dal **datasheet**. Solo **dopo** la verifica si possono usare questi parametri.

#### MOSFET

Facciamo l'ipotesi che siano in **saturazione**, quindi  $I_D = k(V_{GS} - V_T)^2$ . Questa equazione ci torna utile per calcolare  $V_{GS}$  (a patto di aver già calcolato  $I_D$ ) avendo già  $k$  e  $V_T$  dal testo con la formula

$$V_{GS} = \pm \sqrt{\frac{I_D}{k}} + V_T$$

Per gli NMOS si prende la soluzione con il +, dato che conducono per  $V_{GS} \geq V_{Tn}$ .

Infine verifichiamo che il MOSFET sia in saturazione:  $V_{DS} \geq V_{GS} - V_{Tn}$  (per il PMOS ci vuole  $\leq$ ).

### Punto di riposo

Va fatto anche qui un riassunto del punto di riposo  $Q$ :

- $I_D$
- $V_{GS}$
- $V_{DS}$
- $g_m = 2k|V_{GS} - V_T| \left[ \frac{mA}{V} \right]$

Ricordarsi che  $I_G = 0$  in ogni caso e prima di ogni ipotesi!

## 2.2 Parte 2 - analisi per grandi segnali

Ora i condensatori sono dei **cortocircuiti**.

I generatori di  $V_{CC}$  sono spenti, quindi ciò che vi era attaccato ora va a GND.

### BJT

Resistenza vista dalla **Base**:  $R_v = h_{ie} + (h_{fe} + 1) \cdot [R_{eq} \text{ emettitore}]$

Resistenza vista dall'**Emettitore**:  $R_v = \frac{h_{ie} + [R_{eq} \text{ base}]}{h_{fe} + 1}$

### MOSFET

Resistenza vista dal **Source**:  $R_v = \frac{1}{g_m}$

### Procedimento generale

In questa parte si deve calcolare il rapporto

$$A_v = \frac{V_u}{V_i}$$

quindi conviene calcolarsi  $V_u$  in funzione di  $V_i$  partendo da destra del disegno del circuito per arrivare a semplificare i  $V_i$  nel rapporto.

Aprire gli occhi ai **partitori di corrente**, cosa *molto* ricorrente in questa parte delle prove d'esame.

### 3 Esercizio B

Per prima cosa si calcola il **numero di transistori** necessari a implementare la  $y$ :

$$Tot = 2 \cdot (variabili + variabili\_dirette)$$

#### 3.1 Gli inverter

Bisogna **sempre** disegnare **TUTTI** gli inverter per le variabili che compaiono sia dirette che negate, prima del disegno della rete logica, **numerando** ogni MOSFET.

#### 3.2 Disegno della PUN (Pull-Up Network)

Realizzata con i PMOS vanno disegnati seguendo la regola che:

$$\begin{aligned} A \cdot B &\rightarrow \text{PMOS in serie} \\ A + B &\rightarrow \text{PMOS in parallelo} \end{aligned}$$

In questo modo si realizza la PUN stando attenti a usare le variabili **negate** rispetto a quelle che ci sono nella formula logica di partenza. Questo perché i PMOS si usano come '*variabili attive basse*'.

#### 3.3 Disegno della PDN (Pull-Down Network)

Si realizza utilizzando NMOS tramite la **dualità**, cioè prendendo il disegno della PUN se ne fa il duale, scambiando quindi serie con paralleli e vice versa. Le variabili restano **uguali a prima**, non vanno negate o cambiate in alcun modo.

#### 3.4 Dimensionamento MOSFET

Per dimensionare ogni MOSFET si parte dalle dimensioni di quelli degli inverter di base:

$$\left(\frac{W}{L}\right)_{ni} = n = 2, \left(\frac{W}{L}\right)_{pi} = p = 5$$

Si parte quindi dalla PUN e si seguono i seguenti step:

1. trovare il percorso più lungo: si parte da  $V_{CC}$  e si arriva al nodo  $y$  cercando di attraversare più MOS possibile
2. si trovano tutti i percorsi di quella lunghezza
3. si verifica che siano possibili: se in un percorso passo per due MOS comandati da una variabile diretta e negata (ad esempio  $\bar{A} \rightarrow A$ ) non scorrerà mai corrente, e quindi il percorso è da scartare

4. se nessuno è dimensionato, dimensiono i MOS: trovato il percorso  $Q_{1-2-\dots-k}$  dico che

$$\left(\frac{W}{L}\right)_{1,2,\dots,k} = a$$

e che quindi

$$\frac{1}{a} + \frac{1}{a} + \dots + \frac{1}{a} = \sum_1^{\eta} \frac{1}{a} = \frac{1}{p}$$

con  $\eta$  pari alla lunghezza del percorso e ricavo che

$$\boxed{a = \eta p}$$

5. se tra i vari percorsi della stessa lunghezza ho qualche MOS già dimensionato e quelli dimensionati sono in numero diverso ho 2 opzioni: ( $\bar{7} - \bar{10}$  e  $9 - \bar{10}$ )  
 A) Dimensiono prima  $Q_7$ , poi  $Q_{10}$   
 B) Dimensiono  $Q_7$  e  $Q_{10}$  insieme e verifico che  $\frac{1}{\dim(Q_7)} + \frac{1}{\dim(Q_9)} < \frac{1}{n}$
6. confronto le opzioni  
 Op. A  $Area = \Sigma dim: 7_A + 10_A$   
 Op. B  $Area = \Sigma dim: 7_B + 10_B$   
 Scelgo l'opzione con **area minima**.

7. Passo poi ai percorsi più corti fino a dimensionarli tutti

Per la PDN si segue esattamente lo stesso procedimento.

**N.B.** è possibile che qualche MOS rimanga fuori dal dimensionamento per come è fatta la rete logica.

## 4 Esercizio C

### 4.1 Fase di Set - Q = 1, D = Hiz

Per prima cosa si deve calcolare la  $V_{GS}$  dei MOSFET, e capire se sono in **condizione** o **interdizione**. La cosa è quasi sempre immediata perchè gate e source sono collegati direttamente a  $V_{CC}$  o ground.

Il fatto che  $D = Hiz$  indica che è come un **filo staccato**, il che ci dice che va considerato come un aperto e scollegato dal resto del circuito!

Si disegna il circuito in base al comportamento dei MOSFET, dopodiché si procede calcolando 3 grandezze:

1.  $V_{i1}$  **SEMPRE** uguale a  $\frac{V_{CC}}{3} = 2V$
2.  $V_{f1}$  questa non è altro che la tensione ai capi del condensatore, che adesso si comporta come un **aperto** e nella maggior parte dei casi si trova con un **partitore di tensione**. Può tornare utile calcolarsi la **resistenza equivalente** tra  $V_{CC}$  e ground.

3.  $V_{COM1}$  la tensione alla quale il dispositivo commuta, si impone  $V_{TH} = \frac{2V_{CC}}{3} = 4V$  e si calcola come  $V_{TH} - R_1 i$  dove  $i$  è la corrente che scorre tra TH e TR. Per calcolarla spesso conviene accorgersi che è la stessa che scorre nella/e resistenze sopra.

**Attenzione** che se si calcola prima  $V_{COM1}$  non si possono usare  $V_{TR}$  e  $V_{TH}$  per trovare  $V_{f1}$ , perchè in quel caso non si impone che  $V_{TH} = \frac{2V_{CC}}{3}$ .

### Verifica

Per verificare che il circuito si comporta come un multivibratore astabile va verificato che

$$V_{i1} < V_{COM1} < V_{f1}$$

### Calcolo del primo periodo

Per calcolarsi il periodo della fase di set va trovata la costante di tempo del circuito:

$$\tau_1 = R_v \cdot C$$

Dove  $R_v$  è la resistenza vista dal condensatore quando **SI STACCA IL GENERATORE**  $V_{CC}$

Dopodiché si trova il periodo  $T_1$  come

$$T_1 = \tau_1 \ln\left(\frac{V_{i1} - V_{f1}}{V_{COM1} - V_{f1}}\right)$$

## 4.2 Fase di Reset - Q = 0, D = 0

Anche qui va capito allo stesso modo di prima se i MOSFET sono ON o OFF, poi si disegna il circuito. Ricordarsi che ora  $D = 0$ , quindi le resistenze a sinistra collegate a esso possono essere messe a ground.

Adesso vanno calcolate le 3 tensioni di prima nella fase di reset:

1.  $V_{i2}$  **SEMPRE** uguale a  $V_{COM1}$
2.  $V_{f2}$  che si calcola allo stesso modo di prima
3.  $V_{COM2}$  **SEMPRE**  $\frac{V_{CC}}{3} = 2$

### Verifica

Anche qui bisogna verificare il comportamento astabile

$$V_{i2} > V_{COM2} > V_{f2}$$



### **Calcolo del secondo periodo**

In modo analogo alla fase di set ci calcoliamo:

$$\tau_2 = R_v \cdot C$$

$$T_2 = \tau_2 \ln\left(\frac{V_{i2} - V_{f2}}{V_{COM2} - V_{f2}}\right)$$

### **Periodo totale e frequenza**

Ora che abbiamo i periodi della fase di set e reset calcoliamo il periodo totale e la frequenza di funzionamento:

$$T = T_1 + T_2$$

$$f = \frac{1}{T}$$