Co jsou to klopné obvody

- Elektronický obvod, který přechází mezi několika diskrétními stavy (nejčastěji dvěma), přičemž ke změně mezi stavy dochází skokově.

RS

S = 0, R = 0 (držení stavu):

Klopný obvod si uchovává svůj aktuální stav (hodnota Q se nemění).

S = 1, R = 0 (nastavení):

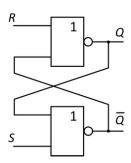
Výstup Q se nastaví na 1 a /Q na 0.

S = 0, R = 1 (nulování):

Výstup Q se nastaví na 0 a /Q na 1.

S = 1, R = 1 (neplatný stav):

Tento stav je v RS klopném obvodu s NOR hradly považován za neplatný, protože vede k nedefinovanému výstupu (obě hodnoty Q a /Q by měly být logicky opačné, což zde neplatí).



S	R	Q ^{t+1}	\overline{Q}^{t+1}
0	0	?	?
0	1	1	0
1	0	0	1
1	1	Q ^t	Q

RST

T = 0:

Bez ohledu na stav vstupů S a R obvod zůstává neaktivní, tj. výstup Q se nemění (držení stavu).

T = 1:

S = 1 a R = 0, výstup Q se nastaví na 1.

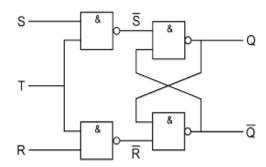
S = 0 a R = 1, výstup Q se nastaví na 0.

S = 0 a R = 0, výstup zůstává nezměněn.

S = 1 a R = 1, nastane neplatný stav, který je třeba v návrhu obvodu zabránit.

Výstupy Q a /Q:

Inverzní výstup /Q je vždy logicky opačný k výstupu Q.



Т	s	R	Q ^{t+1}	Q ^{t=1}
х	0	0	ŏ	ď
0	×	x	Q'	Q'
1	0	1	0	1
1	1	0	1	0
1	1	1	?	?

JK

J = 0, K = 0:

Klopný obvod si zachová aktuální stav Q (nic se nemění).

J = 0, K = 1:

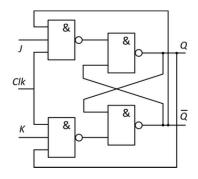
Výstup Q se nastaví na 0 (nulování). Inverzní výstup /Q bude 1.

J = 1, K = 0:

Výstup Q se nastaví na 1 (nastavení). Inverzní výstup /Q bude 0.

J = 1, K = 1:

Výstup Q se přepne na opačnou hodnotu (inverze). Pokud bylo Q původně 1, změní se na 0, a naopak. Tento režim se nazývá **toggle** (přepínání).



J	K	Q t+1	$\overline{Q^{t+1}}$
0	0	Q ^t	$\overline{Q^{t+1}}$
1	0	1	0
0	1	0	1
1	1	Q^{t+1}	Q ^t

D

D

Datový vstup, určuje hodnotu, která bude uložena.

CLK

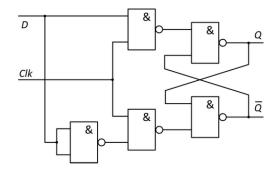
Řídicí (hodinový) signál, rozhoduje, kdy se hodnota na vstupu D uloží do výstupu.

Q

Výstup, který uchovává uloženou hodnotu.

 $/Q(\overline{Q})$

Inverzní výstup (opačná hodnota k Q).



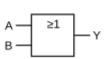
D	C	Qn+1
0	0	Qn
1	0	Qn
0	1	0
1	1	1

Logické Hradlo

- Někdy nazývaný logický člen, je základní stavební člen logických obvodů, vypočítává logické funkce a vypisuje jejich výsledek.
- Obvykle má jeden nebo více vstupů a výstupů.
- Hodnota na výstupu logického členu je výsledkem hodnot vstupních.

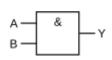
Základní hradla:





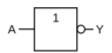
$X_1(A)$	$X_2(B)$	Y
0	0	0
0	1	1
1	0	1
1	1	1

AND



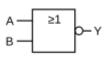
$X_1(A)$	$X_2(B)$	Y
0	0	0
0	1	0
1	0	0
1	1	1

NOT



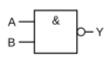
X(A)	Y 1 0
0	1
1	0

NOR



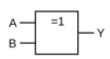
$X_1(A)$	$X_2(B)$	Y
0	0	1
0	1	0
1	0	0
1	1	0

NAND



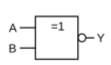
$X_1(A)$	$X_2(B)$	Y
0	0	1
0	1	1
1	0	1
1	1	0

XOR



$X_1(A)$	$X_2(B)$	Y
0	0	0
0	1	1
1	0	1
1	1	0

XNOR



$X_1(A)$	$X_2(B)$	Y
0	0	1
0	1	0
1	0	0
1	1	1

Legenda

- R/K Reset
- **S/J** Set
- T Časový vstup určuje, kdy má hradlo nebo obvod provést svou funkci
- , / Negovaný vstup/výstup
- \mathbf{Q}_{t} aktuální stav (čas \mathbf{t}_{+0})
- \mathbf{Q}_{t+1} stav následující (čas t_{+1})
- X hazardní stav ve kterém neplatí negace mezi Q a /Q
- $X_{1/2}$ vstup
- Y výstup