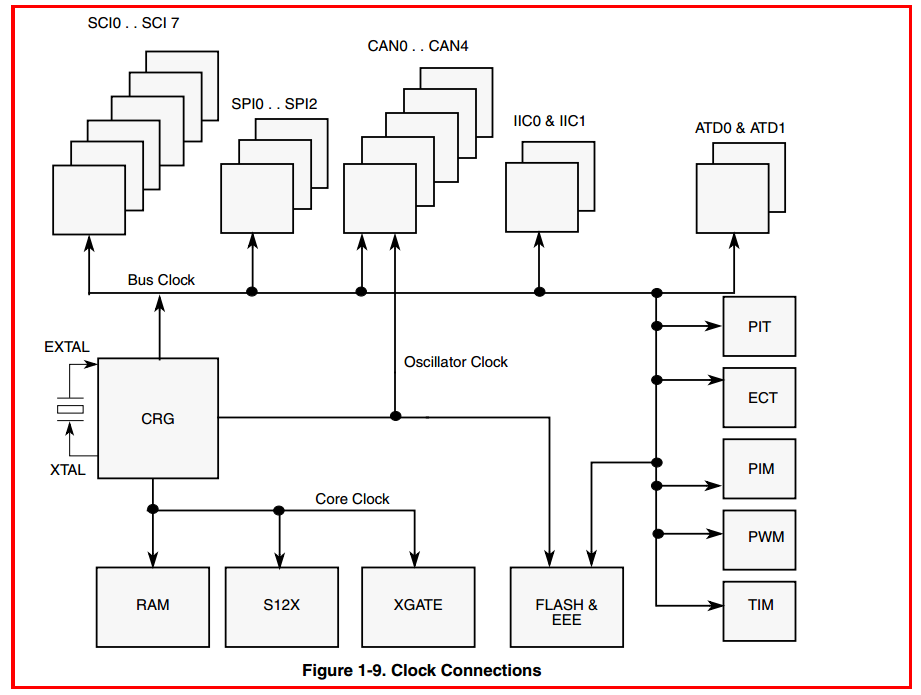
* 1. 时钟配置

**系统时钟树：**

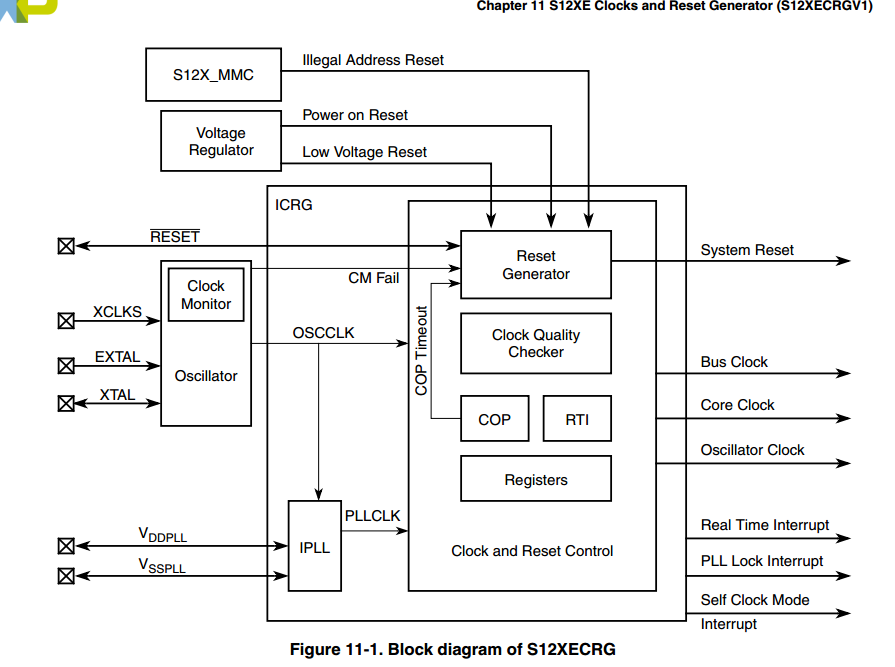


Bus Clock为各种外设提供时钟；

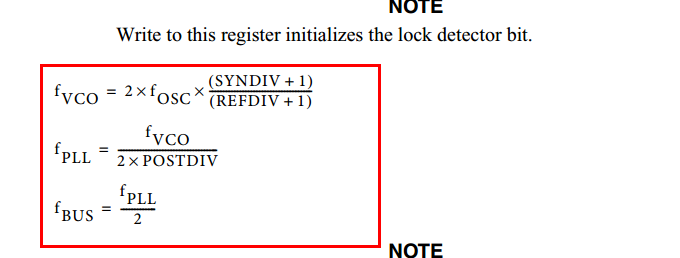
Core Clock为内存，CPU核心等提供时钟；

Oscillator Clock振荡器时钟，可为CAN和FLASH（EEPROM）提供时钟

**CRG模块逻辑实现图：**



**各个子时钟模块的计算关系：**



其中，fOSC即OSCCLK（外部晶振时钟频率）。

PS：在配置内部PLL前，MCU默认使用内部RC振荡器进行工作，PLL稳定后可通过寄存器讲MCU时钟切换到PLL。

* 1. I2C模块
     1. I2C总线速度

**快速模式**

快速模式器件可以在400kbit/s 下接收和发送。最小要求是：它们可以和400kbit/s 传输同步，可以延长SCL 信号的低电平周期来减慢传输。快速模式器件都向下兼容，可以和**标准模式器件在0~100kbit/s 的I2C 总线系统通讯**。但是，由于标准模式器件不向上兼容，所以不能在快速模式I2C 总线系统中工作。快速模式I2C 总线规范与标准模式相比有以下特征：

1、最大位速率增加到400kbit/s；

2、调整了串行数据（SDA） 和串行时钟（SCL ）信号的时序；

3、快速模式器件的输入有抑制毛刺的功能，SDA 和SCL输入有施密特触发器；

4、快速模式器件的输出缓冲器对SDA 和SCL 信号的下降沿有斜率控制功能；

5、如果快速模式器件的电源电压被关断，SDA 和SCL 的I/O 管脚必须悬空，不能阻塞总线；

6、连接到总线的外部上拉器件必须调整以适应快速模式I2C 总线更短的最大允许上升时间。对于负载最大是200pF 的总线，每条总线的上拉器件可以是一个电阻，对于负载在200pF~400pF 之间的总线，上拉器件可以是一个电流源（最大值3mA ）或者是一个开关电阻电路。

**高速模式**

高速模式（Hs 模式）器件对I2C 总线的传输速度有巨大的突破。Hs 模式器件可以在高达3.4Mbit/s 的位速率下传输信息，而且保持完全向下兼容快速模式或标准模式（F/S 模式）器件，它们可以在一个速度混合的总线系统中双向通讯。

Hs 模式传输除了不执行仲裁和时钟同步外，与F/S 模式系统有相同的串行总线协议和数据格式。

高速模式下I2C 总线规范如下：

1、Hs 模式主机器件有一个SDAH 信号的开漏输出缓冲器和一个在SCLH 输出的开漏极下拉和电流源上拉电路。这个电流源电路缩短了SCLH 信号的上升时间，任何时候在Hs 模式，只有一个主机的电流源有效；

2、在多主机系统的Hs 模式中，不执行仲裁和时钟同步，以加速位处理能力。仲裁过程一般在前面用F/S 模式传输主机码后结束；

3、Hs 模式主机器件以高电平和低电平是1:2 的比率产生一个串行时钟信号。解除了建立和保持时间的时序要求；

4、可以选择Hs 模式器件有内建的电桥。在Hs 模式传输中，Hs 模式器件的高速数据（SDAH）和高速串行时钟（SCLH ）线通过这个电桥与F/S 模式器件的SDA 和SCL 线分隔开来。减轻了SDAH 和SCLH 线的电容负载，使上升和下降时间更快；

5、Hs 模式从机器件与F/S 从机器件的唯一差别是它们工作的速度。Hs 模式从机在SCLH 和SDAH输出有开漏输出的缓冲器。SCLH 管脚可选的下拉晶体管可以用于拉长SCLH 信号的低电平，但只允许在Hs 模式传输的响应位后进行；

6、Hs 模式器件的输出可以抑制毛刺，而且SDAH 和SCLH 输出有一个施密特触发器；

7、Hs 模式器件的输出缓冲器对SDAH 和SCLH 信号的下降沿有斜率控制功能。

PS: SCL时钟有Master控制，包括Master接收模式。

* 1. 局部总线模块（EBI）