

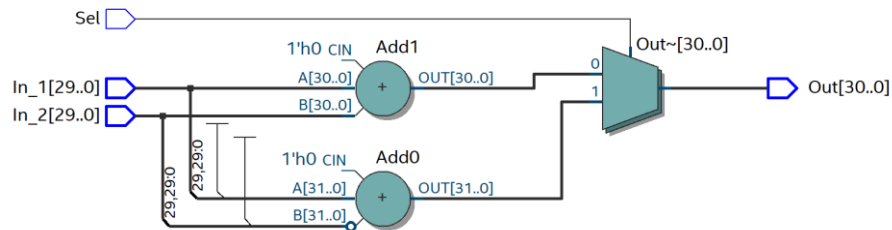
VSD HW1

F64091130 楊采語

一、設計原理

1. Behavioral

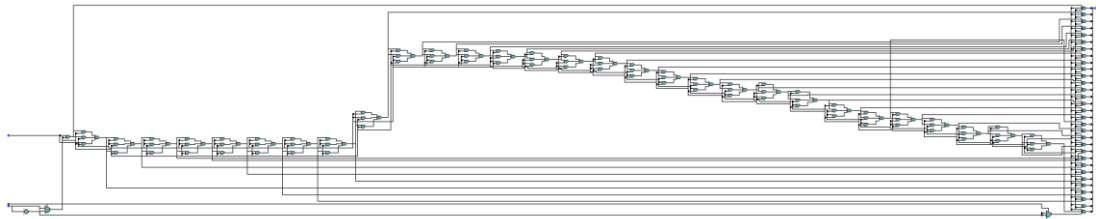
輸入訊號設為 signed，用 Sel 判斷需要進行加法還是減法。



2. Structural

先用 Sel 判斷 In_2 是要維持原本的數或是換成 2 的補數+1($In_1 - In_2 = In_1 + In_2$ 的 2 補數 + 1)，再利用 1 個半加器、29 個全加器串接而成。

1 個半加器：因第 0 個 bit 不需要加上進位的值，使用半加器就可以了。



二、模擬結果

Wave - Default		Msgs									
+/testbench...	-451125	-300090636	381850404	454344970	-428660104	396537456	-492983499	-478893787	-178580689	123235129	
+/testbench...	914134170	717355217	929992912	756629032	95551484	4136305	196429007	832568390	967259173	55637470	
+/testbench...	0										
+/testbench...	-160058779	-656477243	238101492	137232178	-524211588	400673761	-296554492	-720067221	-285063340	178872599	

```
VSIM 12> run -all
# -----Start Simulation-----
#
# ----- Simulation finish, ALL PASS -----
#
# ** Note: $finish      : C:/NCKU/VLSI/HW1/testbench.v(58)
#    Time: 100000100 ns  Iteration: 0  Instance: /testbench
```

三、問題討論

Behavioral 的模擬時間會比 Structural 的快很多，因為 Behavioral 寫法可以由 EDA 自行選擇更快的加法器進行運算，且使用 Verilog 的有符號運算 (signed)，不用再自行轉換成 2 補數。而 Structural 使用半加器、1-bit 全家器進行串接，會導致後面的答案都要先等前的進位(c_in)算出來，所以時間會比較久。