

VLSI 初学习

VLSI 设计流程：

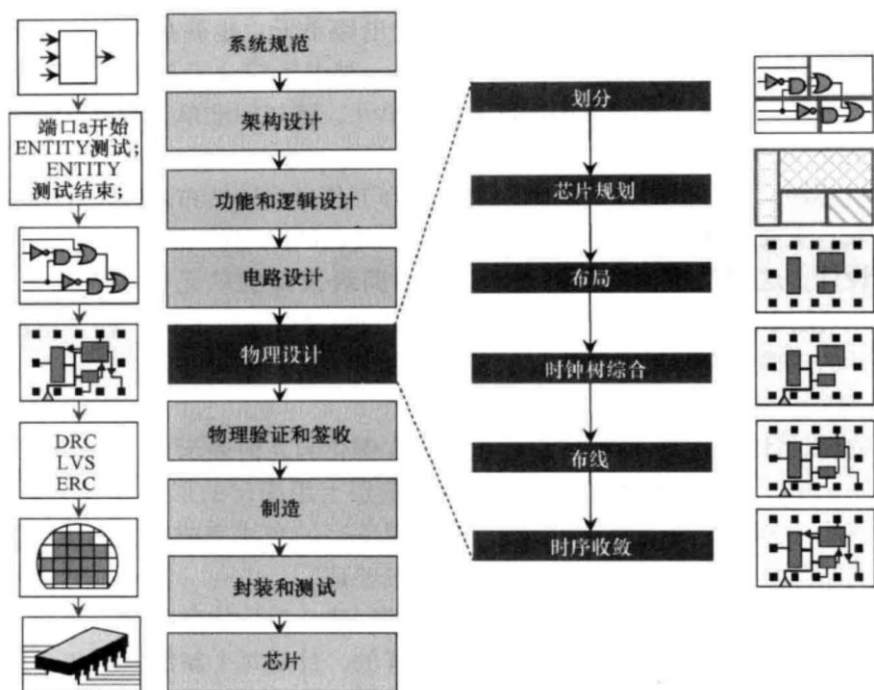


图 1.3 VLSI 设计流程中的主要步骤，重点研究的物理设计分为划分（第 2 章）、芯片规划（第 3 章）、布局（第 4 章）、时钟树综合（第 7 章）、布线（第 5、6 章）和时序收敛（第 8 章）

其中，物理验证包含：DRC、LVS、ERC；

经过 DRC、LVS、ERC 处理后的最终版图，表示为 GDSII 流格式，进行流片制造；

VLSI 设计模式

1、全定制

用微处理器和 FPGA

2、半定制

a) 基于单元

i) 标准单元

预定义模块

ii) 宏单元

较大逻辑块，例如加法器

b) 基于阵列

i) 门阵列

具有标准逻辑功能的硅片，但没有连接，设计和布线简单；

ii) FPGA

逻辑单元和连接预先制造好，可通过开关配置；

设计方法：

- 自底向上：
- 自上向下：
- 硅虚拟原型设计：

布图时，将设计分割；

布线时，采集用实验布线法(trial route)；



静态时序分析(STA)：

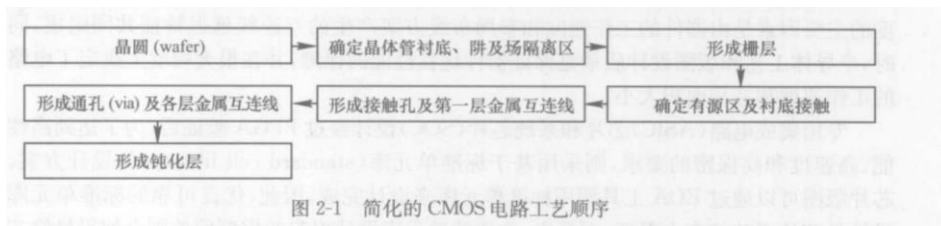
主要方法：PERT(项目评审技术)、CPM（关键路径方法）

任务：分析最差延时路径和最坏情况下的延时

EDA 工具采用的主要数据文件格式：

- RTL 设计: Verilog (.v)、VHDL (.vhd)
- 综合: Gate-level Netlist (.v)
- 约束: SDC (Synopsys Design Constraints, .sdc)
- 物理设计: DEF (Design Exchange Format, .def)、LEF (Library Exchange Format, .lef)
- 验证: SPEF (Standard Parasitic Exchange Format, .spef)、SDF (Standard Delay Format, .sdf)
- 版图: GDSII (.gds)、OASIS (.oas)

CMOS 集成电路制造工艺(n 阱工艺)



版图设计

将电路设计转换为物理布局的过程;

基本步骤:

电路原理图->生成网表->版图绘制(布局、布线)->DRC&&LVS->寄生参数提取和仿真

物理验证过程:

- 设计规则检查 (DRC, Design Rule Check)

检查版图是否符合工艺设计规则, 确保制造可行性。

- 版图验证 (Layout Versus Schematic, LVS)

确保版图与电路原理图的电路结构一致;

检查内容:

- 1、电气连接关系
- 2、器件类型尺寸

流程:

- 1、抽取

借助 EDA 工具从版图中抽取网表文件 (SPICE 网表), 同时将电路网表 (Verilog 网表) 转换为 SPICE 网表, 进行比较;

- 2、比较

两个网表的电路连接关系和器件完全一致, 则通过 LVS 检查