Verilator + gtkwave 快速上手教程 v1.1

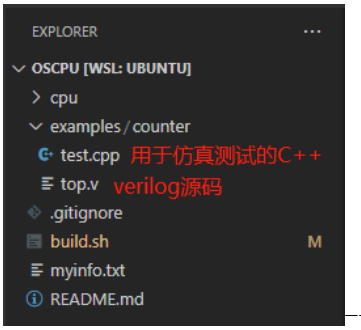
0. preview

0.0 软件简介

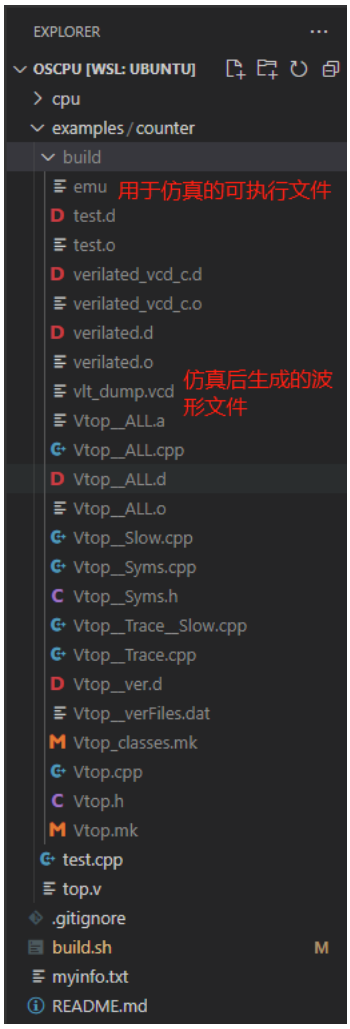
Verilator 可以将 Verilog 集成到 C++程序中，实现综合仿真。
The Verilator package converts Verilog and SystemVerilog hardware description language (HDL) designs into a C++ or SystemC model that after compiling can be executed. Verilator is not a traditional simulator, but a compiler.

Gtkwave 可以使波形文件可视化。

0.1 工程文件构成



---编译+仿真-->



0.2 动手前看看

$(variable)表示命名为 variable 的字符串变量

1. 编辑 verilog 顶层文件$(top).v：实现模块内部逻辑，向外部提供 IO 信号端口。
2. 编辑应用程序代码:在测试文件$(test).cpp 中包含头文件 #include "V$(top).h"，对类 V$(top) 进行实例化并访问。

V$(top) 这个类将可读写的 IO 信号作为成员变量，提供给应用程序。顶层模块中的子模块为内部构件，一般不被应用程序代码触及。

若顶层模块内提供了时钟信号，则在应用程序可通过改变类的端口电平模拟时钟周期变化。例如顶层文件 Top.v，提供时钟信号端口 clock，应用程序经过 #include “VTop.h” 引入，通过以下过程模拟时钟变化：

```
VTop* top_ptr = new VTop;
...
Top_ptr->clock = 0;
Top_ptr->eval();
Top_ptr->clock = 1;
Top_ptr->eval(); //一个时钟周期后评估输出
...
```

0.3 我的环境

虚拟机软件：VMware Workstation 15 Pro 或 Oracle VM VirtualBox
操作系统：Linux ubuntu 20.04

1. 软件安装

我们提供下面两种安装方式，不建议使用命令 apt install verilator 来安装，因为该命令安装的 verilator 版本比较旧，我们推荐用新版本的 verilator。

1.1 Verilator

1.1.1 方式一 自动化脚本安装（推荐）

从”一生一芯”网站上下载 verilator_installer.tar.gz，在 Ubuntu 中解压，进入解压后的目录，使用下面的命令安装

```
./install_verilator.sh
```

该安装脚本将自动安装 verilator_4_204_amd64.deb 和所需依赖包。

1.1.2 方式二 编译安装 Verilator

```
# Prerequisites:
```

```
sudo apt-get install git perl python3 make autoconf g++ flex
bison ccache libgoogle-perftools-dev numactl perl-doc libfl2
libfl-dev zlibc zlib1g zlib1g-dev

git clone https://github.com/verilator/verilator # Only first
time
## Note the URL above is not a page you can see with a browser,
it's for git only
# Every time you need to build:
unsetenv VERILATOR_ROOT # For csh; ignore error if on bash
unset VERILATOR_ROOT # For bash
cd verilator
git pull # Make sure git repository is up-to-date
git checkout v4.204

autoconf # Create ./configure script
./configure --prefix=/usr # Configure and create Makefile
make # Build Verilator itself
sudo make install
```

具体请参考 https://verilator.org/guide/latest/install.html

1.2 Gtkwave

```
sudo apt-get install gtkwave
#gtkwave --version
```

可查看版本

Gtk-Message: 16:44:00.457: Failed to load module "canberra-gtk-module"
GTKWave Analyzer v3.3.103 (w)1999-2019 BSI

2. 获取代码

按照下面的命令下载代码，并对 git 做相应的配置

```
# 克隆 github 上的 oscpu-framework 代码
git clone -b 2021 https://github.com/OSCPU/oscpu-framework.git
oscpu
# 使用你的编号和姓名拼音代替双引号中内容
git config --global user.name "2021000001-Zhang San"
# 使用你的邮箱代替双引号中内容
git config --global user.email "zhangsan@foo.com"
# 修改你喜欢的编辑器为 git 编辑器
git config --global core.editor vim
# 让 Git 显示颜色
git config --global color.ui true
```

在 oscpu 目录中的 myinfo.txt 文件里填写自己的 ID 和姓名。接下来就可以开始编译和仿真了。

3.例程

3.1 4 位计数器

examples/counter 目录下存放了 4 位计数器的例程源码。包含 top.v 和 test.cpp 两个文件。

3.1.1 编译+仿真

```
执行前目录
oscpu
├─── README.md
├─── build.sh
├─── cpu
│      ......
├─── examples
│       └─── counter
│       ├─── test.cpp
│       └─── top.v
└─── myinfo.txt
```

执行下面的命令进行编译和仿真。

```
./build.sh -e counter -b -s
```

如果前面的步骤成功，执行后将看到下面的输出：

```
Simulating...
Enabling waves ...
Enter the test cycle:
```

这是 build.sh 和 c++测试程序输出的 log。在 counter 例程的 c++测试程序中，要求我们输入一个周期数来进行 counter 的仿真，这里以 20 为例。输入 20 后程序结束运行，在 examples/counter/build/目录中生成波形文件 vlt_dump.vcd。

build.sh 的参数可以使用命令"./build.sh -h"查看：
-e 指定一个例程作为工程目录，如果不指定，将使用"cpu"目录作为工程目录
-b 编译工程，编译后会在工程目录下生成"build"子目录，里面存放编译后生成的文件
-t 指定 verilog 顶层文件名，如果不指定，将使用"top.v"作为顶层文件名
-s 运行仿真程序，即"build/emu"程序，运行时工作目录为"build"子目录
-a 传入仿真程序的参数，比如：-a "1 2 3 ......"，多个参数需要使用双引号
-f 传入 c++编译器的参数，比如：-f "-DGLOBAL_DEFINE=1 -ggdb3"，多个参数需要使用双引号

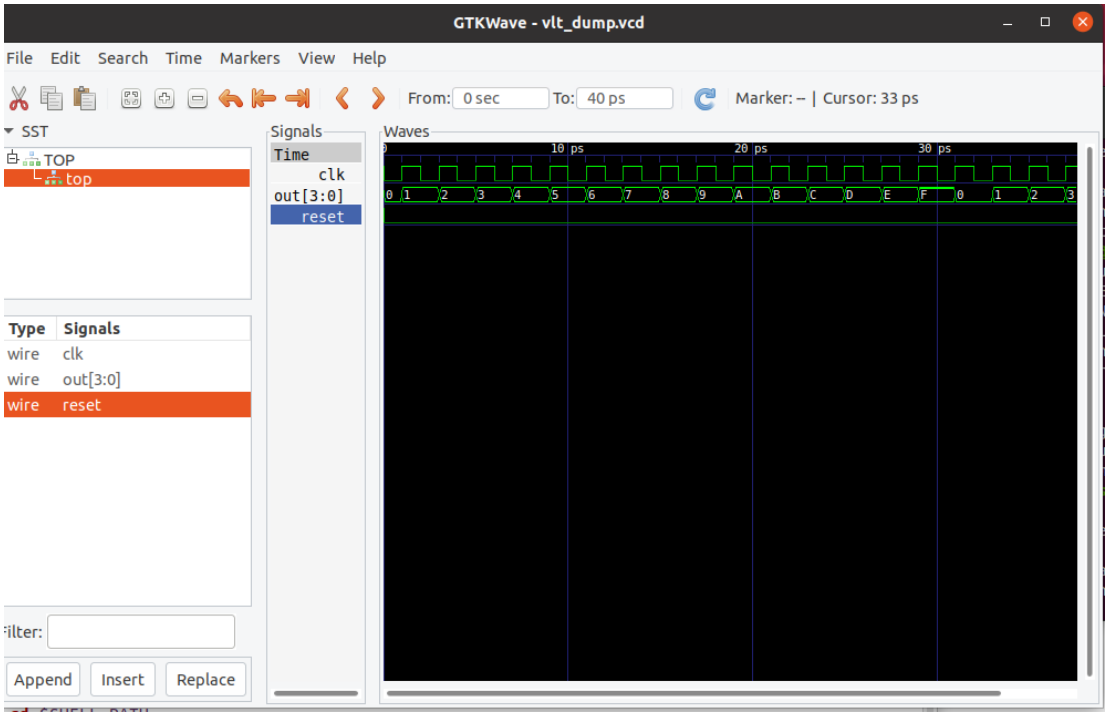
-g 使用 gdb 调试仿真程序
-w filename 使用 gtkwave 打开生成的 filename 波形文件，打开时工作目录为"build"子目录
-c 清除所有编译生成的"build"文件夹

```
执行后目录
oscpu
├─── README.md
├─── build.sh
├─── cpu
│      ......
├─── examples
│      └─── counter
│      ├─── build
│      │      ├─── Vtop.cpp
│      │      ├─── Vtop.h
│      │      ├─── Vtop.mk
│      │      ├─── Vtop__ALL.a
│      │      ├─── Vtop__ALL.cpp
│      │      ├─── Vtop__ALL.d
│      │      ├─── Vtop__ALL.o
│      │      ├─── Vtop__Slow.cpp
│      │      ├─── Vtop__Syms.cpp
│      │      ├─── Vtop__Syms.h
│      │      ├─── Vtop__Trace.cpp
│      │      ├─── Vtop__Trace__Slow.cpp
│      │      ├─── Vtop__ver.d
│      │      ├─── Vtop__verFiles.dat
│      │      ├─── Vtop_classes.mk
│      │      ├─── emu
│      │      ├─── test.d
│      │      ├─── test.o
│      │      ├─── verilated.d
│      │      ├─── verilated.o
│      │      ├─── verilated_vcd_c.d
│      │      ├─── verilated_vcd_c.o
│      │      └─── vlt_dump.vcd
│      ├─── test.cpp
│      └─── top.v
└─── myinfo.txt
```

3.1.2 查看波形

运行下面的命令，脚本将使用 gtkwave 打开波形文件。可以看到在每个 clk 的上升沿时，out 在[0,15]之间循环递增，符合设定的 4 位计数器的程序行为。

```
./build.sh -e counter -w vlt_dump.vcd
```



3.2 cpu

cpu 目录下存放了单周期 risc-v cpu 框架源码，源码实现了 RV64I 指令"addi"，后续的开发可以在此基础上进行。

3.2.1 编译+仿真+查看波形

使用下面命令实现对该工程的编译+仿真+查看波形。

```
./build.sh -b -t rvcpu.v -s -w top.vcd
```

输入"../inst.bin"+回车后程序结束运行，并打开输出的波形文件。