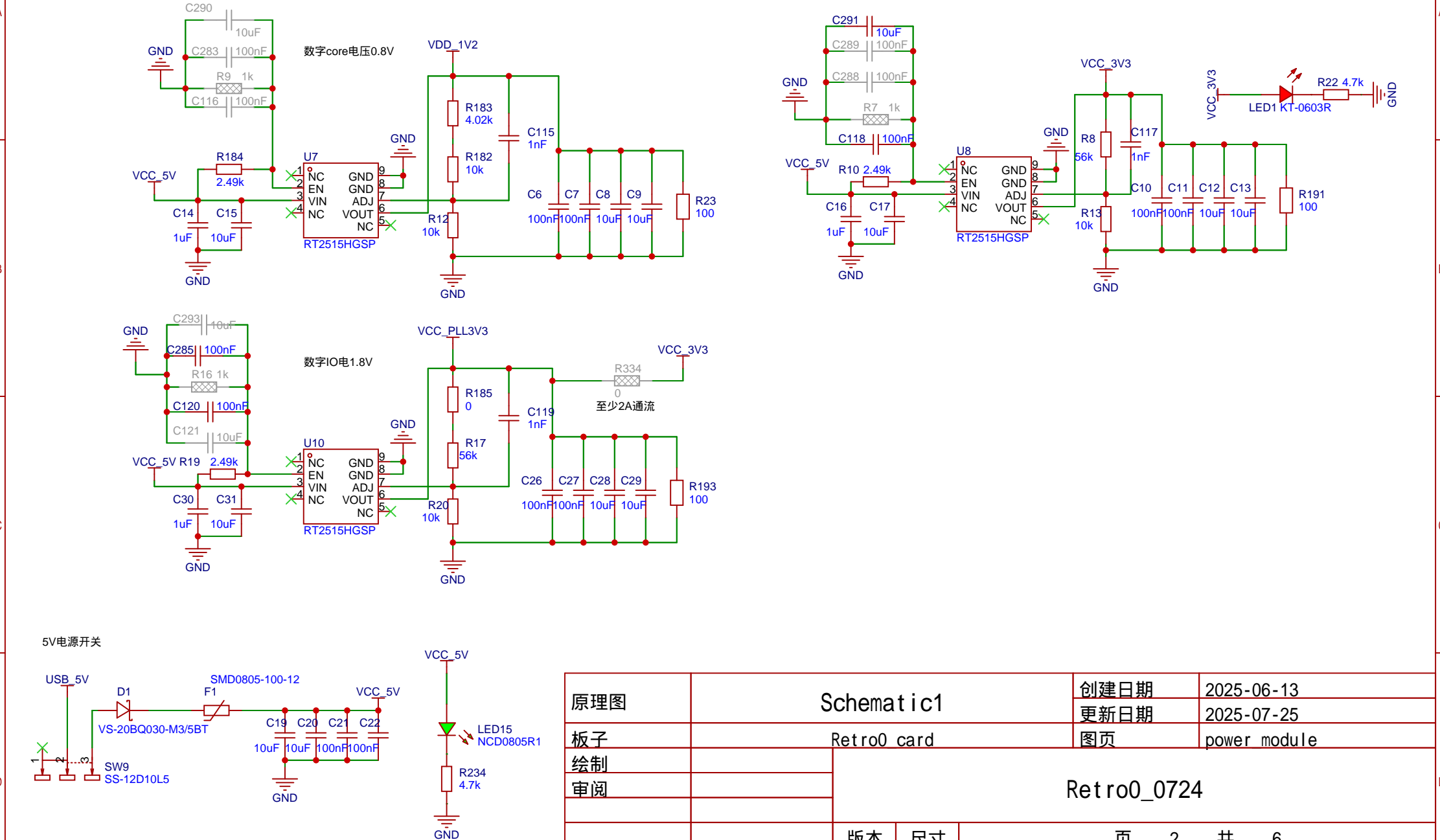
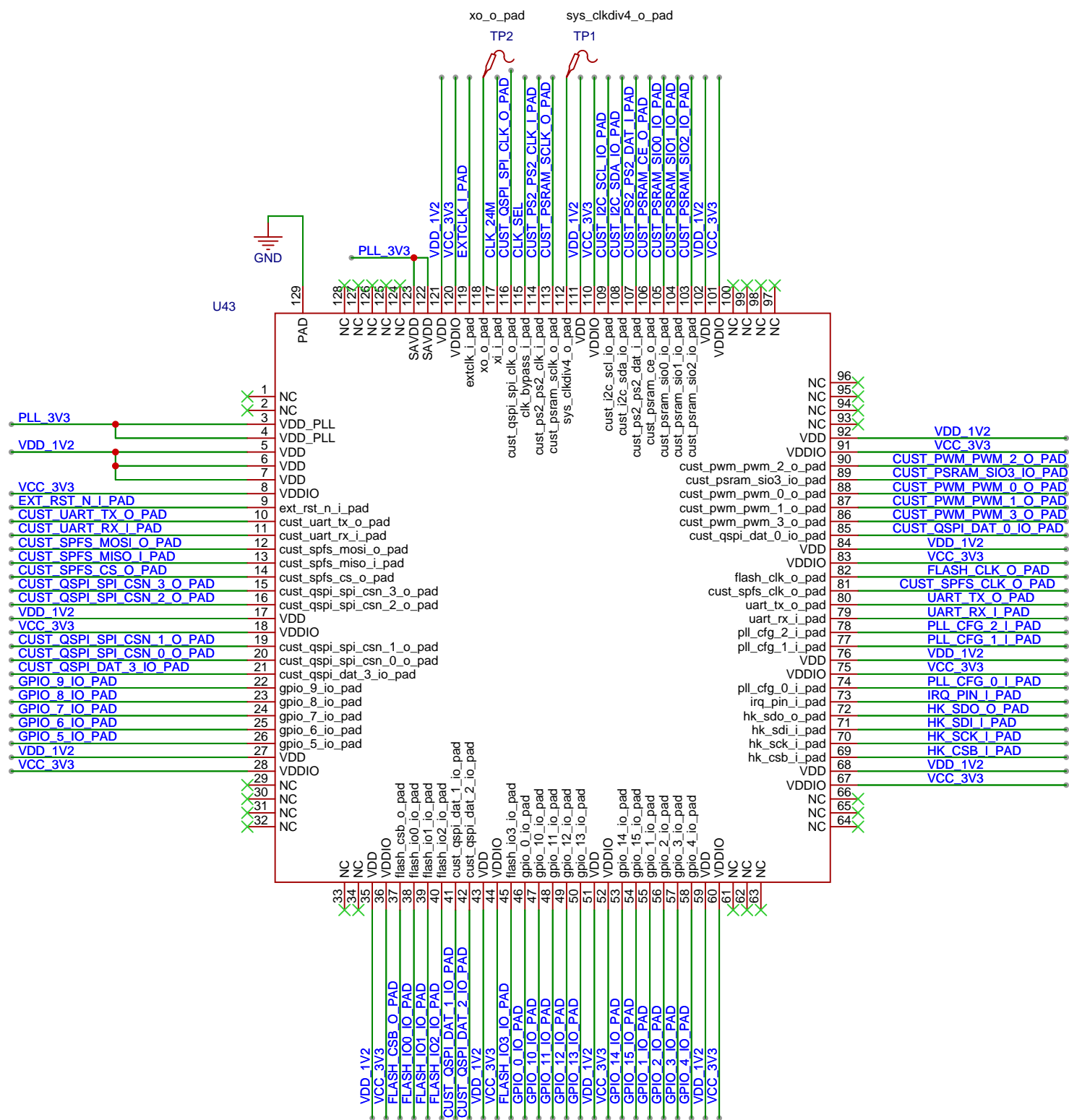


原理图	Schematic1			创建日期	2025-06-13
板子	Retro0 card			更新日期	2025-07-25
绘制	Retro0_0724			图页	overview
审阅					
		版本	尺寸	页 1 共 6	
嘉立创EDA		V1.0	A4	嘉立创EDA	

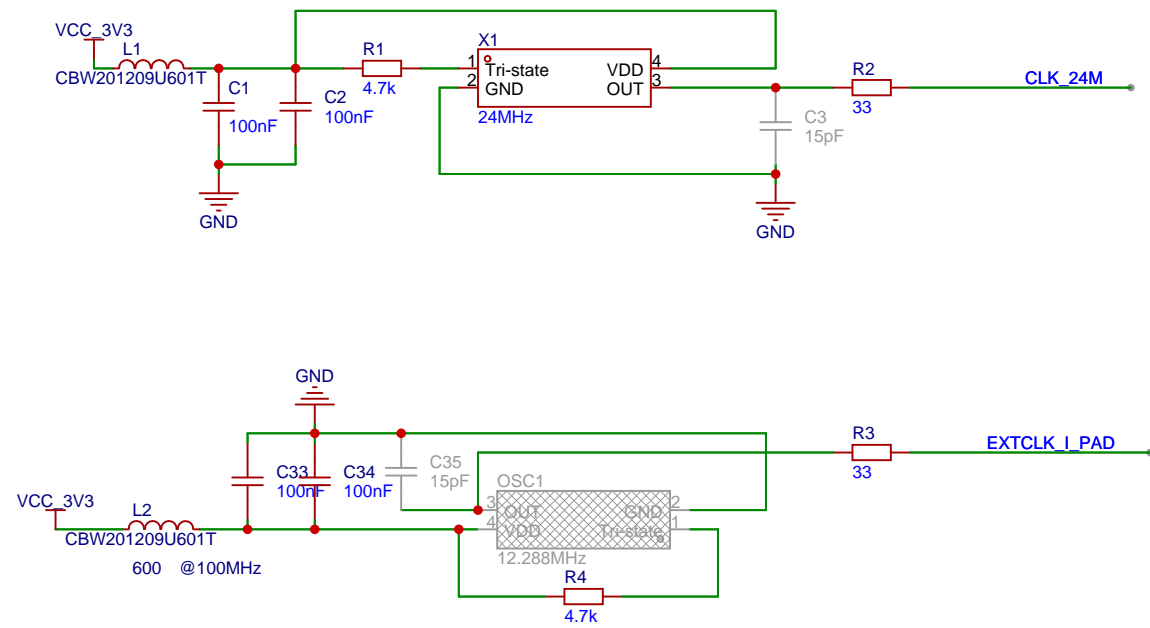
5V -> 数字Core电压（1.2V），模拟电压（3.3V），整版3.3V



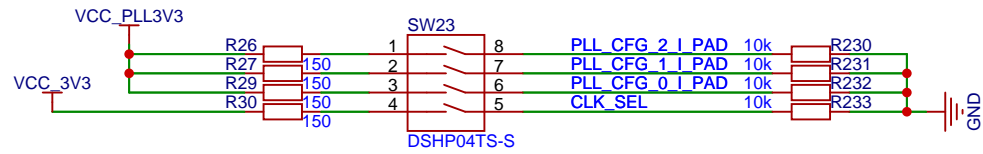
原理图	Schematic1			创建日期	2025-06-13
板子	Retro0 card			更新日期	2025-07-25
绘制	Retro0_0724			图页	power module
审阅					
		版本	尺寸	页 2 共 6	
嘉立创EDA		V1.0	A4	嘉立创EDA	



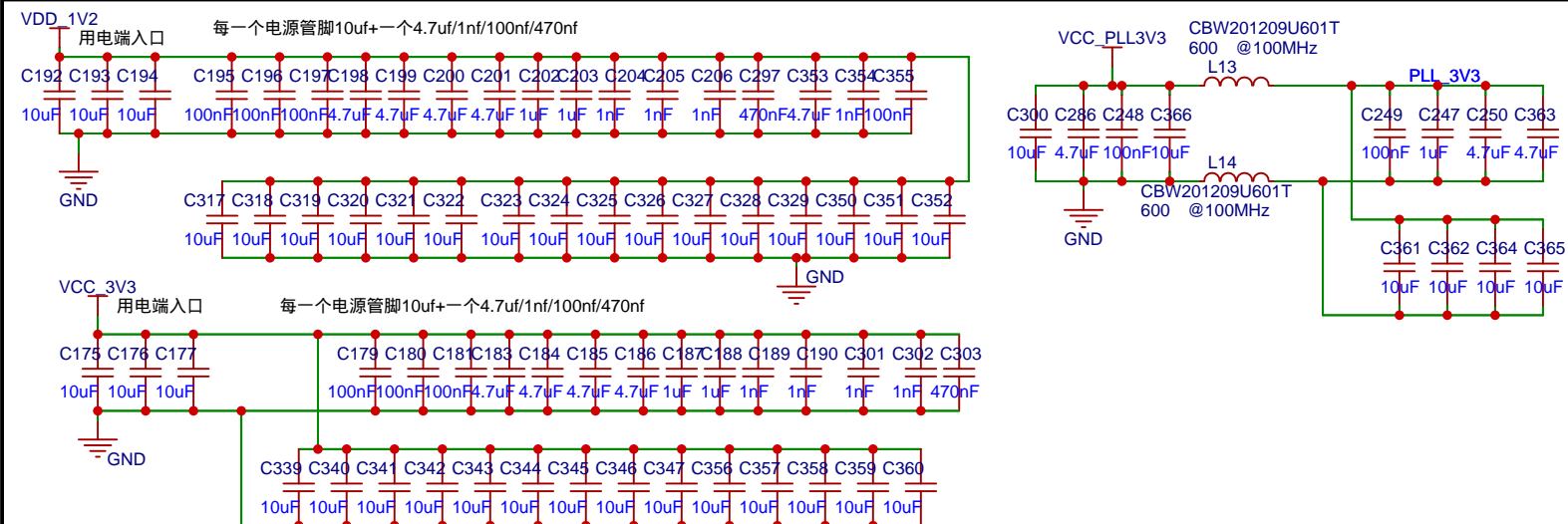
CHIP



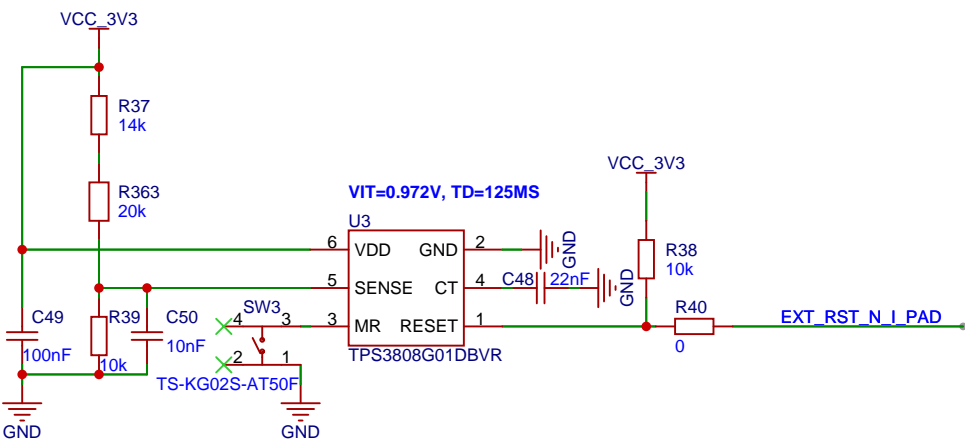
CLK



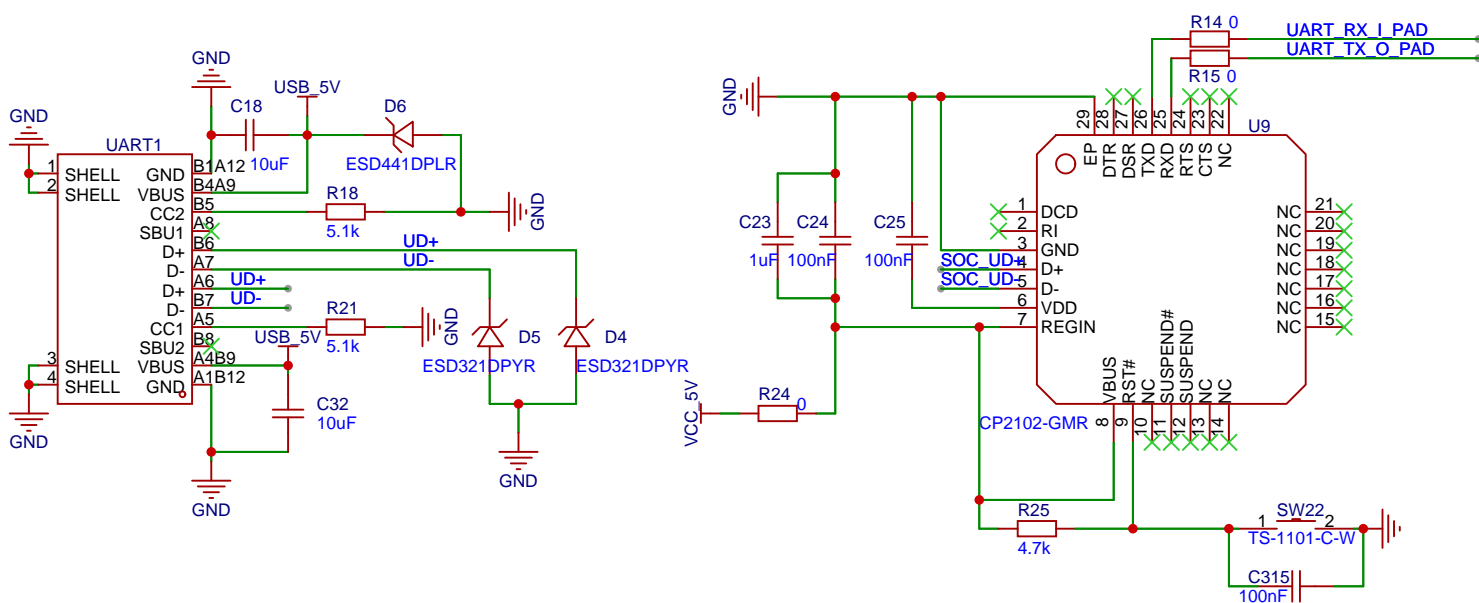
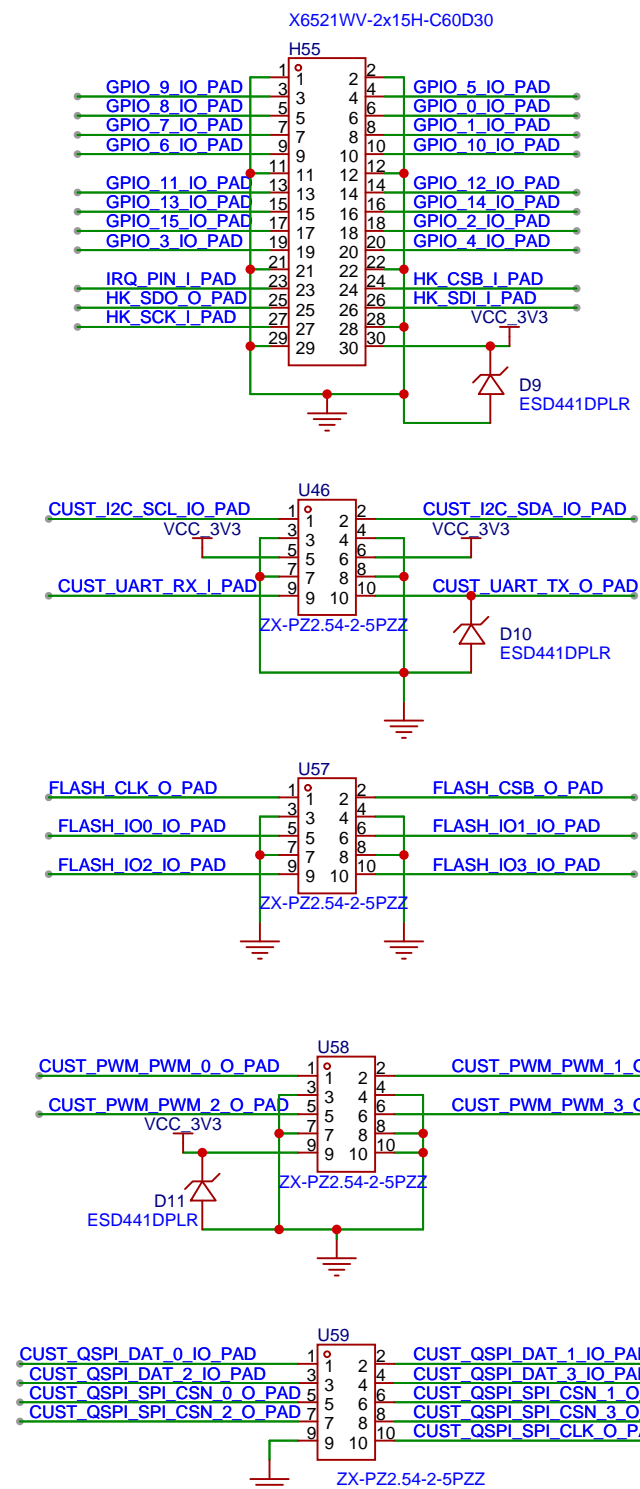
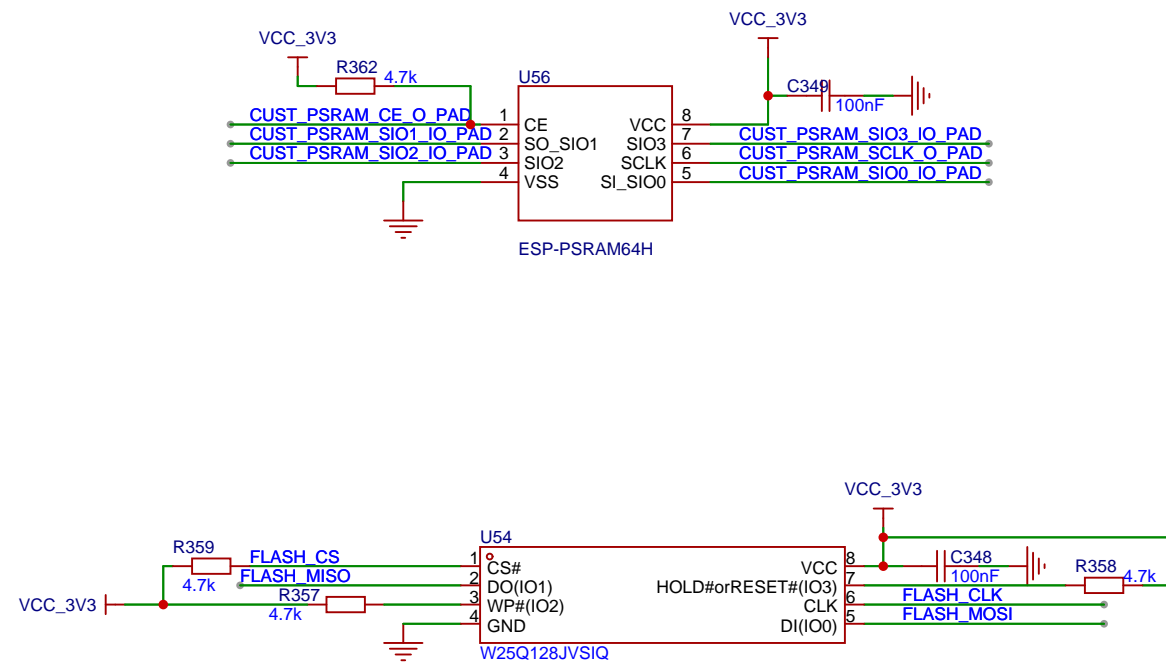
CONFIG\_SWITCH



RESET



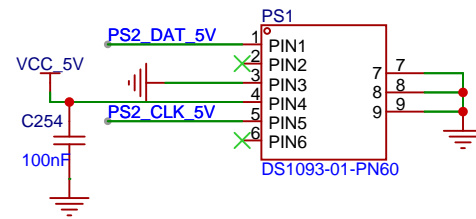
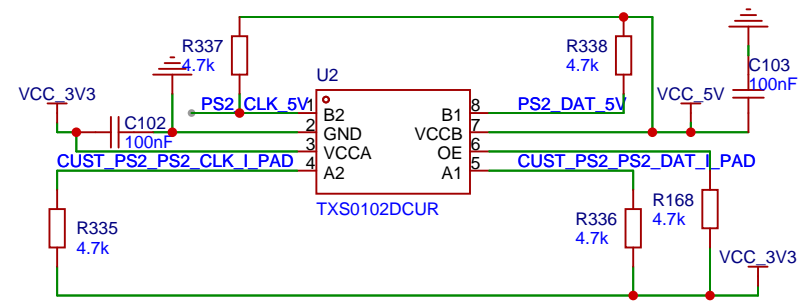
原理图	Schematic1	创建日期	2025-06-13
板子	Retro0 card	更新日期	2025-07-25
绘制		图页	chip peripheral
审阅			
Retro0_0724			
版本	尺寸	页	3 共 6
V1.0	A4	嘉立创EDA	



TYPEC

原理图	Schematic1		创建日期	2025-06-13
板子	Retro0 card		更新日期	2025-07-25
绘制			图页	interface circuit
审阅			Retro0_0724	
		版本	尺寸	页 4 共 6
嘉立创EDA		V1.0	A4	嘉立创EDA





PS2

原理图	Schematic1			创建日期	2025-06-13
板子	Retro0 card			更新日期	2025-07-25
绘制	Retro0_0724			图页	peripheral interface
审阅					
		版本	尺寸	页 6 共 6	
嘉立创EDA		V1.0	A4	嘉立创EDA	