

Universidad San Carlos de Guatemala

Facultad de ingeniería

Escuela de ciencias y sistemas

Organización computacional

Escuela de vacaciones junio 2025

Ingeniero: Fernando Paz

Auxiliar: Jorge de León



## **PRACTICA #2**

### **ALU**

Obed Isaac García Recinos – **202241269** – **25%**

Ángel Josué Jiménez Carranza – **202341585** – **25%**

Christopher Misael Sandoval García – **202243426** – **25%**

Alan Horacio Cerón Valdez - **202240093** – **25%**

**Viernes 13 de junio de 2025**

## **INTRODUCCIÓN**

En el ámbito de la electrónica digital, los bloques MSI (Medium Scale Integration, por sus siglas en inglés) desempeñan un papel crucial en la construcción de circuitos complejos. Dentro de esta categoría, los bloques MSI tipo aritmético son especialmente importantes para realizar operaciones aritméticas básicas, como sumas, restas y multiplicaciones, de manera eficiente y confiable. Los bloques digitales combinacionales MSI tipo aritmético están diseñados para realizar operaciones matemáticas utilizando compuertas lógicas, registros y otros componentes digitales. Estos bloques están configurados para recibir dos o más operandos y generar una salida que representa el resultado de la operación.

# **OBJETIVOS**

## **Objetivo General**

1. Construir una Unidad Aritmética Lógica Básica (ALU).

## **Objetivos Específicos**

1. Aprender el funcionamiento de Multiplexores, Demultiplexores, Comparadores y Decodificadores.
2. Construir un diseño óptimo, logrando utilizar la menor cantidad de dispositivos.
3. Aprender el funcionamiento de Operaciones Lógicas, Aritméticas y Comparativas con números binarios.

## **DESCRIPCIÓN**

Como estudiantes del curso Organización Computacional, han sido contratados por Intel Corporation para desarrollar un prototipo de calculadora llamado "LogicCalc". Intel busca una solución óptima basada en lógica combinacional que sea capaz de realizar cálculos aritméticos y lógicos. Para cumplir con estos requisitos, Intel ha proporcionado las especificaciones únicas para una Unidad Aritmética Lógica Básica (ALU).

**CONTENIDO**  
**FUNCIONES BOOLEANAS**  
**UNIDAD ARITMETICA**

**SUMADOR - RESTADOR**

A	B	CI	CO	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

CO				
A\BCI	00	01	11	10
0	0	0	1	0
1	0	1	1	1
CO=	AB+ACI+BCI			

S				
A\BCI	00	01	11	10
0	0	1	0	1
1	1	0	1	0
S= A XOR B XOR CI				

## UNIDAD LOGICA

**AND**

<b>A0</b>	<b>B0</b>	<b>Z</b>	<b>LS</b>
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

$$LS = A0B0Z$$

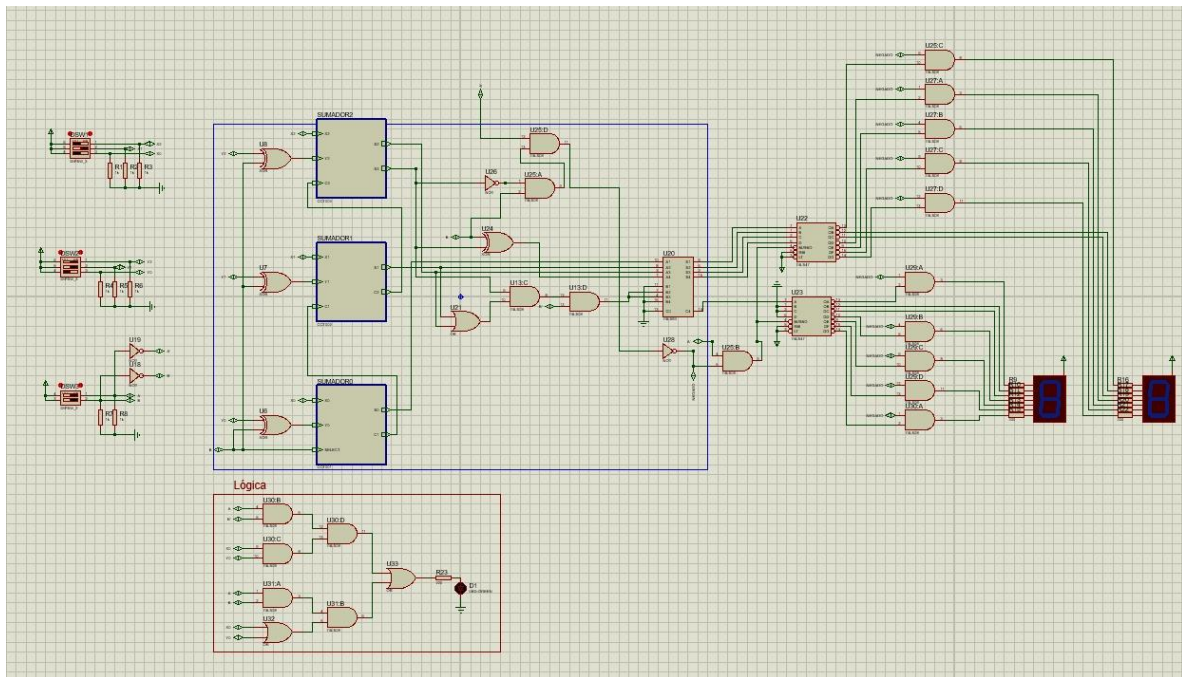
**OR**

<b>A0</b>	<b>B0</b>	<b>R</b>	<b>LS</b>
0	0	0	-
0	0	1	0
0	1	0	-
0	1	1	1
1	0	0	-
1	0	1	1
1	1	0	-
1	1	1	1

A0\B0R	00	01	11	10
0	0	0	1	0
1	0	1	1	0

$$LS = B0R + A0R = R(B0 + A0)$$

## DIAGRAMA DEL CIRCUITO





## EQUIPO UTILIZADO

NOMBRE	CANTIDAD
74LS08 – AND	7
74LS32 – OR	3
74LS86 – XOR	3
74LS04	2
RESISTENCIAS (VARIAS)	23
DISPLAYS DE 7 SEGMENTOS	2
74LS83 – SUMADOR DE 4 BITS	1
74LS47 – DECODIFICADORA A 7 SEGMENTOS	2
DIP SWITCH DE 2 ENTRADAS	1
DIP SWITCH DE 3 ENTRADAS	2
CABLE PARA PROTOBOARD	-----
PROTOBOARD	5

## PRESUPUESTO

### GASTOS

NOMBRE	CANTIDAD	PRECIO	COSTO
74LS08 – AND	7	Q5.00	Q35.00
74LS32 – OR	3	Q5.00	Q15.00
74LS86 – XOR	3	Q7.00	Q21.00
74LS04	2	Q5.00	Q10.00
RESISTENCIAS (VARIAS)	23	Q1.00	Q23.00
DISPLAYS DE 7 SEGMENTOS	2	Q3.50	Q7.00
74LS83 – SUMADOR DE 4 BITS	1	Q20.00	Q20.00
74LS47 – DECODIFICADOR A 7 SEGMENTOS	2	Q12.00	Q24.00
DIP SWITCH DE 2 ENTRADAS	1	Q3.00	Q3.00
DIP SWITCH DE 3 ENTRADAS	2	Q6.00	Q12.00
CABLE PARA PROTOBOARD	2 metros	Q2.75	Q5.50
PROTOBOARD	5	Q80.00	Q400.00
		<b>Total</b>	<b>Q575.50</b>

### APORTE DE CADA INTEGRANTE

Obed Isaac García Recinos – **Q144**

Ángel Josué Jiménez Carranza – **Q144**

Christopher Misael Sandoval García – **Q144**

Alan Horacio Cerón Valdez - **Q144**

## **CONCLUSIONES**

En esta práctica se logró implementar una Unidad Aritmeticológica (ALU) básica capaz de realizar operaciones de suma, resta, AND y OR, utilizando únicamente decodificadores, sumadores y compuertas lógicas AND y OR, cumpliendo con las restricciones establecidas. Se emplearon decodificadores para la selección de operaciones y se integraron correctamente los componentes permitidos, garantizando un diseño funcional y ordenado. El circuito fue validado mediante simulación en Proteus, confirmando el correcto comportamiento de cada operación. Esta experiencia permitió reforzar los conocimientos sobre lógica combinacional, diseño de circuitos digitales y el trabajo en equipo aplicado a una solución práctica y concreta.

## ANEXOS

### FOTOGRAFIAS DEL CIRCUITO ELABORADO

