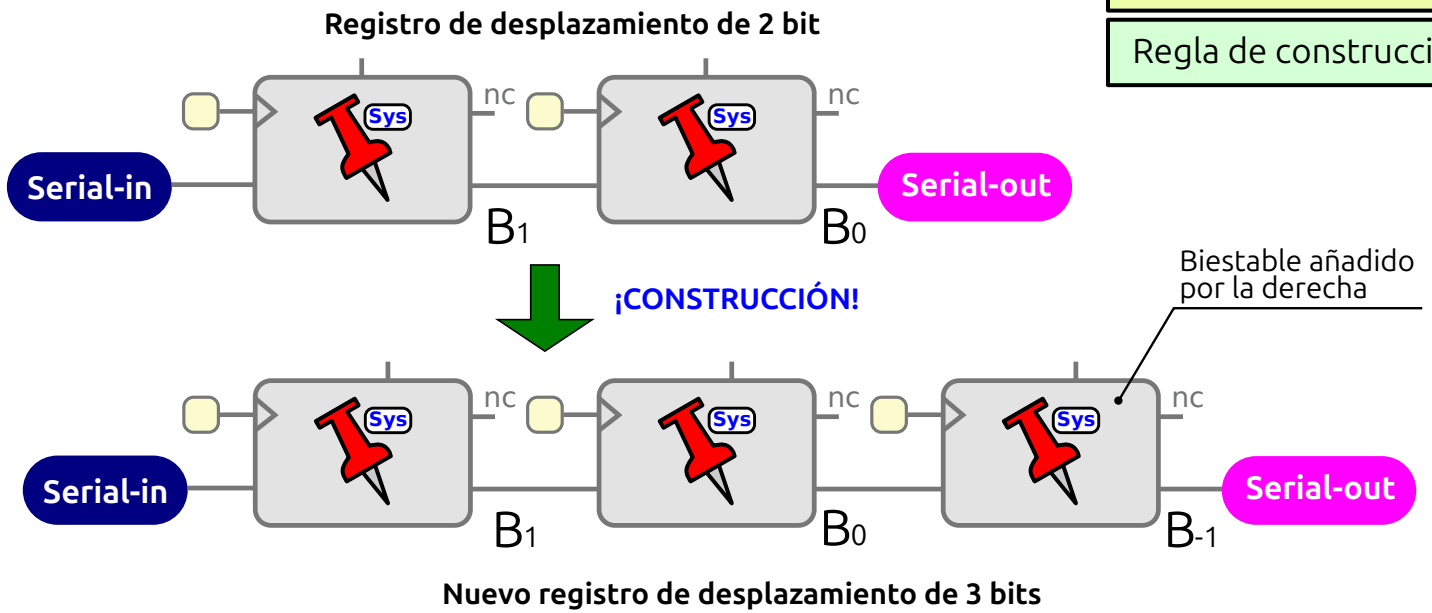


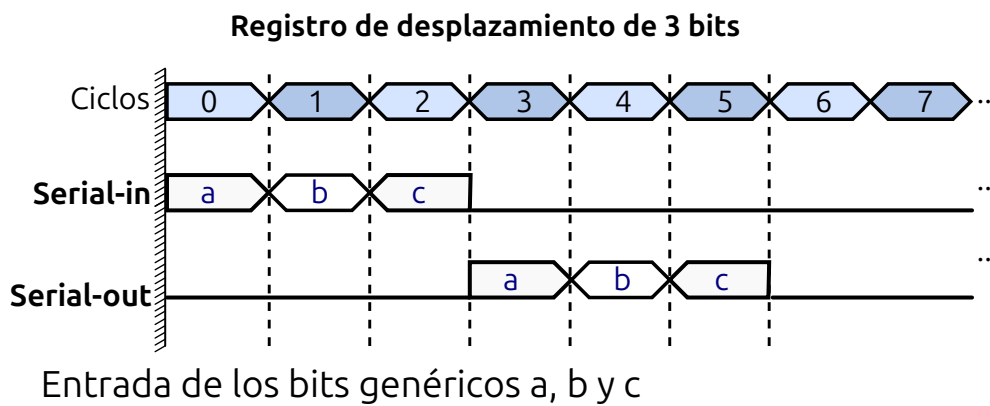
# Circuito en Icestudio

Fragmento de circuito

Regla de construcción



## Cronograma



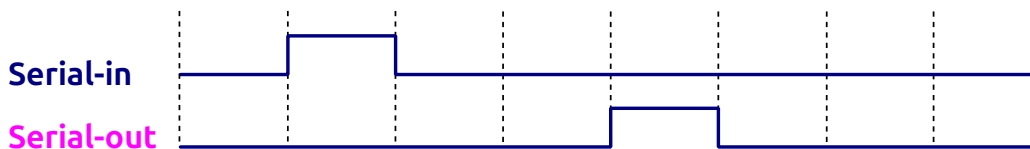
3 bits de almacenamiento

## Estado

Ciclo	Estado		
0	0	0	0
1	a	0	0
2	b	a	0
3	c	b	a
4	0	c	b
5	0	0	c
≥6	0	0	0

## Resultado

Señales retrasadas 3 ciclos



041

sreg-concat-right

Construcción de registros de desplazamiento por la derecha

TUTORIAL (Obijuan)