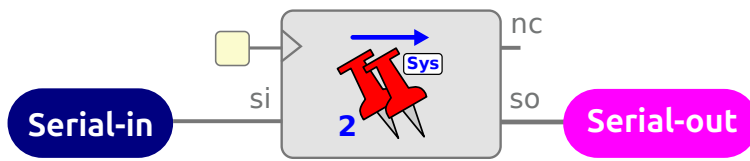


Circuito en Icestudio

Fragmento de circuito

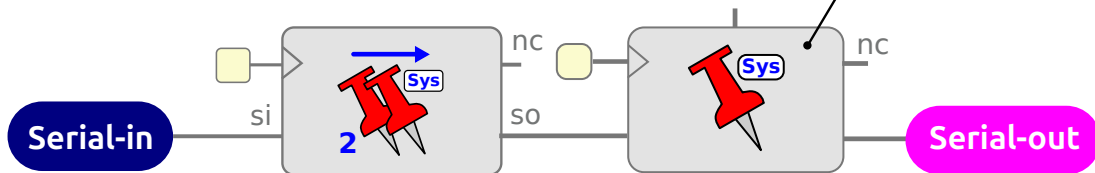
Regla de construcción

Registro de desplazamiento de 2 bit



¡CONSTRUCCIÓN!

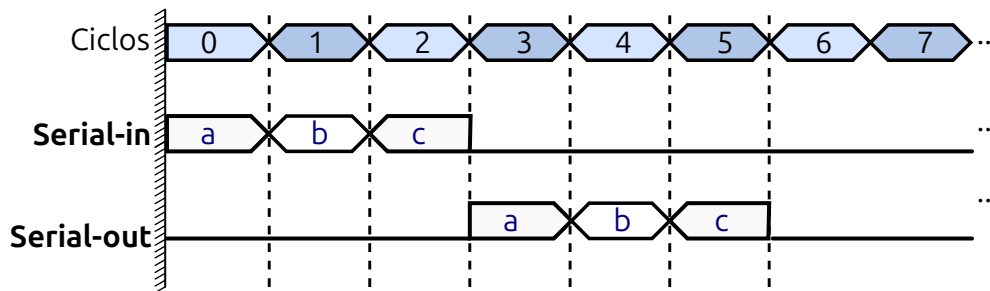
Biestable añadido por la derecha



Nuevo registro de desplazamiento de 3 bits

Cronograma

Registro de desplazamiento de 3 bits



Entrada de los bits genéricos a, b y c

3 bits de almacenamiento

Estado

Ciclo

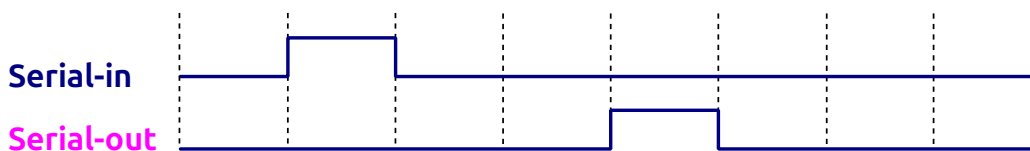
Estado

Ciclo	Estado		
0	0	0	0
1	a	0	0
2	b	a	0
3	c	b	a
4	0	c	b
5	0	0	c
≥6	0	0	0



Resultado

Señales retrasadas 3 ciclos



043

concat-sreg2-sysdff

Concatenación de un registro de desplazamiento de 2 bits con un biestable

TUTORIAL (Obijuan)