## Circuito en Icestudio Entrada de reloj CLK Parámetro: Valor inicial clk Biestable D del sistema: iceFF.sys-dff clk No conectado **LED** d q D<sub>0</sub> Dato de entrada Dato de Salida (ciclo siguiente) (ciclo actual) Recursos: LC: 2 IO: 2 **Estado** Cronograma Ciclos Ciclo **Estado** 0 0 D0 1 ≥1 Función escalón 1 bit de almacenamiento Primer circuito que genera una señal de salida NO constante Resultado Circuito: STEP1 Escalón en ciclo 1 Circuito CON ESTADO LED encendido indefinidamente a partir del ciclo 1 ax-sysdff 026 Biestable D (del sistema) Definición de sys-dff TUTORIAL (Obijuan)









