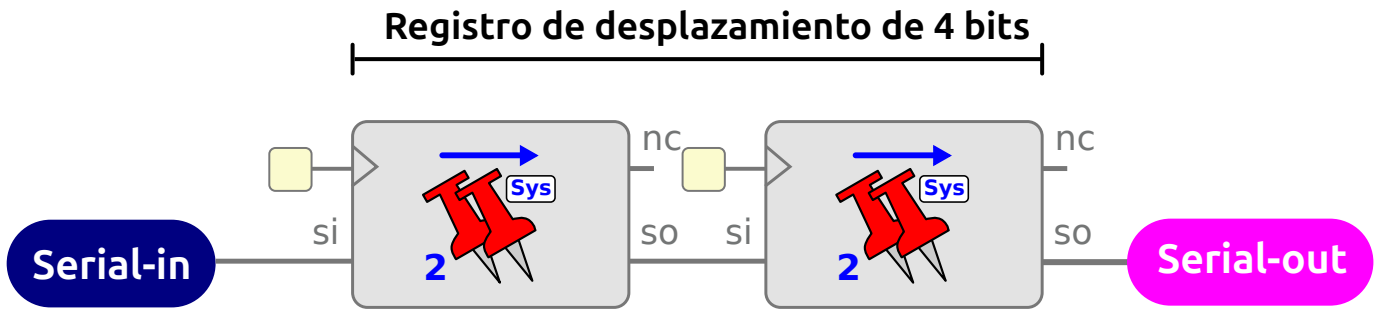


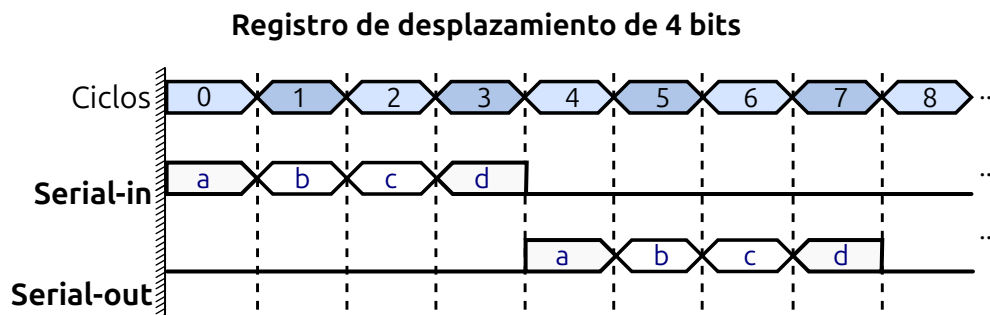
Circuito en Icestudio

Fragmento de circuito



Concatenación de registros de desplazamiento

Cronograma



Entrada de los bits genéricos a, b, c y d

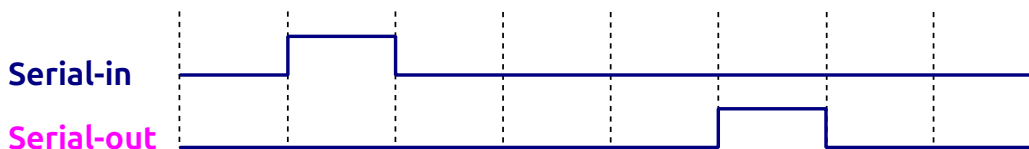
4 bits de almacenamiento

Estado

Ciclo	Estado			
0	0	0	0	0
1	a	0	0	0
2	b	a	0	0
3	c	b	a	0
4	d	c	b	a
5	0	d	c	b
6	0	0	d	c
7	0	0	0	d
≥8	0	0	0	0

Resultado

Señales retrasadas 4 ciclos



045

concat-sreg2-sreg2

Concatenación de registros de desplazamiento encapsulados

TUTORIAL (Obijuan)



ELECTRÓNICA

