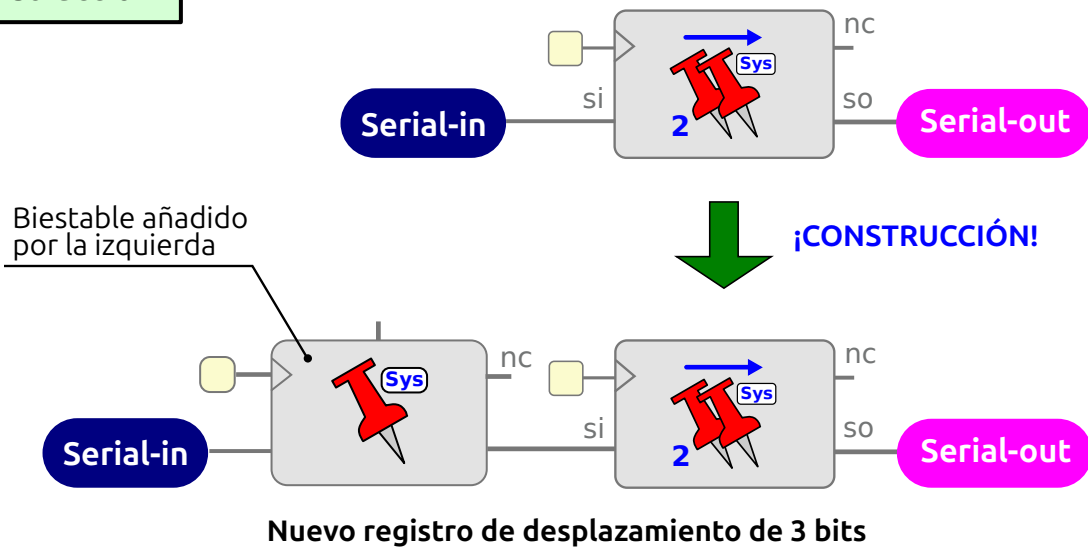


Circuito en Icestudio

Fragmento de circuito

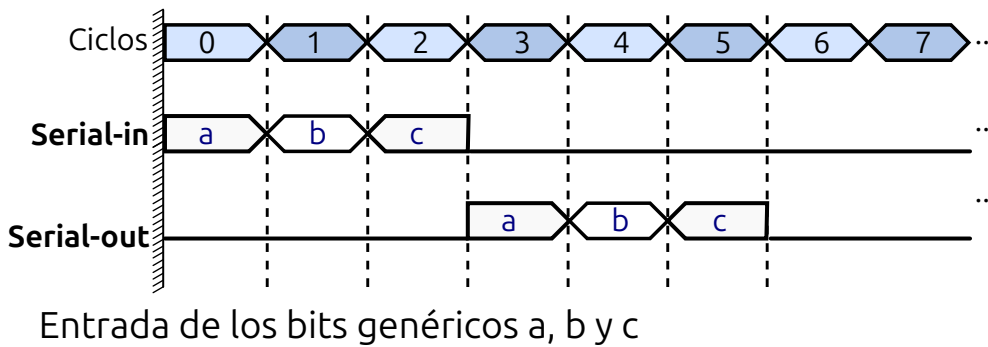
Regla de construcción

Registro de desplazamiento de 2 bit



Cronograma

Registro de desplazamiento de 3 bits



3 bits de almacenamiento

Estado

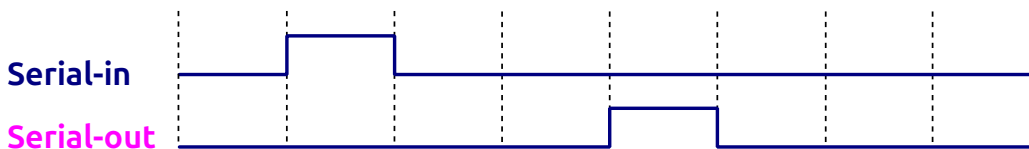
Ciclo

Estado

Ciclo	Estado	Estado	Estado
0	0	0	0
1	a	0	0
2	b	a	0
3	c	b	a
4	0	c	b
5	0	0	c
≥6	0	0	0

Resultado

Señales retrasadas 3 ciclos



042

concat-sysdff-sreg2

Concatenación de un biestable con un registro de desplazamiento de 2 bits

TUTORIAL (Obijuan)