



Red-RISCV: Arranque y Primeras Jornadas de la red

Esta primera reunión y jornadas de la Red-RISCV propuestas para los días 5 y 6 de febrero de 2020, se combinará y coordinará con las jornadas de la red CAPAP-H que se realizarán en el mismo campus de la UAB los días 6 y 7 de febrero de 2020. El día 6 entre las 10:15 y las 12:00 se comparten las sesiones con la red CAPAP-H y hemos tratado de poner ponencias que puedan interesar a ambas redes.

Agenda prevista

[REGISTRO](#)
[Jornadas](#)
[Red-RISCV](#)

5 de febrero de 2020

10:00- Inscripción y recogida de credenciales y documentación (con café/té/pastas)

10:30- Reunión de arranque de Red-RISCV

- Presentación de la red, discusión y propuesta estructural de la misma
- El acuerdo de consorcio: ¿por y para qué?
- La red en virtual: web, redes sociales y repositorios Github/Gitlab
- Revisar y proponer actividades y eventos para la ejecución de la red (2020-2021)

12:45- Salimos a comer hacia el restaurante de la Facultad de Letras

14:30- Una propuesta de actualización curricular en base al RISC-V (Elena Valderrama, UAB)

15:00- El ISA abierto RISC-V como eje vertebrador de las asignaturas relacionadas con Arquitectura de Computadores (Katia Leal y Juan Gonzalez, URJC)

15:30- Dispositivos IoT de nueva generación basados en arquitectura RISC-V (Xavier Llauredó, nVision)

16:00- Pausa café & Posters & Socialización

16:30- Overview of the RISC-V Core Market (Roger Espasa, SemiDynamics)

17:10- PULP RISC-V for IoT (Frank K. Gürkaynak, ETH Zurich)

17:50- Reunión de arranque de Red-RISCV (continuación)

18:30- Cierre del día

20:30- Cena colectiva

6 de febrero de 2020 (Jornada compartida con la red CAPAP-H)

09:00- Trusted embedded systems based on RISC-V processors (Piedad Brox Jiménez, IMSE-US)

09:30- Efficiently accelerating AI workloads with RISC-V (Guillem Sole, Esperanto Technologies)

10:15- Pausa café & Posters & Socialización

10:30- RISC-V y hardware abierto: una oportunidad y un reto para la UE (Mateo Valero, UPC-BSC)

11:15- Aceleradores RISC-V: una propuesta de modelo computacional y su explotación (Xavier Martorell, Carlos Álvarez, Daniel Jiménez, UPC-BSC)

12:00- Enhanced Tools for RISC-V Processor Development and Customization + Tools Hands-on/demo (Zdenek Prikryl, Codasip)

12:45- Salimos a comer hacia el restaurante de la Facultad de Letras

14:30- Presentación y visita de la Sala Blanca e instalaciones del IMB-CNM (CSIC)

15:45- Sesión de conclusiones/previsiones de Red-RISCV

16:15- Clausura, despedida y cierre de las jornadas Red-RISCV

[REGISTRO](#)
[Jornadas](#)
[Red-RISCV](#)

CAPAP-H &
Red-RISCV