

FPGAs libres

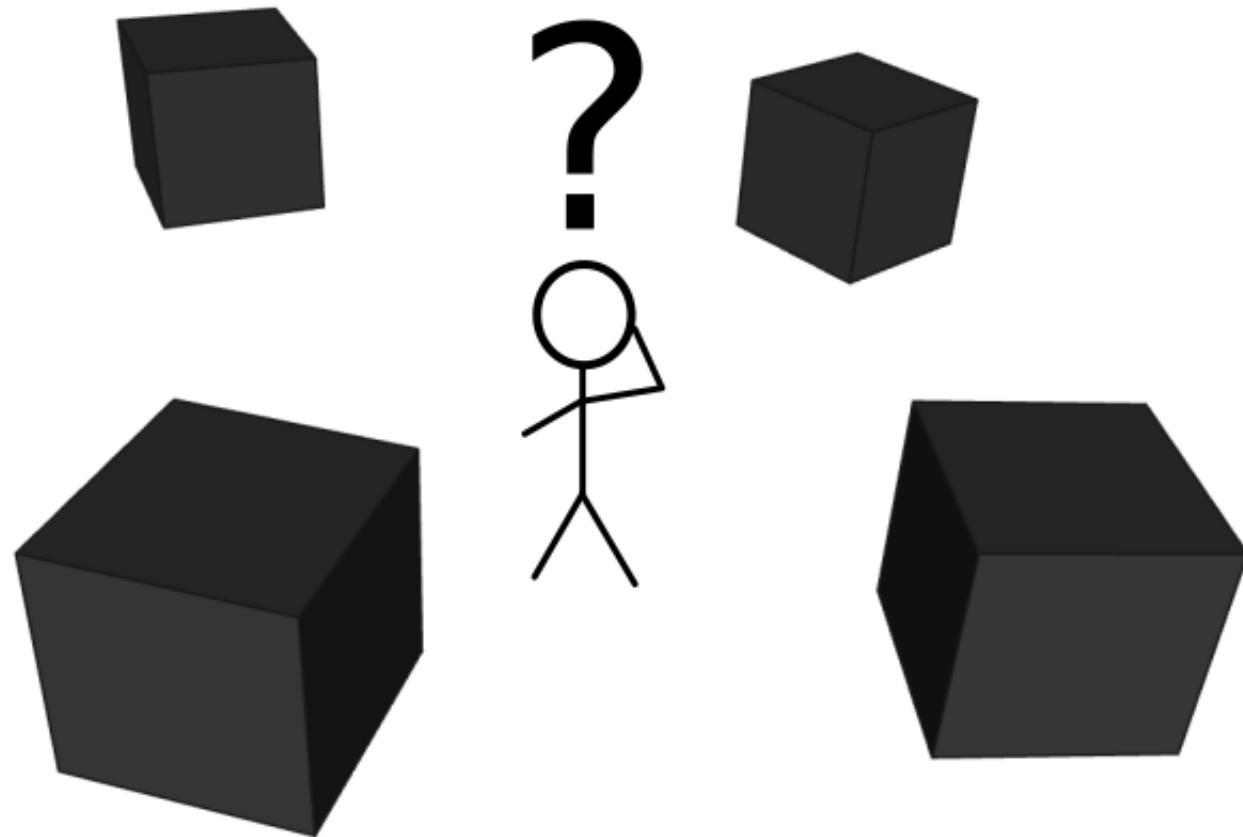


Juan González Gómez (Obijuan)

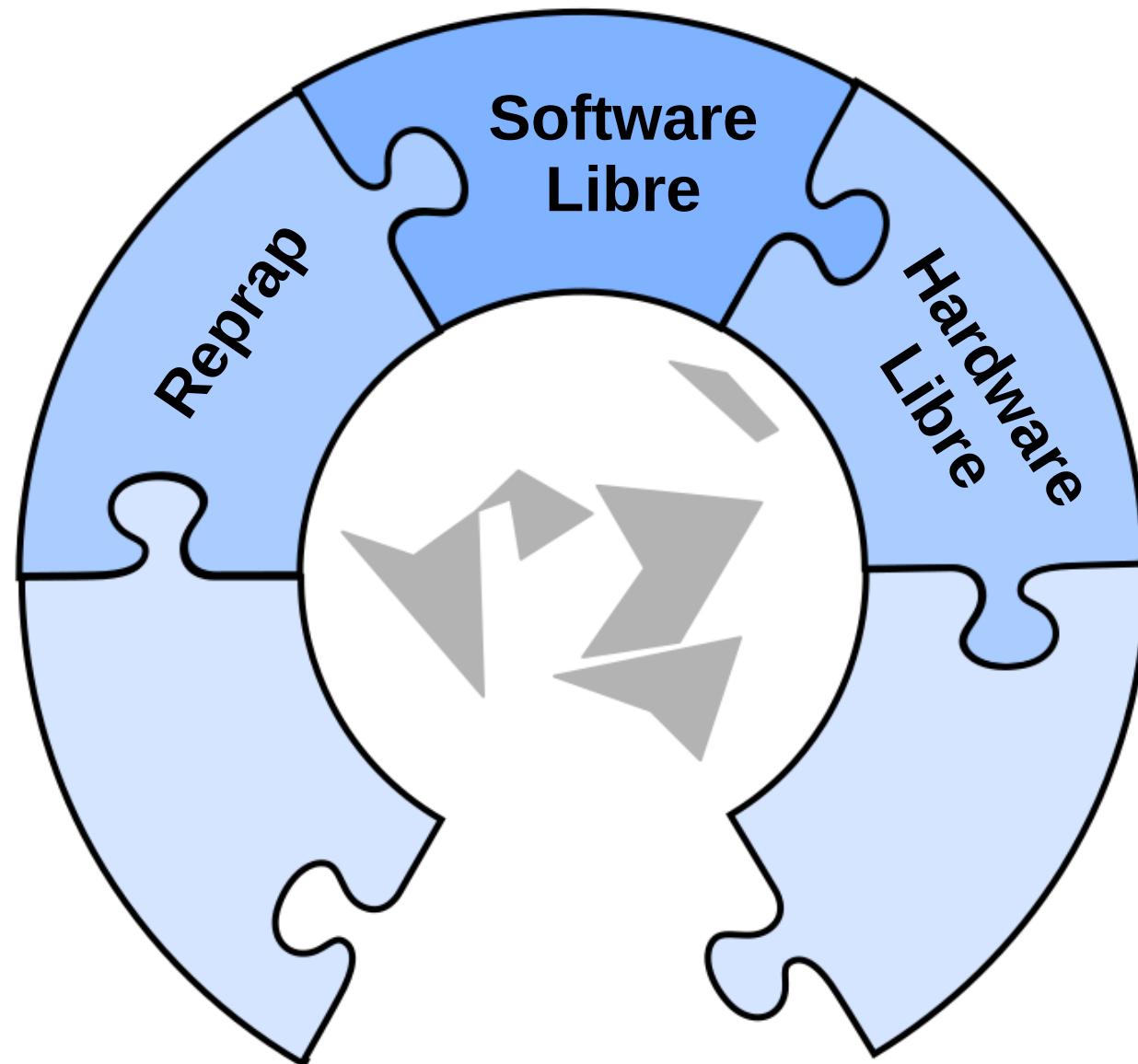
<https://github.com/Obijuan>



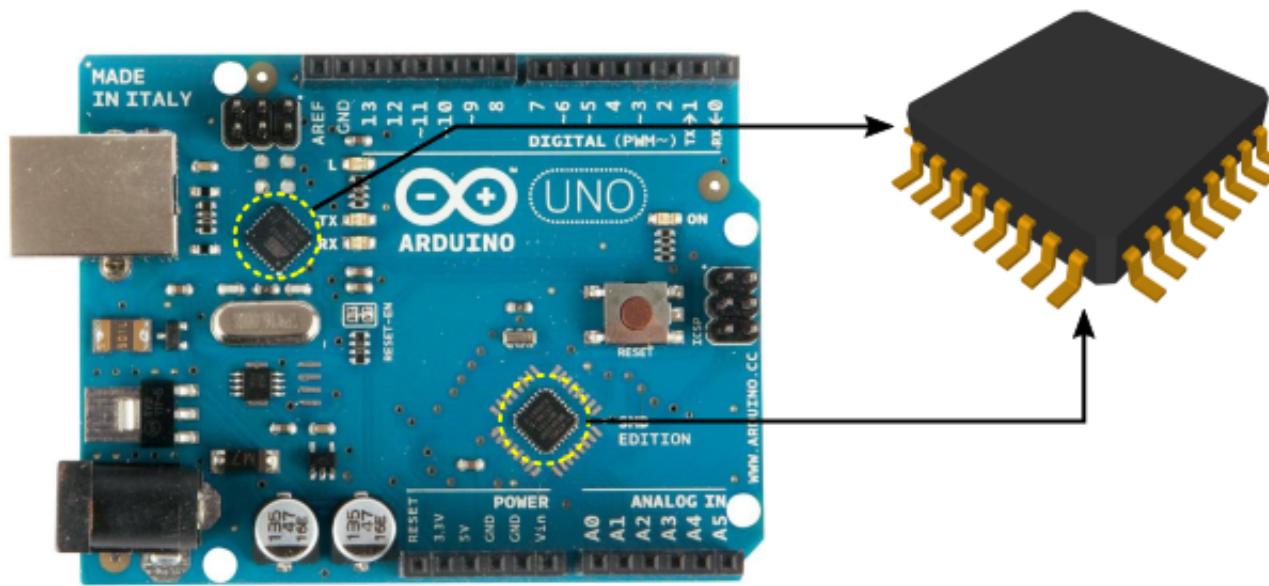
Nuevas tecnologías: Mundo de cajas negras



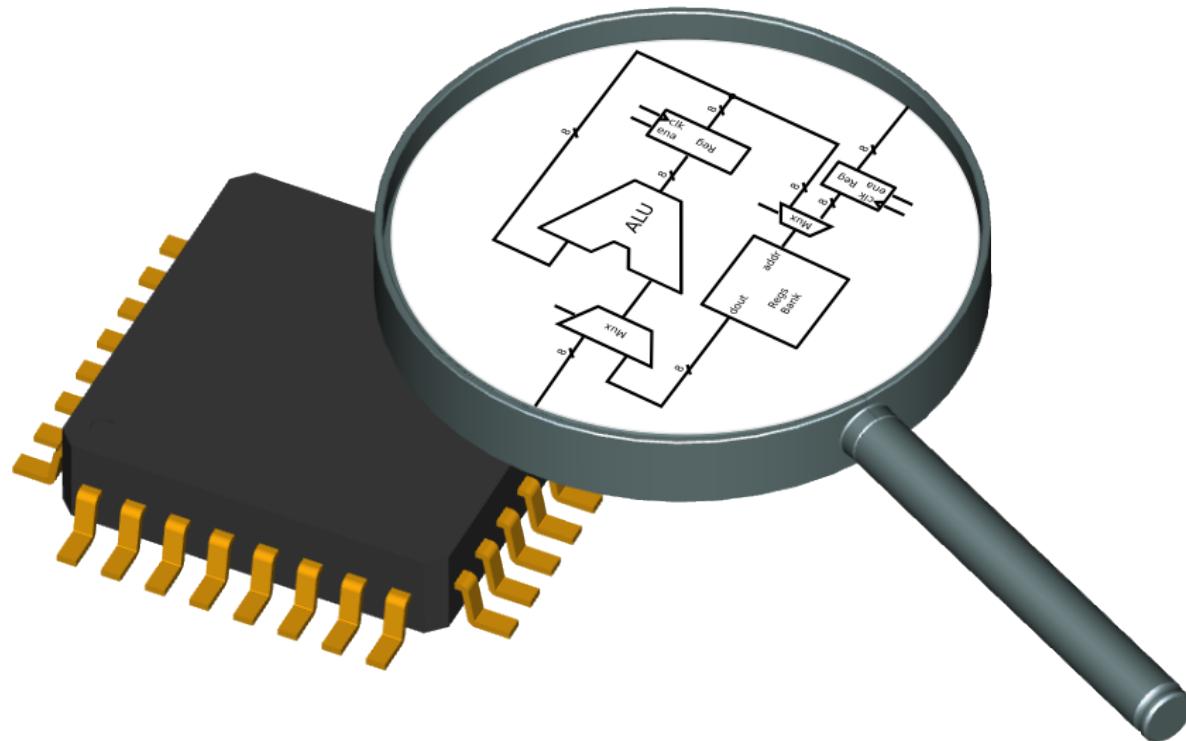
Patrimonio Tecnológico de la humanidad



Pasemos al siguiente nivel: Chips digitales



Viaje al interior de los chips digitales

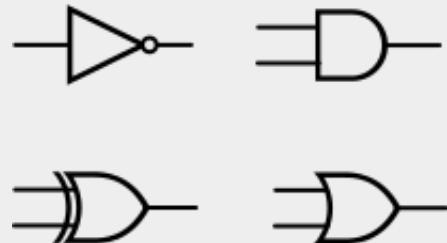


- Nivel de electrónica digital
- Información: Sólo 1s y 0s (Bits)
- Función: **Manipular, almacenar y transportar bits**

Elementos en circuitos digitales

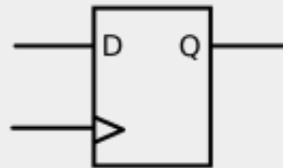
Puertas lógicas

Manipulación bits



Biestables

Almacenamiento bits

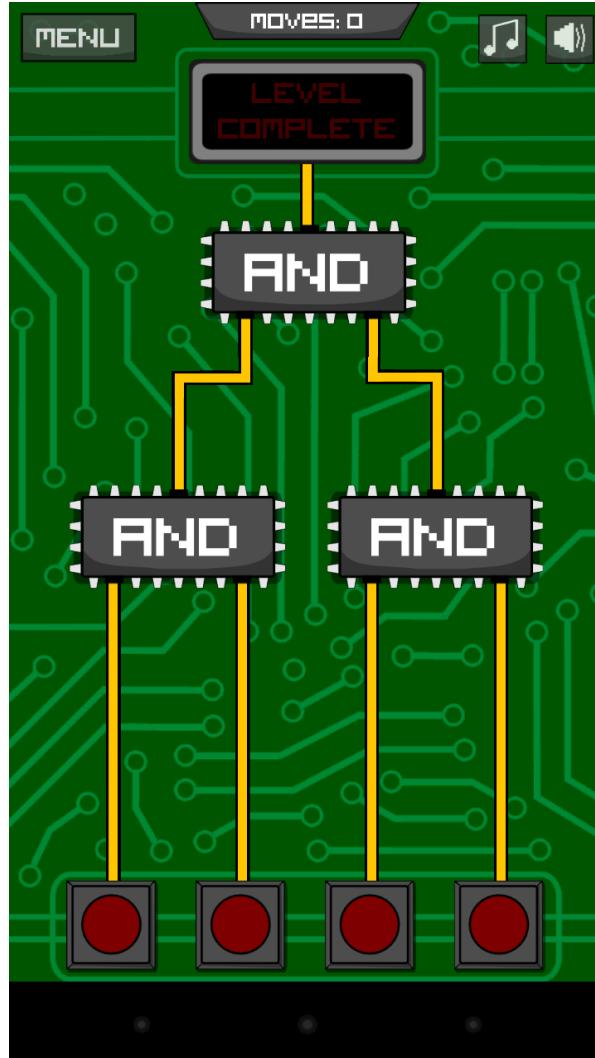


Cables

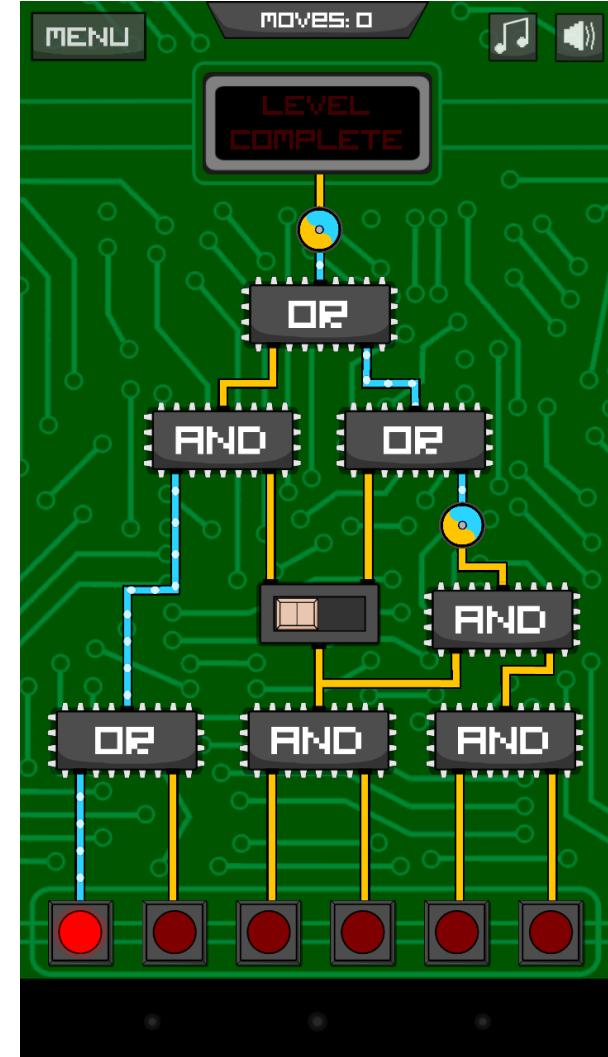
Transporte bits



Cualquier circuito digital, por muy complejo que sea, se descompone en estos 3 tipos de **componentes elementales**

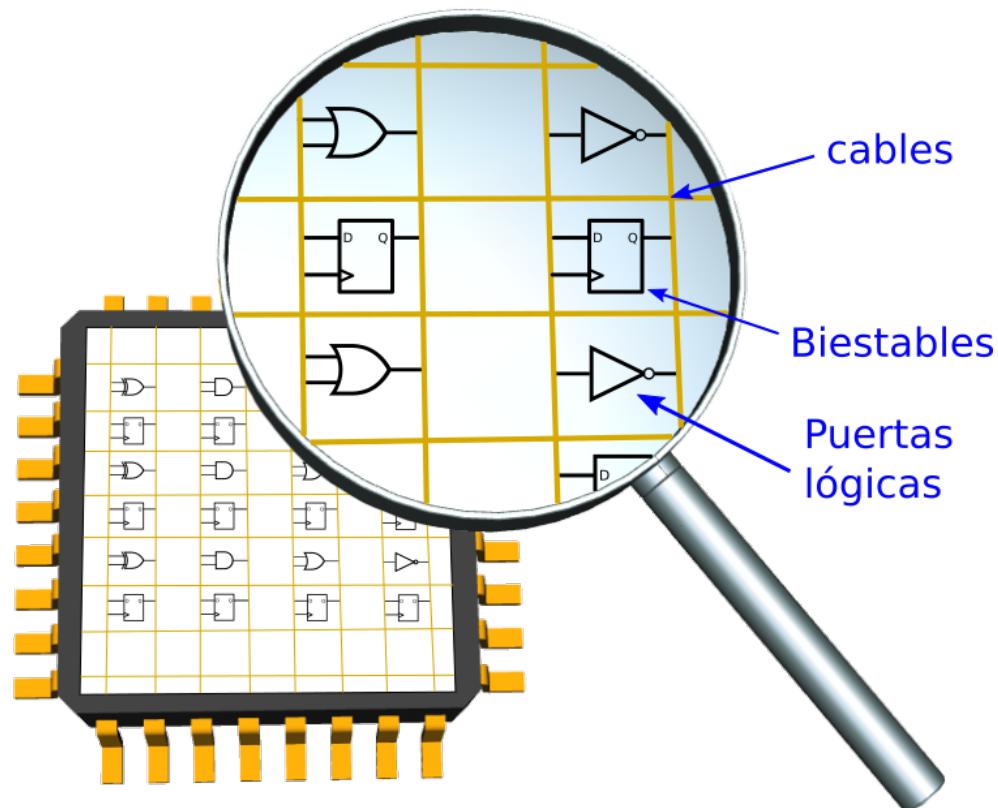


APP:
Circuit
Scramble

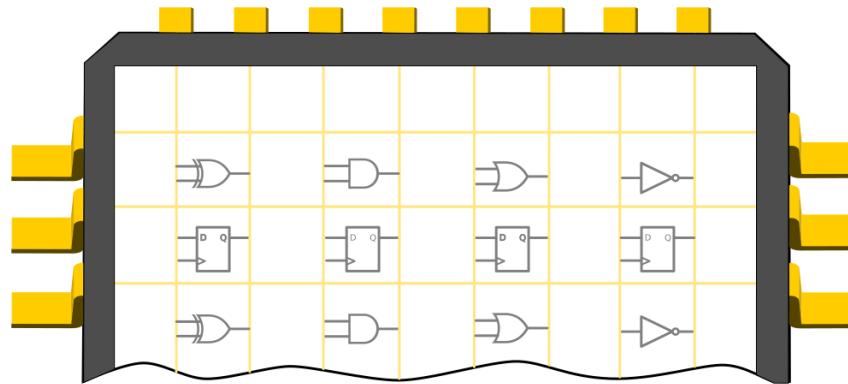


La electrónica digital es intuitiva y...
¡ Divertida !

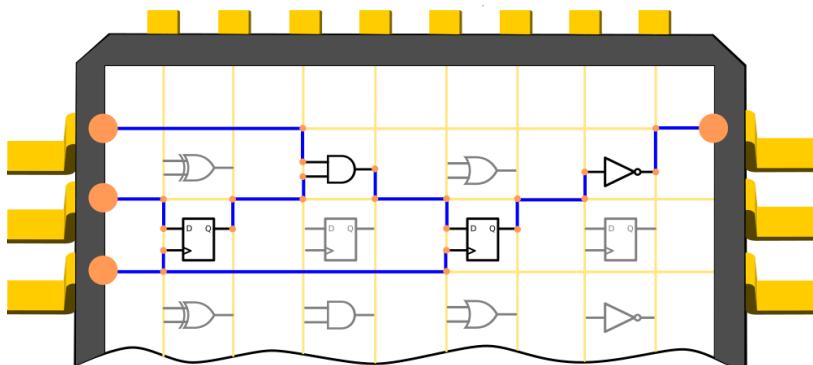
FPGAs: Implementando circuitos digitales



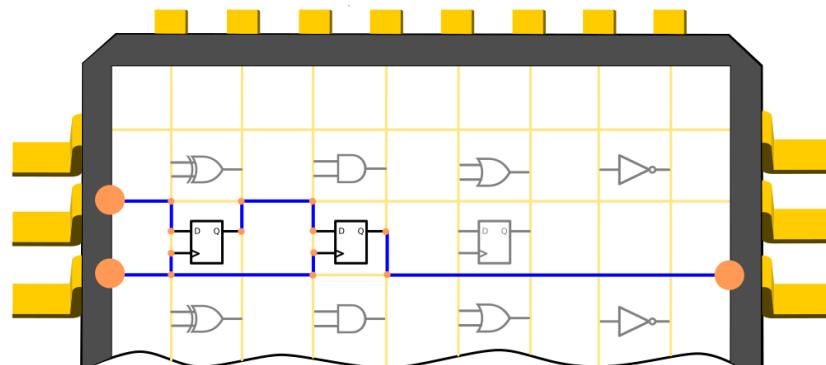
FPGA: Chip “en blanco” que contiene una matriz con los 3 componentes básicos: puertas lógicas, biestables y cables



Configuración

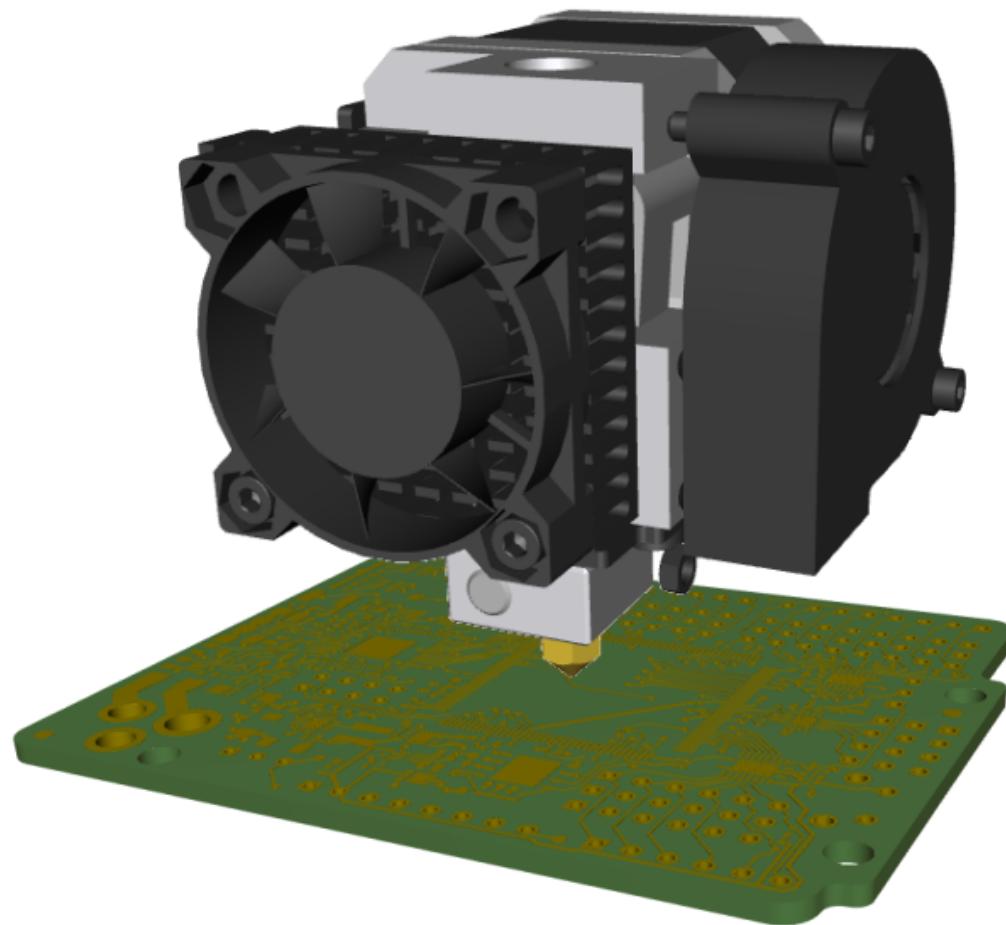


Circuito 1

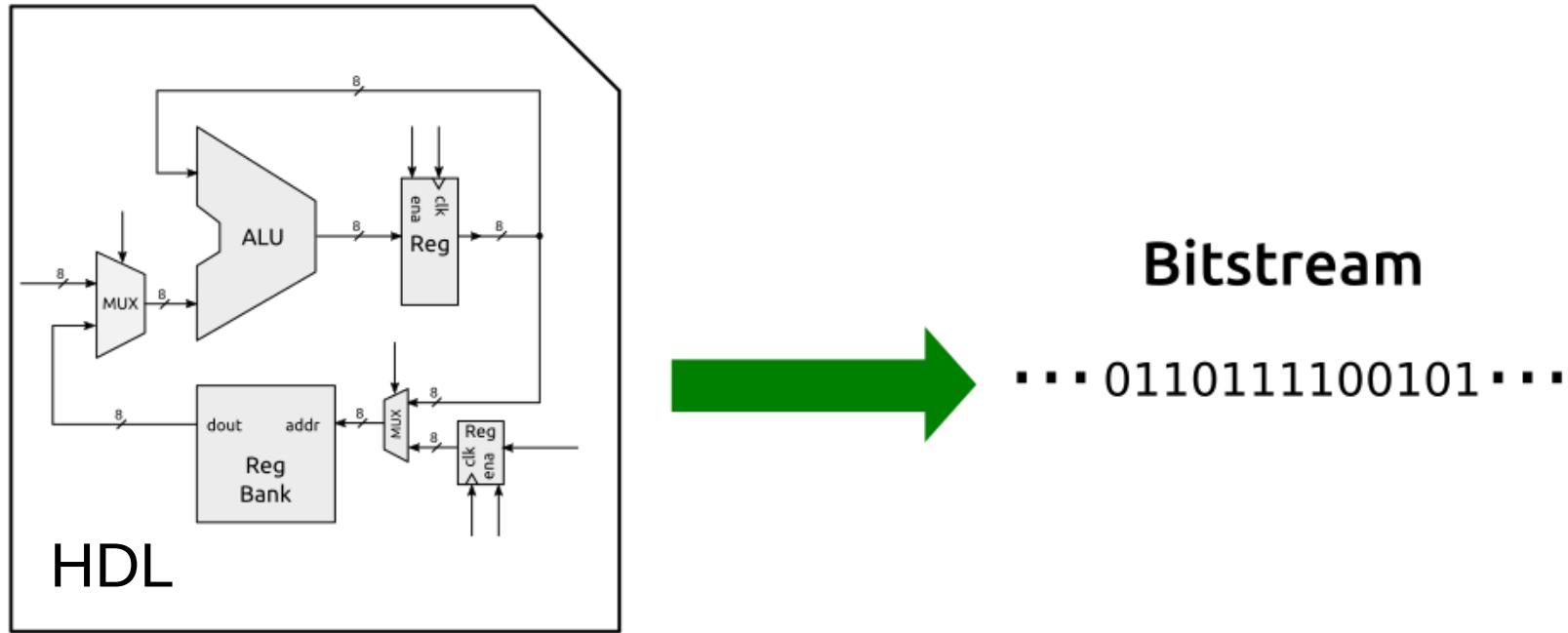


Circuito 2

¡FPGAs = Impresoras 3D de circuitos digitales!



El hardware es software



Bitstream

... 0110111100101 ...

HDL

- El hardware libre es igual al software libre
- Muy fácil de compartir
- Telecopias del hardware
- Desarrollo de hardware en comunidad

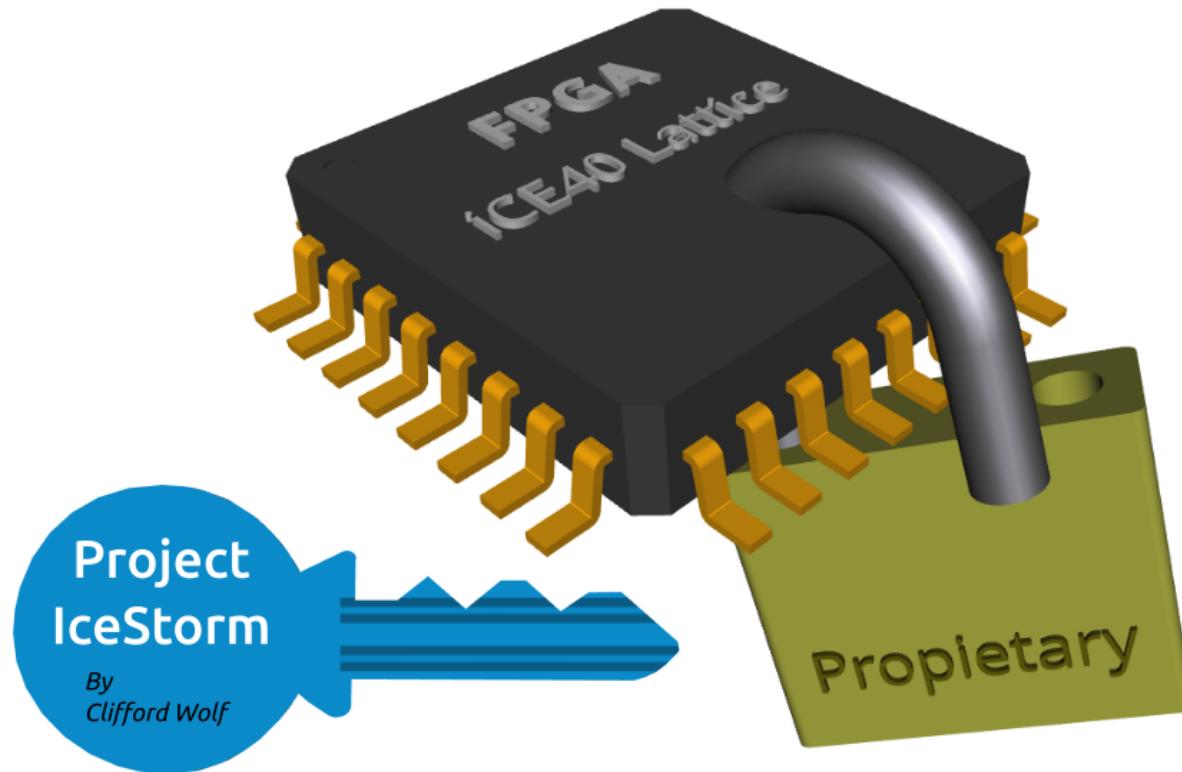
PARTE II:

HERRAMIENTAS LIBRES

FPGAs: Sólo personal autorizado



FPGAs libres: El renacimiento



- Proyecto Icestorm (Mayo, 2015)
- La primera *toolchain* que permiten pasar de Verilog al bitstream usando sólo Herramientas libres

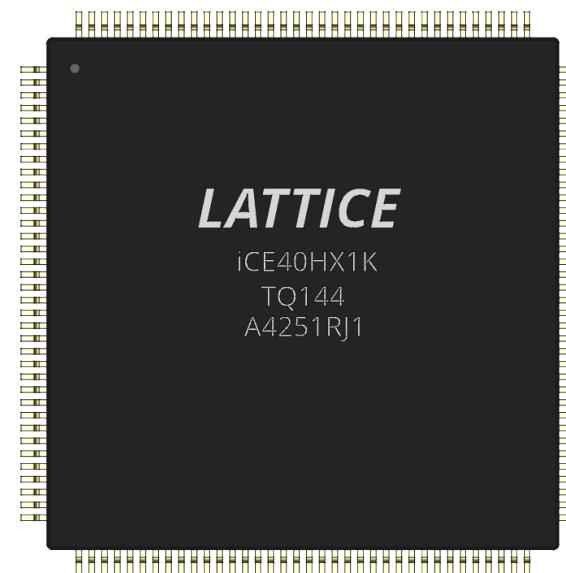
FPGAs libres

- Definición:

Denominamos **FPGAs libres** a aquellas FPGAs que disponen de una **toolchain totalmente libre**

- **FPGAs libres actualmente:**

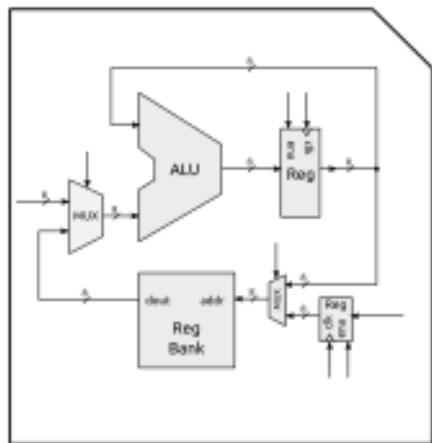
- Familia **Lattice iCE40**
- Sólo Lenguaje Verilog



<http://www.latticesemi.com/Products/FPGAandCPLD/iCE40.aspx>

Flujo de trabajo

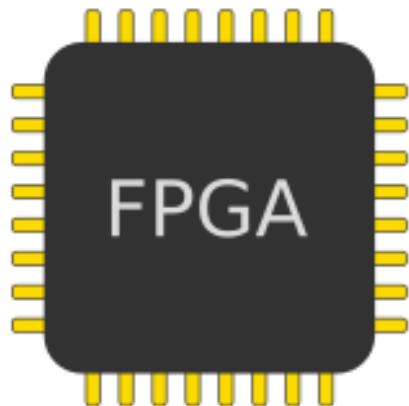
Diseño



Ficheros HDL

```
module simplez #(  
    parameter BAUD = "B115200",  
    parameter WIDTH_BELAT = "T_299uS",  
    parameter ROMFILE = "prog.list",  
    parameter DEBUG_LED5 = 0  
)  
  
input wire clk;  
input wire ntrig_inl;  
output wire [3:0] leds;  
output wire stop;  
output wire ta;  
input wire bc;  
  
reg [10:1:0] alu_out;  
reg fix2_x;  
always @ (posedge clk)  
begin  
    if (alu_sp2)  
        alu_out = alu_inc;  
    else if (alu_drl)  
        alu_out = 0;  
    else if (alu_deci)  
        alu_out = reg_a + alu_inc;  
    else if (alu_dec)  
        alu_out = reg_a - alu_inc;  
end
```

Síntesis

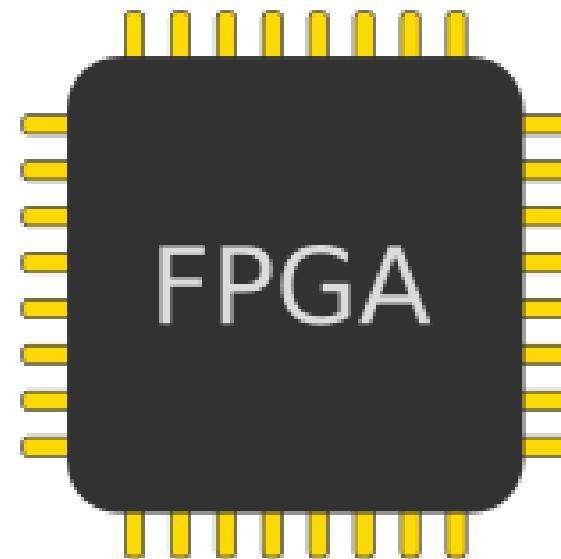
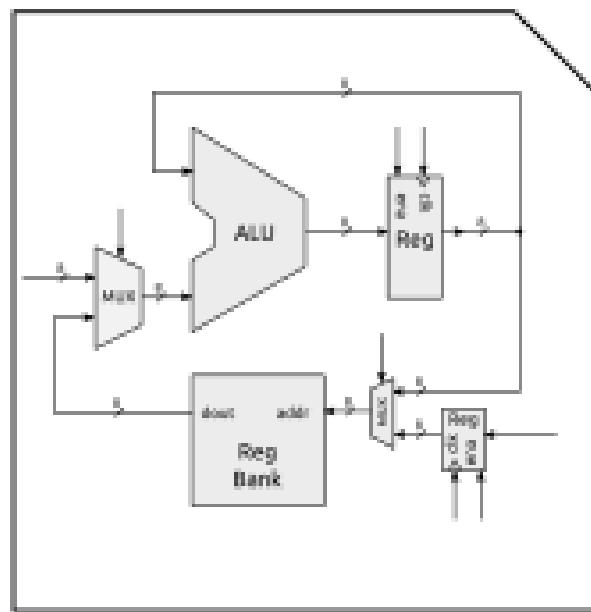


Configuración

...011000010111001001110011
011001010100100101101110
011101000011101000111010
0010100000110000000101100
0011001000110000100110001
001010010011110100100011
0010100000110000000101100
0011001000110000000110001
001010010010110000101000
001100000010110000110001
001101010010100100101100
001010000011000000101100...

Bitstream

¡Usando sólo herramientas libres!



Pila de herramientas libres

Apio IDE

Icestudio

Apio

Icestorm

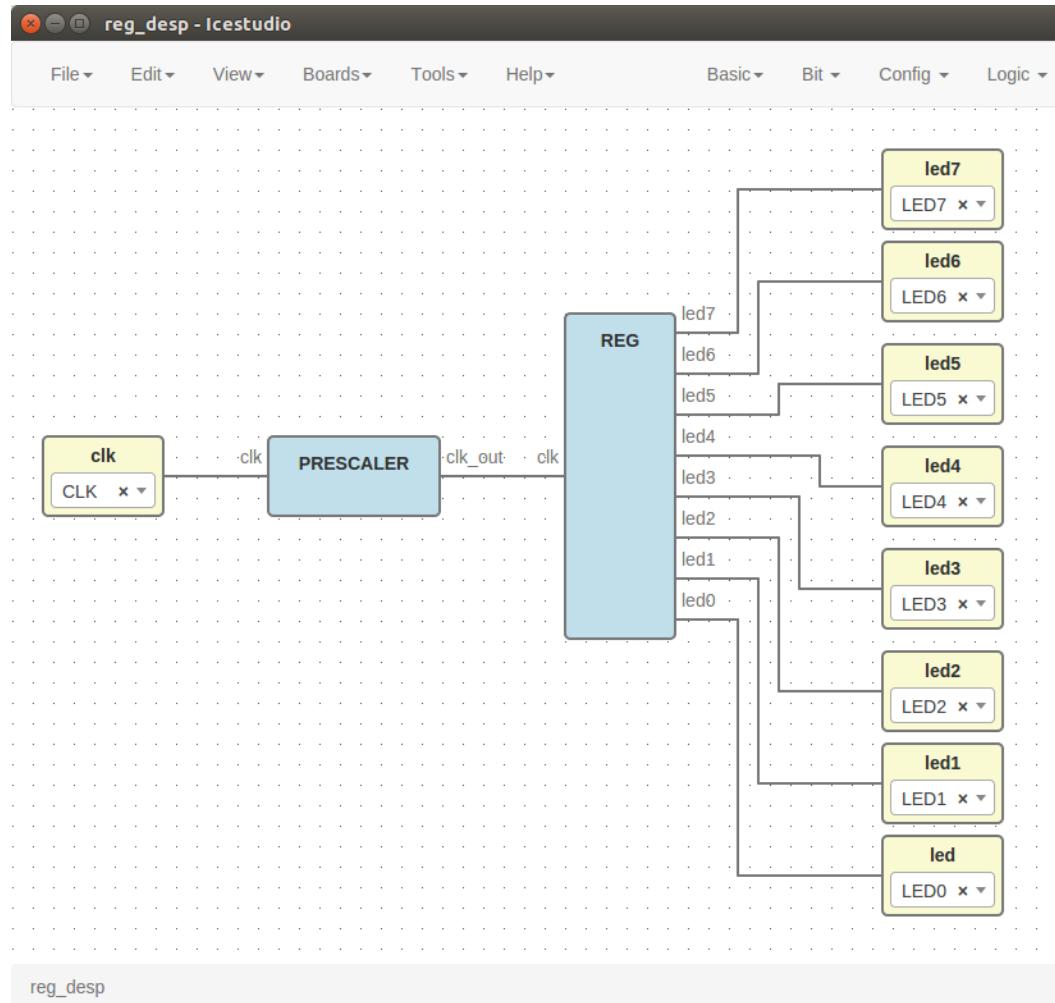
Iverilog

GTKWave



icestudio

<https://github.com/FPGAwars/icestudio>



- Autor: **Jesús Arroyo**
- Electrónica digital para todos
- Sin conocimientos de verilog
- Herramienta visual
- Traduce a verilog

PARTE III:

¿Cómo empiezo?

Paso 1: Consigue una placa Con FPGA libre

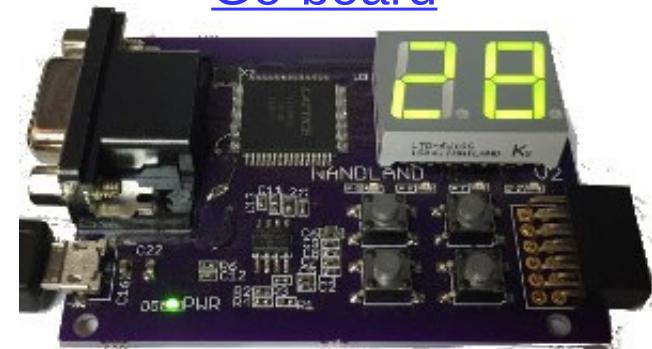
Icestick



iCE40-HX8K Breakout Board

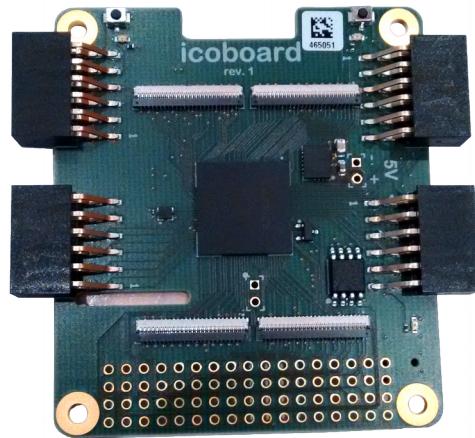


Go-board



- Conexión directa al PC (USB)
- Soportadas por Apio/Icestudio

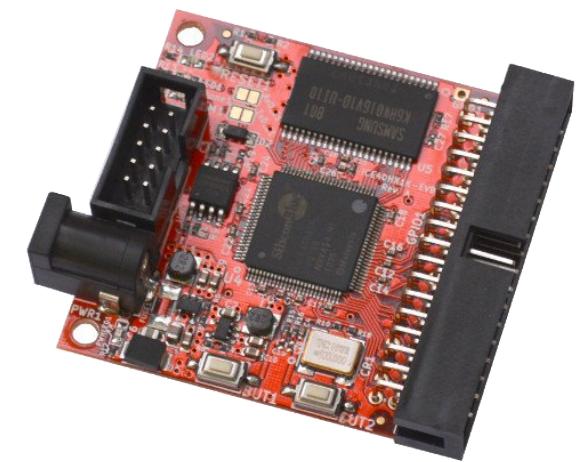
icoboard



Mystorm



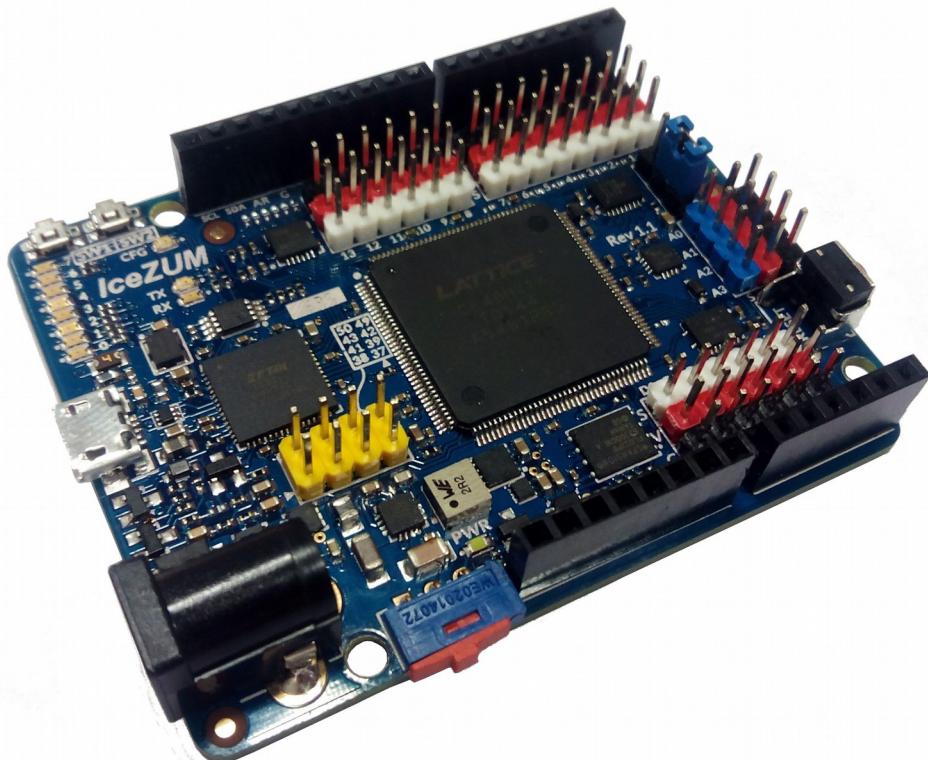
iCE40HX1K-EVB



- Conexión a Raspberry PI
- Soportada por Apio/Icestudio

NO Soportadas por Apio/Icestudio

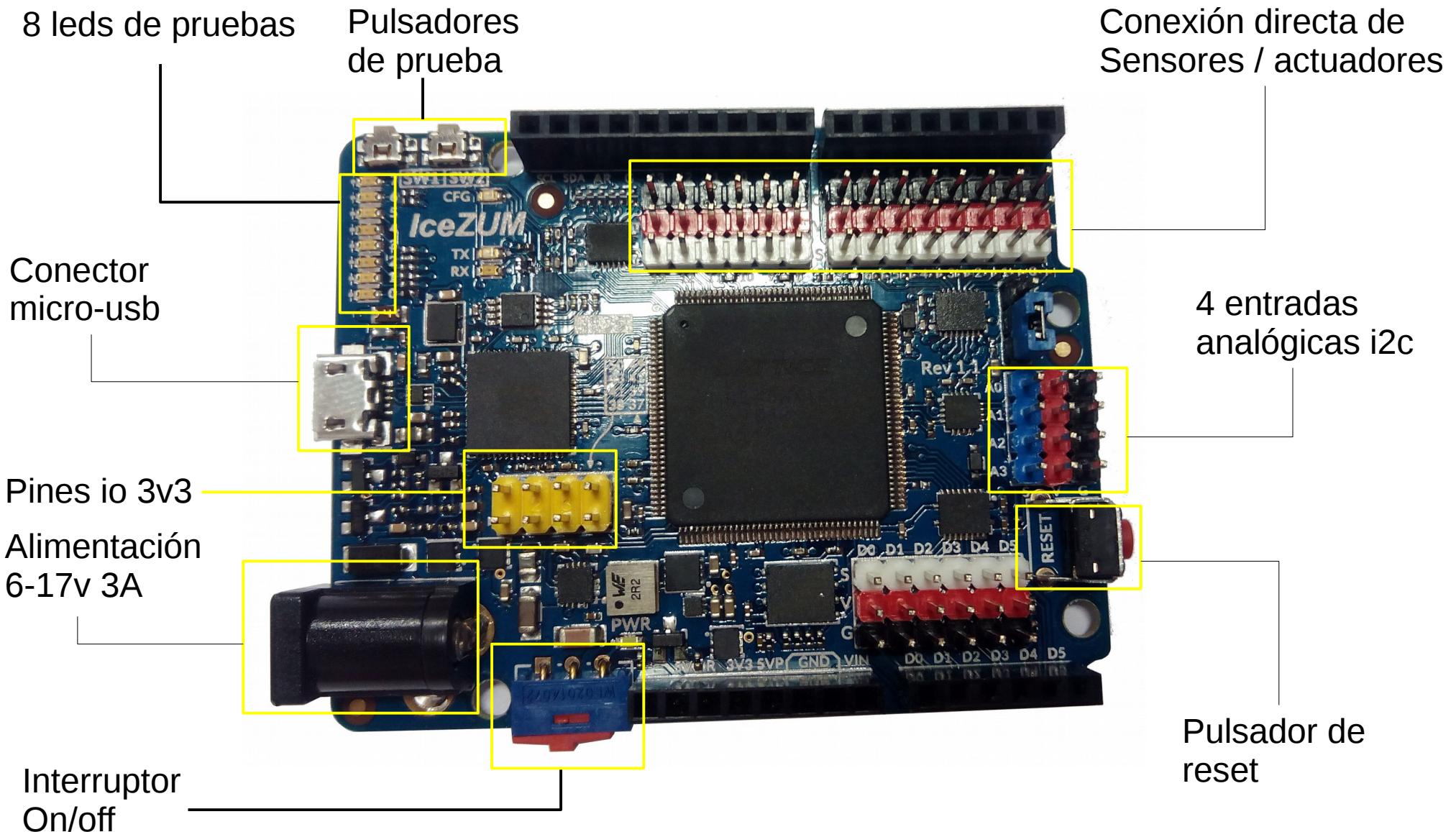
Icezum Alhambra v1.1



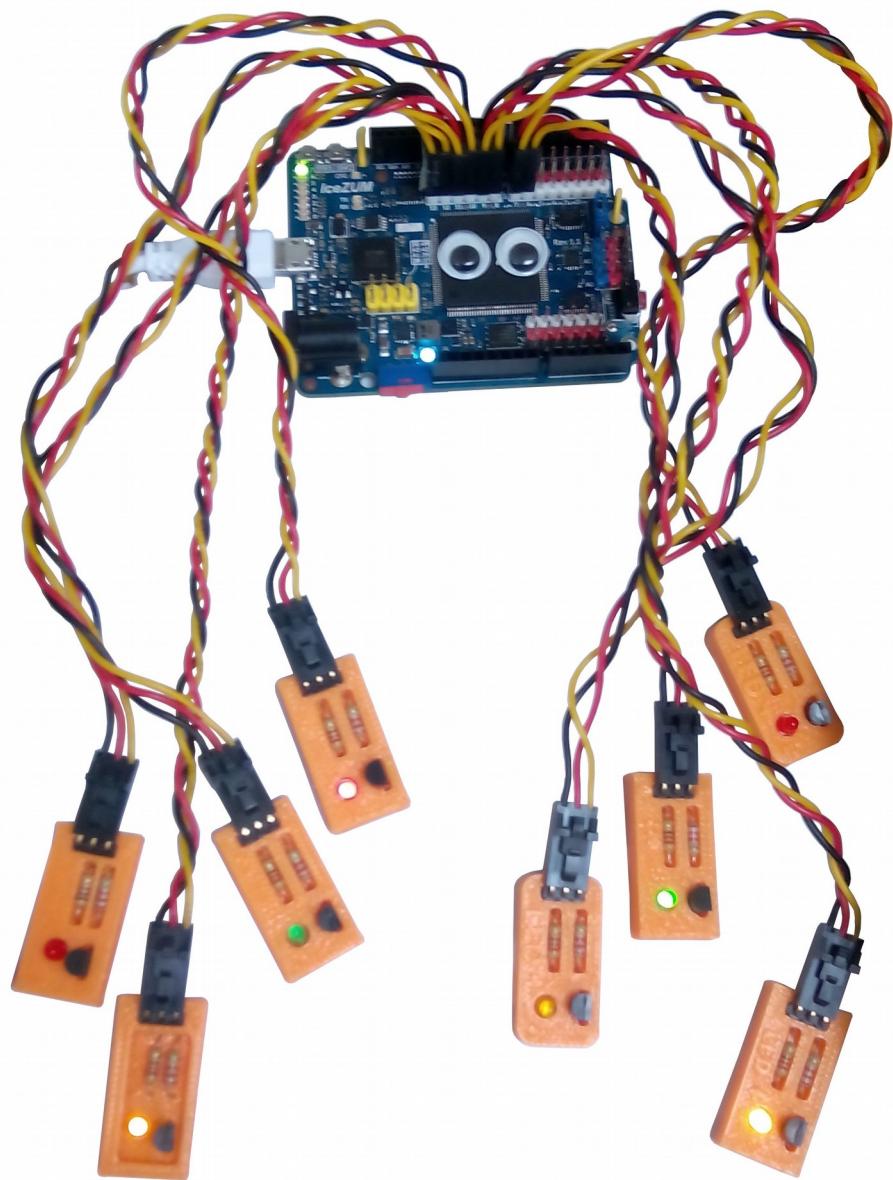
- Autor: **Eladio Delgado**
- Diseñada en Pinos del Valle (Granada)
- Arduino de las FPGAs
- Compatible Arduino
- Fácil conexión de circuitos externos/sensores/servos
- Reutilización de los shields de arduino
- 20 entradas/salidas de 5v
- 3A corriente de entrada
- Perfecta para hacer robots

<https://github.com/FPGAwars/icezum/wiki>

Icezum Alhambra v1.1

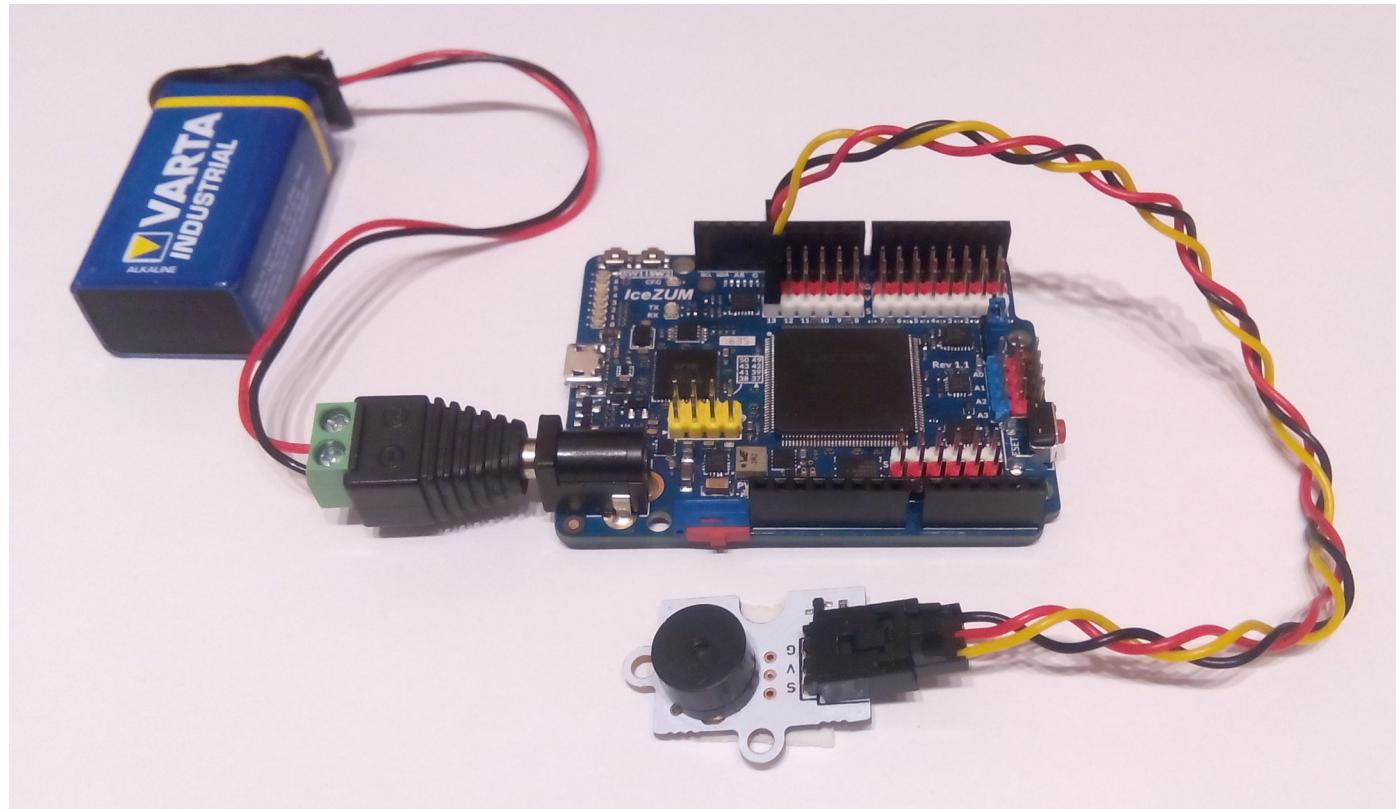


Rasty



- FPGA Fun!
- 8 Alhambra-leds
- Alimentación: power bank

Sonidos simples con Zumbador



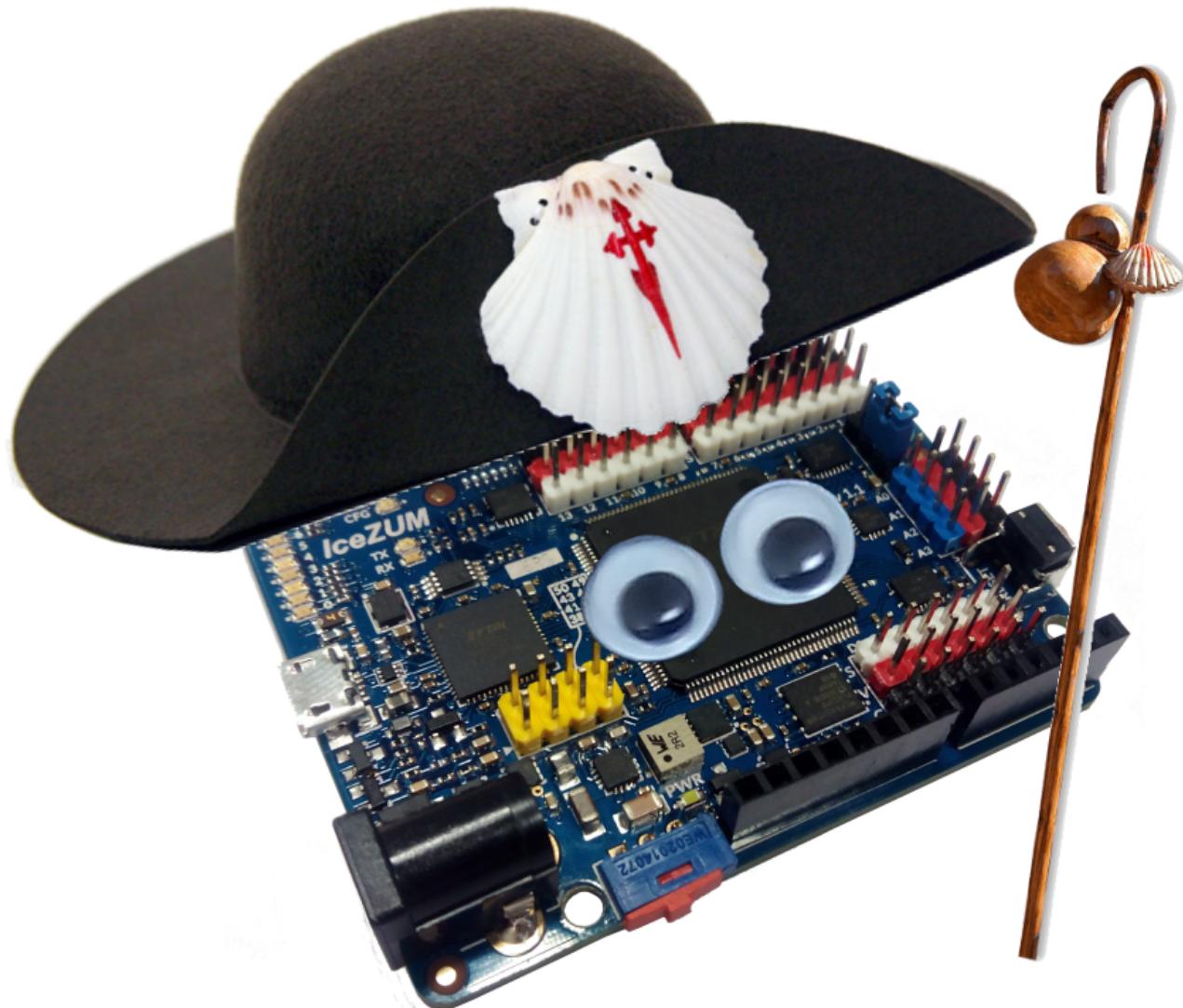
- Conexión a una placa con Zumbador
- Melodías básica
- ¡Fácil meter varios canales!

Larby: Robot modular



- Servos conectados directamente a Icezum Alhambra
- Configuración mínima pitch-pitch
- Módulo impresos en 3D

Icezum Alhambra peregrina

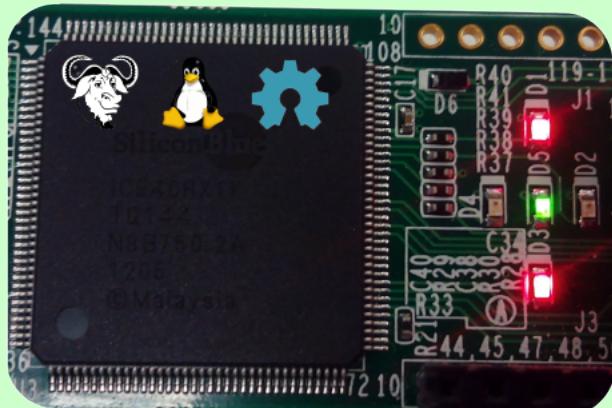


- A.k.a **CalmaSAV**
- Empieza:
Rinconingenieril.es
- Ámbito: Toda España
- Coordinado desde la lista
de FPGAwars

Paso 2: Instálate Icestudio / Apio

Paso 3: Aprende Diseño digital y Verilog

[Tutorial: Diseño Digital para FPGAs, con herramientas libres](#)



Paso 5: Apúntate a la comunidad FPGAwars



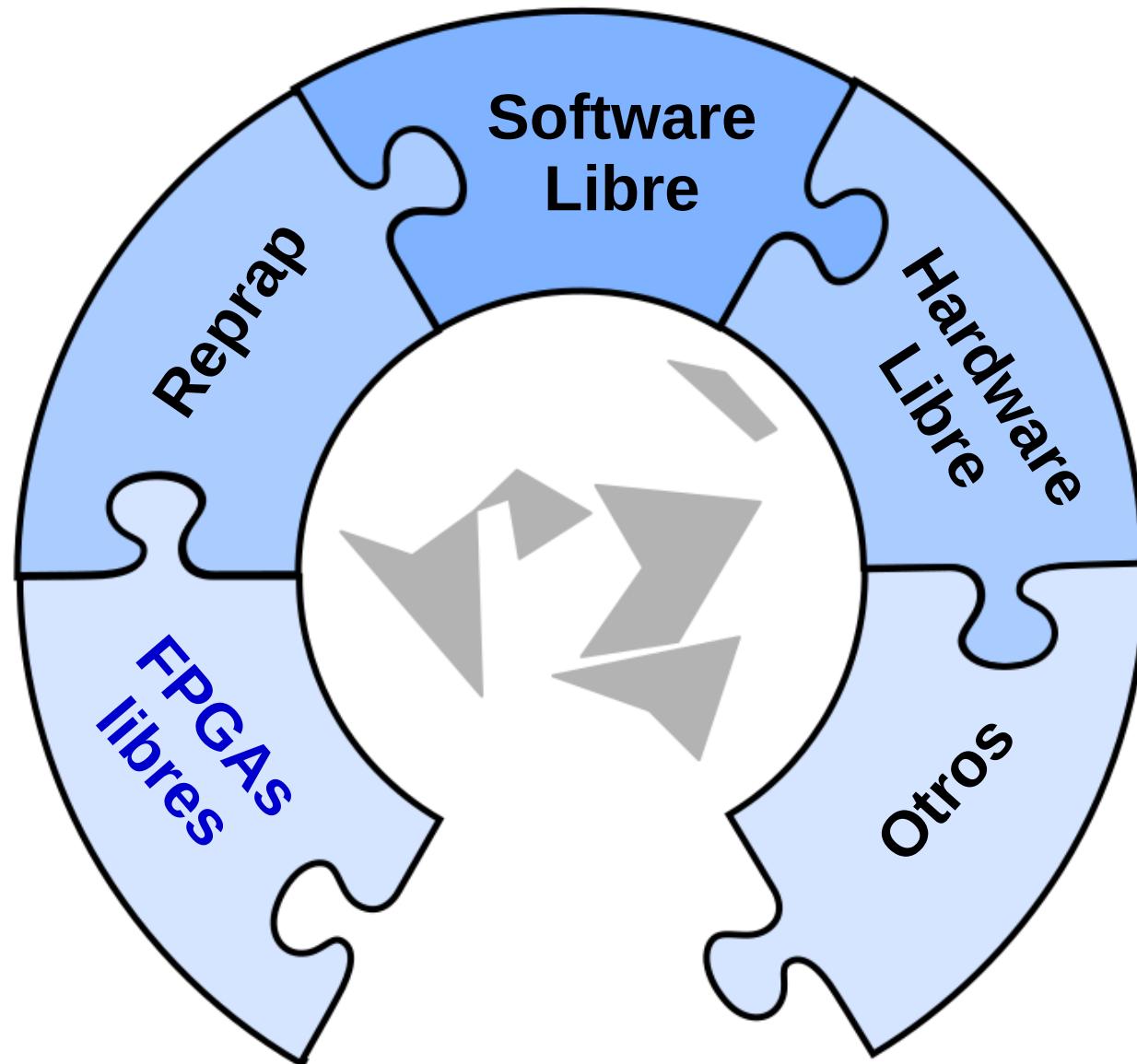
- Comunidad para **compartir conocimiento** relacionado con **FPGAs libres**
- Es el **clonewars** de las FPGAs, pero en modesto :-)
- Idioma: Castellano
- 194 miembros
- Cualquier pregunta / comentario / sugerencia → Correo a la lista :-)

<http://fpgawars.github.io/>

Paso 5: Haz tus propios proyectos con FPGAs libres

Paso 6: ¡Comparte tu proyecto con la comunidad! :-)

FPGAs en Patrimonio Tecnológico de la humanidad



FPGAs libres



Juan González Gómez (Obijuan)

<https://github.com/Obijuan>

