

El ISA abierto RISC-V como eje Vertebrador de las asignaturas de Arquitectura de Computadores URJC

Katia Leal y Juan González-Gómez

RISC-V en la ETSIT-URJC

Estudiantes

GRADOS:

- Ingeniería de Sistemas Audiovisuales y Multimedia. 4º curso
- Ingeniería en Tecnologías de la Telecomunicación. 3er curso
- Ingeniería en Sistemas de Telecomunicación. 3er curso

GRADOS

- Ingeniería Telemática. 3er curso
- Ingeniería de Robótica Software. 1er curso

DOBLES GRADOS:

- Ingeniería de Telecomunicación + Administración y Dirección de empresas. 4º Curso
- Ingeniería en Tecnologías de la Telecomunicación + Ingeniería Aeroespacial en Aeronavegación. 4º Curso

Teoría

A rellenar....

A RELLENAR....

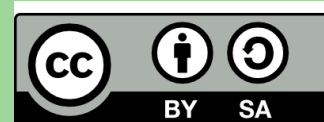
-

Prácticas

- Material referenciado desde la Fundación RISC-V
- Publicación del curso en Abierto en Github
- Vídeos en Youtube: 53
- 120 Ejercicios resueltos
- <https://github.com/myTeachingURJC/2019-20-LAB-AO/wiki>

Estructura: 5 Prácticas / 12 sesiones

- P1: El simulador RARs
- P2: E/S Mapeada. Llamadasw al sistema
- P3: Bucles y saltos condicionales
- P4: Subrutinas y Pila
- P5: Memoria dinámica



| Dirección memoria | Instrucción (Código máquina) |
|-------------------|------------------------------|
| 0x00400000 | 0x0000D2B7 |
| 0x00400004 | 0xAFF28293 |
| 0x00400008 | 0x0000C337 |
| 0x0040000C | 0xACA30313 |
| 0x00400010 | 0x0100006F |
| 0x00400014 | 0x00000293 |
| 0x00400018 | 0x00010337 |
| 0x0040001C | 0xFFFF3013 |
| 0x00400020 | 0x00A00893 |
| 0x00400024 | 0x00000073 |

Offset
jal x0,0x08; (b salta)

Salto 4 instrucciones hacia adelante

¡IMPORTANTE!
El offset se expresa en medias palabras (16 bits)

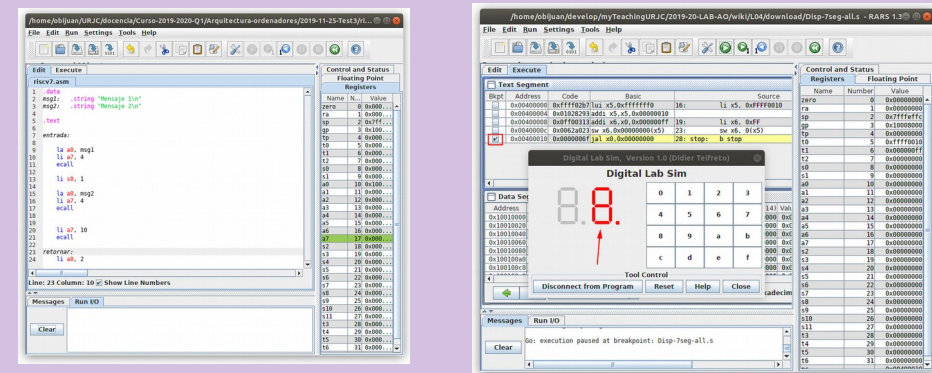
salta:

Simulación

- Simulador RARs
- Software libre y multiplataforma
- Disponible en Github
- Nos permite modificarlo y adaptarlo
- RISC-V 32IM (32 bits)

<https://github.com/TheThirdOne/rars>

- Depuración paso a paso
- Dispositivos mapeados
 - Teclado hexadecimal
 - Displays de 7 segmentos
- Compatible con GNU AS



FUTURO

FPGAS LIBRES

Síntesis en FPGAs Libres

- Prácticas para trabajar en RISC-V real
- Código máquina exportado desde RARs
- Carga en RISC-V en la FPGA
- Placa Alhambra II (Open Hardware)
- FPGA Lattice ICE40HX8K
- PicoRisc-v (Clifford Wolf)
- Icestudio (Software libre)

