

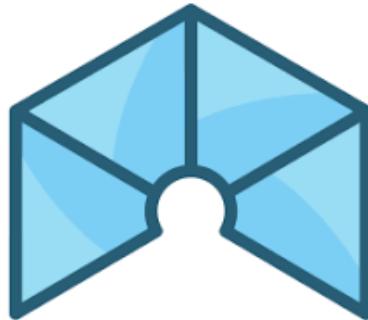


Jornadas Sarteco

19-22 Septiembre 2017, Málaga

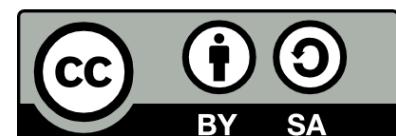


...y llegaron las FPGAs libres



#Icestorm

Juan González Gómez (Obijuan)
<https://github.com/Obijuan>



Contenido

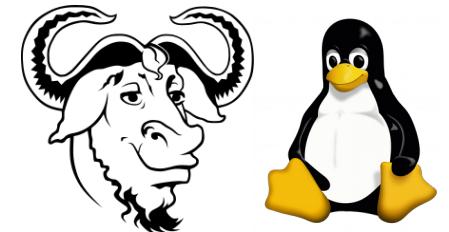
Parte I: Estado del arte en FPGAs libres

Parte II: FPGAs libres en educación

Conclusiones

Tecnologías Libres

- **85 – 90:** Nacimiento Software libre. GNU/Linux



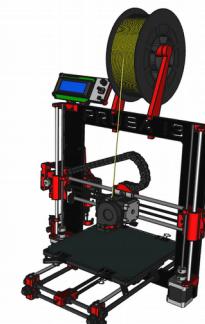
- > 90s: Aplicaciones software libre



- **2001:** Hardware libre. Arduino (2004)



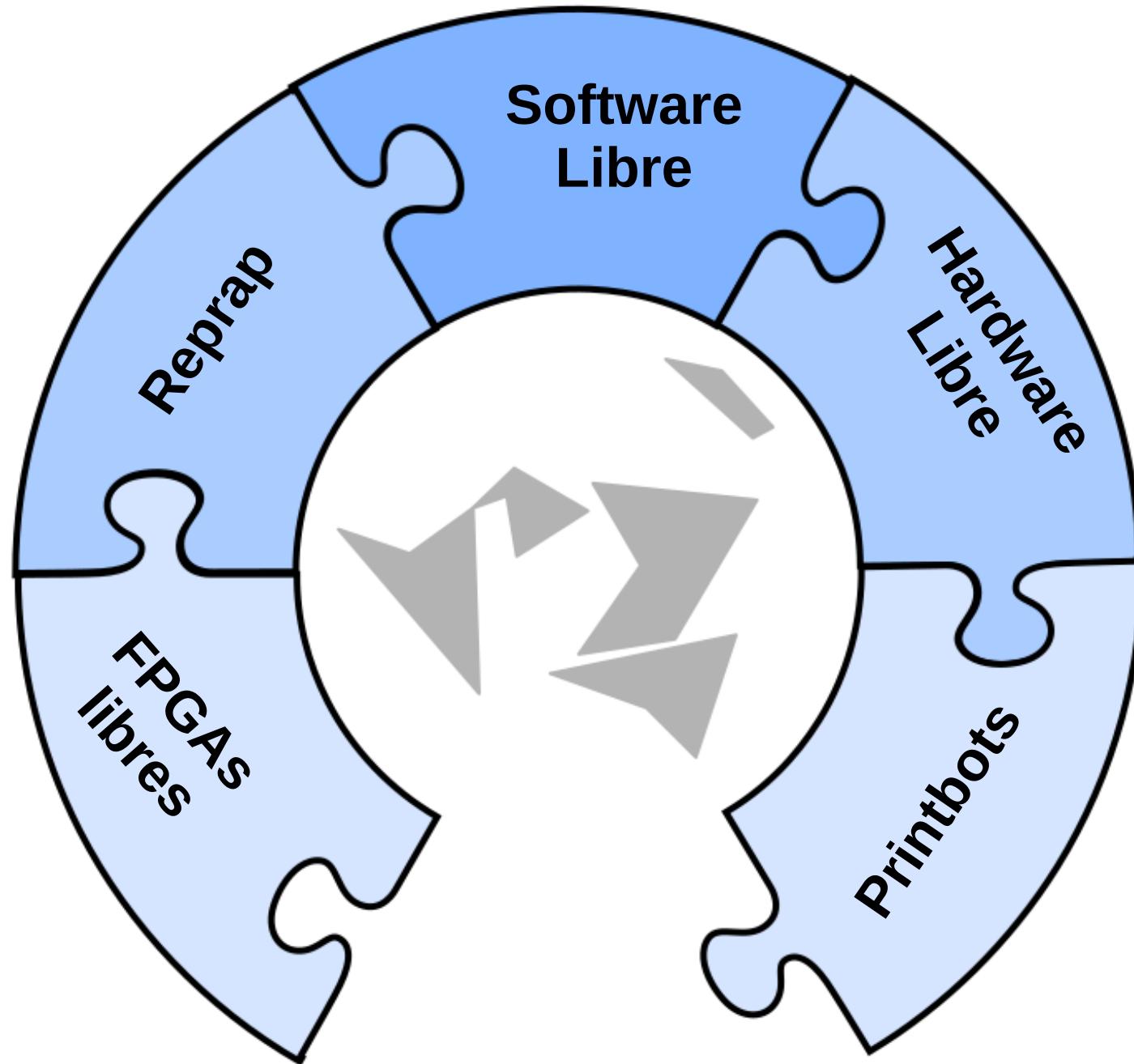
- **2008:** Reprap. Impresión 3D libre



- **2015:** FPGAs libres



Patrimonio Technológico de la Humanidad



Yosys – primer sintetizador libre (2013)



- **Clifford Wolf**. Austria
- Tesis de grado (Universidad de tecnología de Viena)
- Profesor colaborador en la Universidad de artes aplicadas de Viena
- **Yosys**: Verilog → Netlist

<http://www.clifford.at/>

Proyecto Icestorm (Mayo, 2015)

	IO (1 17)	IO (2 17)	IO (3 17)	IO (4 17)	IO (5 17)	IO (6 17)	IO (7 17)	IO (8 17)	IO (9 17)	IO (10 17)	IO (11 17)	IO (12 17)	
IO (0 16)	LOGIC (1 16)	LOGIC (2 16)	RAMT (3 16)	LOGIC (4 16)	LOGIC (5 16)	LOGIC (6 16)	LOGIC (7 16)	LOGIC (8 16)	LOGIC (9 16)	RAMT (10 16)	LOGIC (11 16)	LOGIC (12 16)	IO (13 16)
IO (0 15)	LOGIC (1 15)	LOGIC (2 15)	RAMB (3 15)	LOGIC (4 15)	LOGIC (5 15)	LOGIC (6 15)	LOGIC (7 15)	LOGIC (8 15)	LOGIC (9 15)	RAMB (10 15)	LOGIC (11 15)	LOGIC (12 15)	IO (13 15)
IO (0 14)	LOGIC (1 14)	LOGIC (2 14)	RAMT (3 14)	LOGIC (4 14)	LOGIC (5 14)	LOGIC (6 14)	LOGIC (7 14)	LOGIC (8 14)	LOGIC (9 14)	RAMT (10 14)	LOGIC (11 14)	LOGIC (12 14)	IO (13 14)
IO (0 13)	LOGIC (1 13)	LOGIC (2 13)	RAMB (3 13)	LOGIC (4 13)	LOGIC (5 13)	LOGIC (6 13)	LOGIC (7 13)	LOGIC (8 13)	LOGIC (9 13)	RAMB (10 13)	LOGIC (11 13)	LOGIC (12 13)	IO (13 13)
IO (0 12)	LOGIC (1 12)	LOGIC (2 12)	RAMT (3 12)	LOGIC (4 12)	LOGIC (5 12)	LOGIC (6 12)	LOGIC (7 12)	LOGIC (8 12)	LOGIC (9 12)	RAMT (10 12)	LOGIC (11 12)	LOGIC (12 12)	IO (13 12)
IO (0 11)	LOGIC (1 11)	LOGIC (2 11)	RAMB (3 11)	LOGIC (4 11)	LOGIC (5 11)	LOGIC (6 11)	LOGIC (7 11)	LOGIC (8 11)	LOGIC (9 11)	RAMB (10 11)	LOGIC (11 11)	LOGIC (12 11)	IO (13 11)
IO (0 10)	LOGIC (1 10)	LOGIC (2 10)	RAMT (3 10)	LOGIC (4 10)	LOGIC (5 10)	LOGIC (6 10)	LOGIC (7 10)	LOGIC (8 10)	LOGIC (9 10)	RAMT (10 10)	LOGIC (11 10)	LOGIC (12 10)	IO (13 10)
IO (0 9)	LOGIC (1 9)	LOGIC (2 9)	RAMB (3 9)	LOGIC (4 9)	LOGIC (5 9)	LOGIC (6 9)	LOGIC (7 9)	LOGIC (8 9)	LOGIC (9 9)	RAMB (10 9)	LOGIC (11 9)	LOGIC (12 9)	IO (13 9)
IO (0 8)	LOGIC (1 8)	LOGIC (2 8)	RAMT (3 8)	LOGIC (4 8)	LOGIC (5 8)	LOGIC (6 8)	LOGIC (7 8)	LOGIC (8 8)	LOGIC (9 8)	RAMT (10 8)	LOGIC (11 8)	LOGIC (12 8)	IO (13 8)
IO (0 7)	LOGIC (1 7)	LOGIC (2 7)	RAMB (3 7)	LOGIC (4 7)	LOGIC (5 7)	LOGIC (6 7)	LOGIC (7 7)	LOGIC (8 7)	LOGIC (9 7)	RAMB (10 7)	LOGIC (11 7)	LOGIC (12 7)	IO (13 7)
IO (0 6)	LOGIC (1 6)	LOGIC (2 6)	RAMT (3 6)	LOGIC (4 6)	LOGIC (5 6)	LOGIC (6 6)	LOGIC (7 6)	LOGIC (8 6)	LOGIC (9 6)	RAMT (10 6)	LOGIC (11 6)	LOGIC (12 6)	IO (13 6)
IO (0 5)	LOGIC (1 5)	LOGIC (2 5)	RAMB (3 5)	LOGIC (4 5)	LOGIC (5 5)	LOGIC (6 5)	LOGIC (7 5)	LOGIC (8 5)	LOGIC (9 5)	RAMB (10 5)	LOGIC (11 5)	LOGIC (12 5)	IO (13 5)
IO (0 4)	LOGIC (1 4)	LOGIC (2 4)	RAMT (3 4)	LOGIC (4 4)	LOGIC (5 4)	LOGIC (6 4)	LOGIC (7 4)	LOGIC (8 4)	LOGIC (9 4)	RAMT (10 4)	LOGIC (11 4)	LOGIC (12 4)	IO (13 4)
IO (0 3)	LOGIC (1 3)	LOGIC (2 3)	RAMB (3 3)	LOGIC (4 3)	LOGIC (5 3)	LOGIC (6 3)	LOGIC (7 3)	LOGIC (8 3)	LOGIC (9 3)	RAMB (10 3)	LOGIC (11 3)	LOGIC (12 3)	IO (13 3)
IO (0 2)	LOGIC (1 2)	LOGIC (2 2)	RAMT (3 2)	LOGIC (4 2)	LOGIC (5 2)	LOGIC (6 2)	LOGIC (7 2)	LOGIC (8 2)	LOGIC (9 2)	RAMT (10 2)	LOGIC (11 2)	LOGIC (12 2)	IO (13 2)
IO (0 1)	LOGIC (1 1)	LOGIC (2 1)	RAMB (3 1)	LOGIC (4 1)	LOGIC (5 1)	LOGIC (6 1)	LOGIC (7 1)	LOGIC (8 1)	LOGIC (9 1)	RAMB (10 1)	LOGIC (11 1)	LOGIC (12 1)	IO (13 1)
	IO (1 0)	IO (2 0)	IO (3 0)	IO (4 0)	IO (5 0)	IO (6 0)	IO (7 0)	IO (8 0)	IO (9 0)	IO (10 0)	IO (11 0)	IO (12 0)	

- Ingeniería inversa de las FPGAs ICE40 de Lattice
- Formato del bitstream totalmente conocido
- Toolchain completamente libre: Verilog → Bitstream

Hito épico: La primera toolchain libre de la historia, para cerrar el ciclo completo de diseño en FPGA, desde el código HDL hasta la generación del bitstream, y su carga para la configuración de la FPGA

Proyecto Icestorm (II)

The screenshot shows the Hackaday homepage with a navigation bar including HOME, BLOG, HACKADAY.IO, STORE, HACKADAY PRIZE, SUBMIT, and ABOUT. The main content features a large image of an FPGA board with various components and a USB port. The title of the article is "AN OPEN SOURCE TOOLCHAIN FOR ICE40 FPGAS" by Brian Benchoff. Below the title, there are social sharing icons for Facebook, Twitter, and Google+, and a link to 64 comments. The date of publication is May 29, 2015. A short summary at the bottom states: "FPGAs are great, but open source they are not. All the players in FPGA land have their own proprietary tools for creating bitstream files, and synthesizing the HDL of your choice for any FPGA usually means agreeing to terms and conditions that nobody reads." The full article text continues below this summary.

FPGAs are great, but open source they are not. All the players in FPGA land have their own proprietary tools for creating bitstream files, and synthesizing the HDL of your choice for any FPGA usually means agreeing to terms and conditions that nobody reads.

After months of work, and based on the previous work of [Clifford Wolf] and [Mathias Lasser], [Cotton Seed] has released a fully open source Verilog to bitstream development tool chain for the Lattice iCE40LP with support for more devices in the works.

- La noticia aparece en Hackaday
- Placa usada: **Icestick** de Lattice (\$20)

Icestick



- Toda la comunidad de frikis/hackers/makers la compramos para probar
- El stock se agotó. Estuvo 20 semanas sin poder comprarse :-)

FPGAs libres

- Definición:

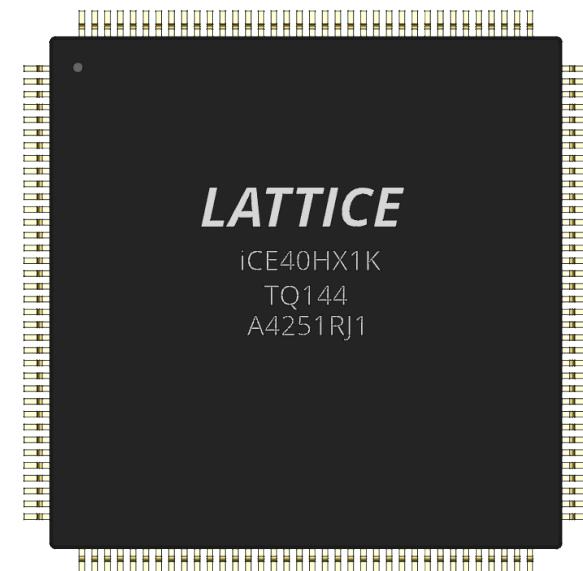
Denominamos **FPGAs libres** a aquellas FPGAs cuya **información técnica** está publicada con **licencia libre**, con el suficiente detalle como para poder crear a partir de ella **toolchains** que permitan cerrar el ciclo completo de trabajo en FPGA

- FPGAs libres actualmente:

- Familia **Lattice iCE40**
- Silego Greenpark

- Lenguajes HDL:

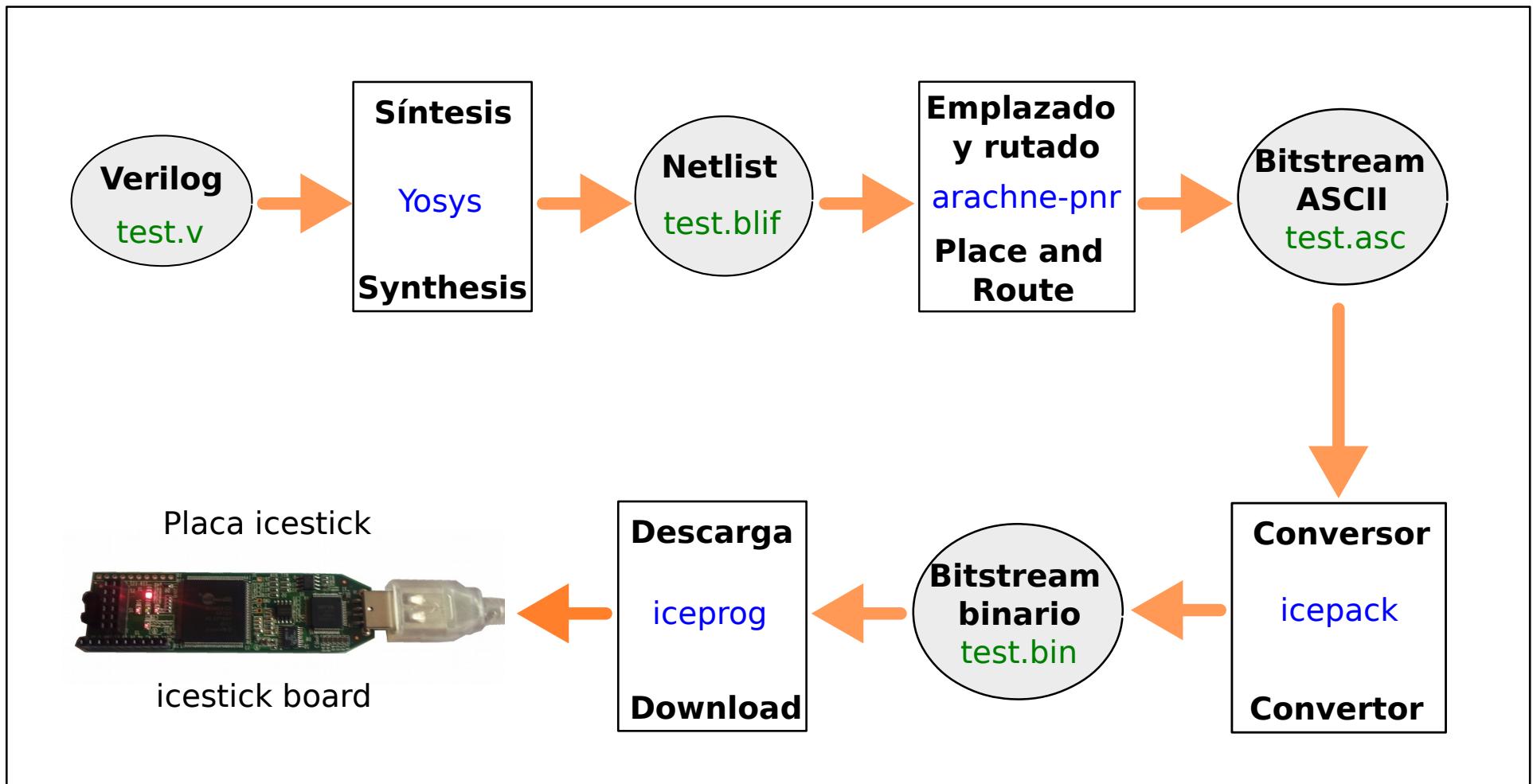
- Lenguaje Verilog (**Maduro**)
- MyHDL (Python)
- Soporte VHDL (Muy alfa)



Familia ICE40 de Lattice

Part	Package	Pin Spacing	I/Os	arachne-pnr opts	icetime opts
iCE40-LP1K-SWG16TR	16-ball WLCSP (1.40 x 1.48 mm)	0.35 mm	10	-d 1k -P swg16tr	-d lp1k
iCE40-LP384-CM36	36-ball ucBGA (2.5 x 2.5 mm)	0.40 mm	25	-d 384 -P cm36	-d lp384
iCE40-LP1K-CM36	36-ball ucBGA (2.5 x 2.5 mm)	0.40 mm	25	-d 1k -P cm36	-d lp1k
iCE40-LP384-CM49	49-ball ucBGA (3 x 3 mm)	0.40 mm	37	-d 384 -P cm49	-d lp384
iCE40-LP1K-CM49	49-ball ucBGA (3 x 3 mm)	0.40 mm	35	-d 1k -P cm49	-d lp1k
iCE40-LP1K-CM81	81-ball ucBGA (4 x 4 mm)	0.40 mm	63	-d 1k -P cm81	-d lp1k
iCE40-LP4K-CM81	81-ball ucBGA (4 x 4 mm)	0.40 mm	63	-d 8k -P cm81:4k	-d lp8k
iCE40-LP8K-CM81	81-ball ucBGA (4 x 4 mm)	0.40 mm	63	-d 8k -P cm81	-d lp8k
iCE40-LP1K-CM121	121-ball ucBGA (5 x 5 mm)	0.40 mm	95	-d 1k -P cm121	-d lp1k
iCE40-LP4K-CM121	121-ball ucBGA (5 x 5 mm)	0.40 mm	93	-d 8k -P cm121:4k	-d lp8k
iCE40-LP8K-CM121	121-ball ucBGA (5 x 5 mm)	0.40 mm	93	-d 8k -P cm121	-d lp8k
iCE40-LP4K-CM225	225-ball ucBGA (7 x 7 mm)	0.40 mm	167	-d 8k -P cm225:4k	-d lp8k
iCE40-LP8K-CM225	225-ball ucBGA (7 x 7 mm)	0.40 mm	178	-d 8k -P cm225	-d lp8k
iCE40-HX8K-CM225	225-ball ucBGA (7 x 7 mm)	0.40 mm	178	-d 8k -P cm225	-d hx8k
iCE40-LP384-QN32	32-pin QFN (5 x 5 mm)	0.50 mm	21	-d 384 -P qn32	-d lp384
iCE40-LP1K-QN84	84-pin QFNS (7 x 7 mm)	0.50 mm	67	-d 1k -P qn84	-d lp1k
iCE40-LP1K-CB81	81-ball csBGA (5 x 5 mm)	0.50 mm	62	-d 1k -P cb81	-d lp1k
iCE40-LP1K-CB121	121-ball csBGA (6 x 6 mm)	0.50 mm	92	-d 1k -P cb121	-d lp1k
iCE40-HX1K-CB132	132-ball csBGA (8 x 8 mm)	0.50 mm	95	-d 1k -P cb132	-d hx1k
iCE40-HX4K-CB132	132-ball csBGA (8 x 8 mm)	0.50 mm	95	-d 8k -P cb132:4k	-d hx8k
iCE40-HX8K-CB132	132-ball csBGA (8 x 8 mm)	0.50 mm	95	-d 8k -P cb132	-d hx8k
iCE40-HX1K-VQ100	100-pin VQFP (14 x 14 mm)	0.50 mm	72	-d 1k -P vq100	-d hx1k
iCE40-HX1K-TQ144	144-pin TQFP (20 x 20 mm)	0.50 mm	96	-d 1k -P tq144	-d hx1k
iCE40-HX4K-TQ144	144-pin TQFP (20 x 20 mm)	0.50 mm	107	-d 8k -P tq144:4k	-d hx8k
iCE40-HX8K-CT256	256-ball caBGA (14 x 14 mm)	0.80 mm	206	-d 8k -P ct256	-d hx8k

Toolchain libre para ICE40



Ventajas: Las posibilidades son infinitas...

- **Bitstream en formato ASCII:** Desarrollo de nuevas herramientas a nivel de cambios en bitstreams, sin tener que sintetizar todo de nuevo
- **Nuevas formas de generación de Bitstreams:** algoritmos genéticos / aprendizaje / redes neuronales...
- **Síntesis y generación de hardware en nuevas plataformas:** ARMs, Rasberry Pi...
- **Hardware bajo demanda en sistemas empotrados:** Ahora es totalmente viable y abordable su implementación y aplicaciones prácticas
- **Ingración continua** en repositorios Hardware
- **Distribuciones de Hardware libre**, con bitstream generados en servidores
- **Nuevas herramientas de desarrollo en hardware:** FPGAs en educación

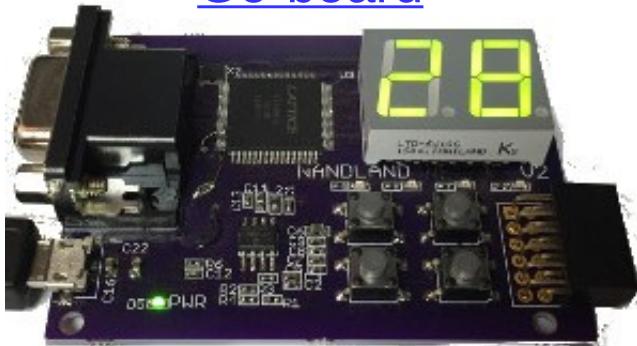
Placas con FPGAs libres (I)

Icestick



- \$22 aprox
- ICE40-1K
- Usada por Clifford
- 12Mhz
- 5 Leds

Go-board



Crowdfunding

- \$60 aprox
- ICE40-1K
- 12Mhz
- 2 Display 7-seg
- 4 pulsadores
- 4 leds
- 1 conector VGA

iCE40-HX8K Breakout Board



- \$43 aprox
- ICE40-8K
- Micro-USB
- 8 LEDs
- 12 Mhz



Placas con FPGAs libres (II)

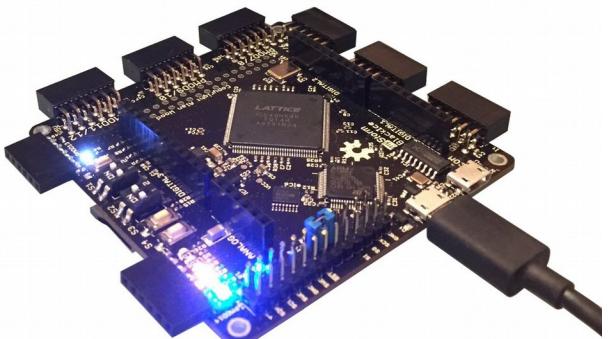
Kéfir



- INTI, Argentina
- ICE40-4K
- 4 capsenses
- 24Mhz
- 4 Leds
- Compatible Arduino



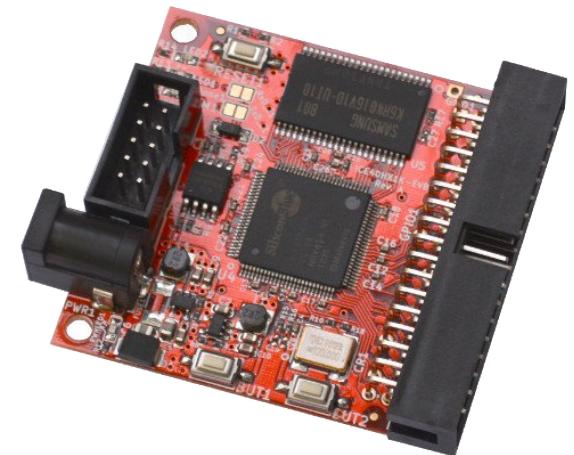
Mystorm BlackIce



- 45€
- ICE40-4K + ARM M4
- 100Mhz
- SRAM 256Kx16
- 6 LEDs
- 3 Pulsadores



iCE40HX1K-EVB

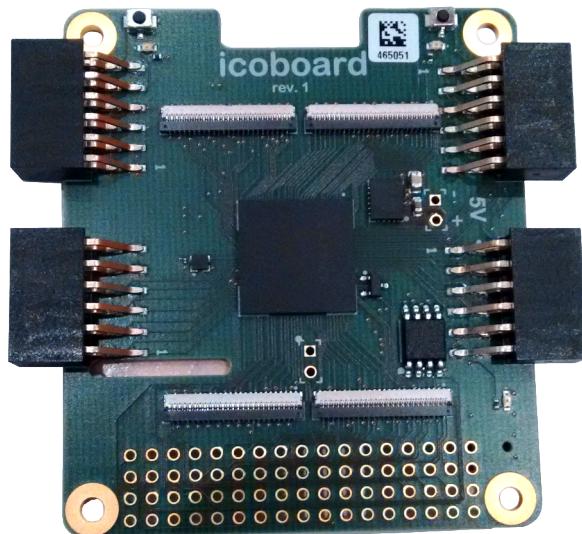


- 22€
- ICE40-1K
- 100Mhz
- SRAM 256Kx16
- 2 LEDs
- 2 Pulsadores



Placas con FPGAs libres (III)

Icoboard

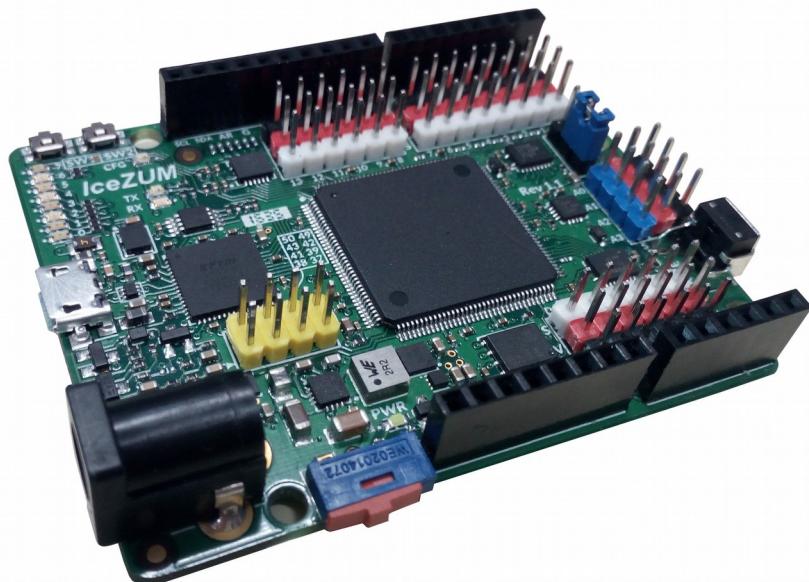


- 90€
- ICE40-8K
- Sombrero para **Raspberry PI**
- 100Mhz
- SRAM 8Mx16
- 3 LEDs
- 2 Pulsadores



Icezum Alhambra v1.1

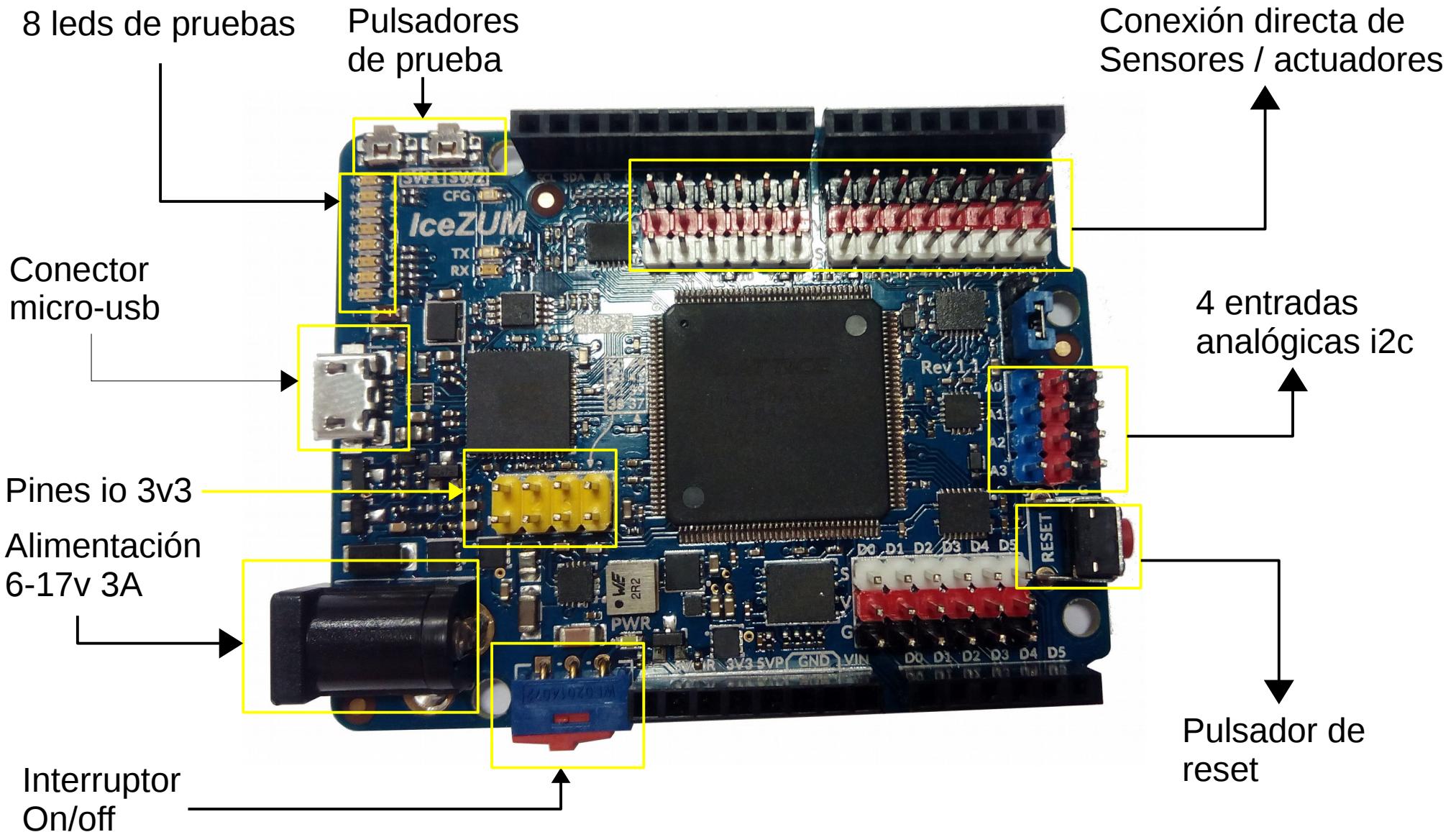
[Icezum Alhambra](#)



- 65€
- Autor: **Eladio Delgado**
- ICE40-1K
- Diseñada en Pinos del Valle (Granada)
- Arduino de las **FPGAs**
- Compatible Arduino
- Fácil conexión de circuitos externos/sensores/servos
- Reutilización de los shields de arduino
- 20 entradas/salidas de 5v
- 3A corriente de entrada
- Perfecta para hacer robots



Icezum Alhambra v1.1 (II)



Comunidad FPGAwars



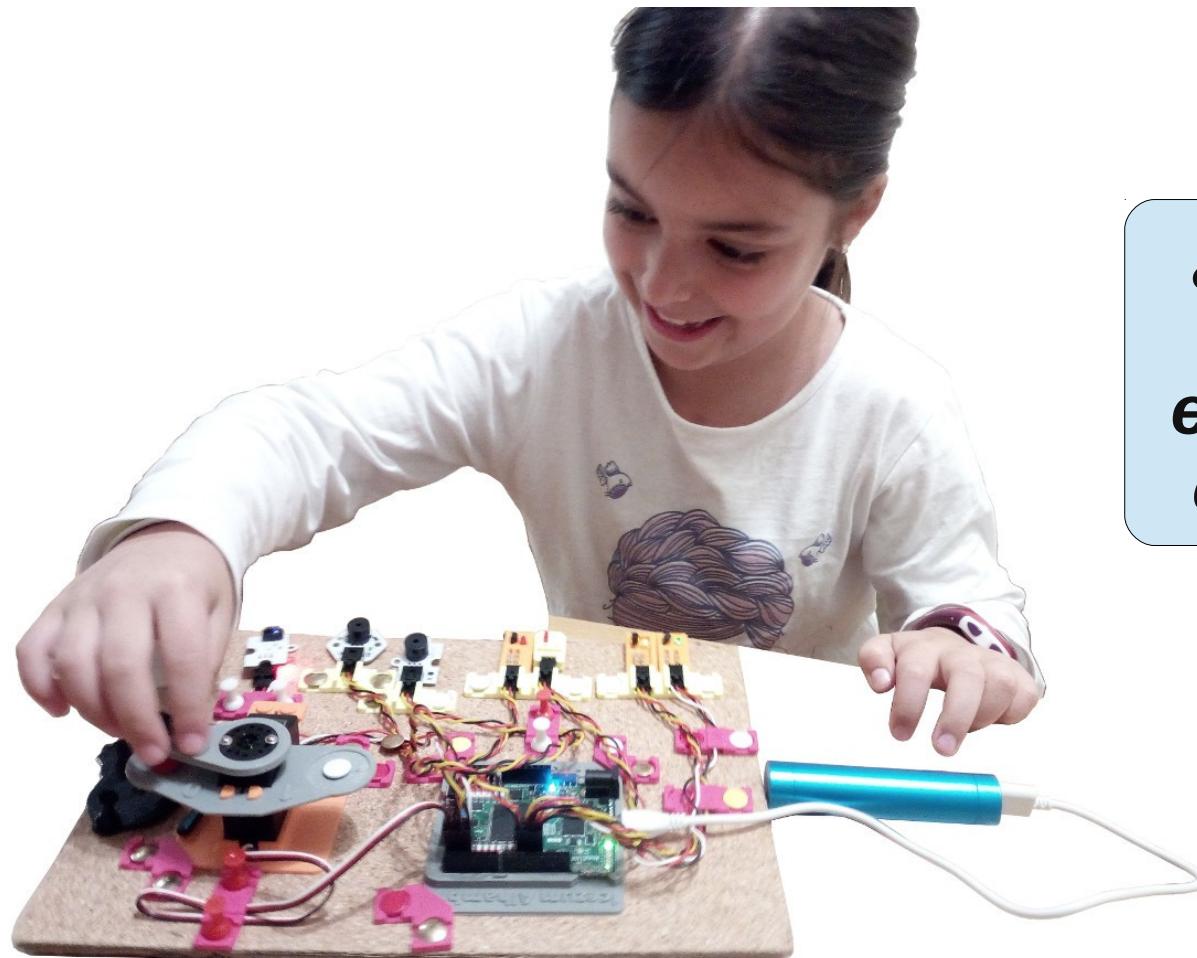
- Comunidad para **compartir conocimiento** relacionado con **FPGAs libres**
- Es el **clonewars** de las FPGAs, pero en modesto :-)
- Idioma: Castellano
- 455 miembros
- Cualquier pregunta / comentario / sugerencia → Correo a la lista :-)

<http://fpgawars.github.io/>

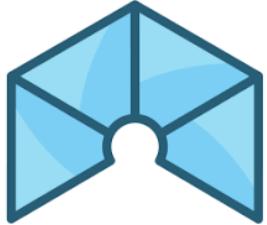
Parte II: FPGAs libres en educación

Motivación

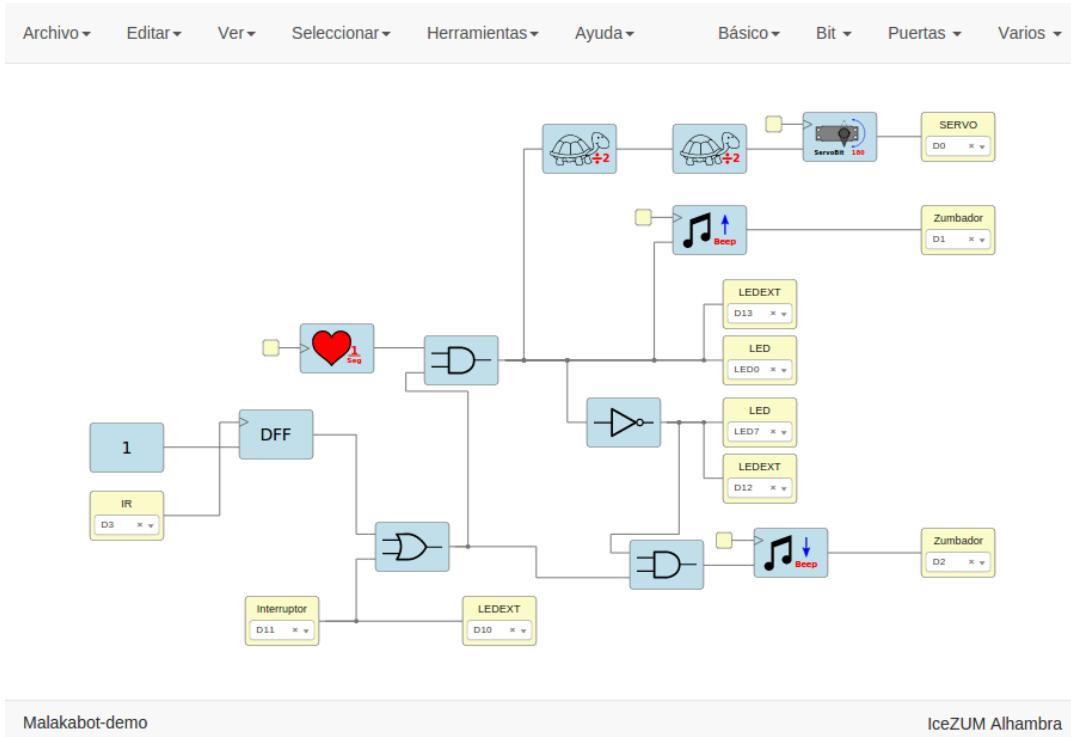
Electrónica digital accesible



¿Cómo podrían los niños y los no electrónicos diseñar circuitos digitales?



Icestudio

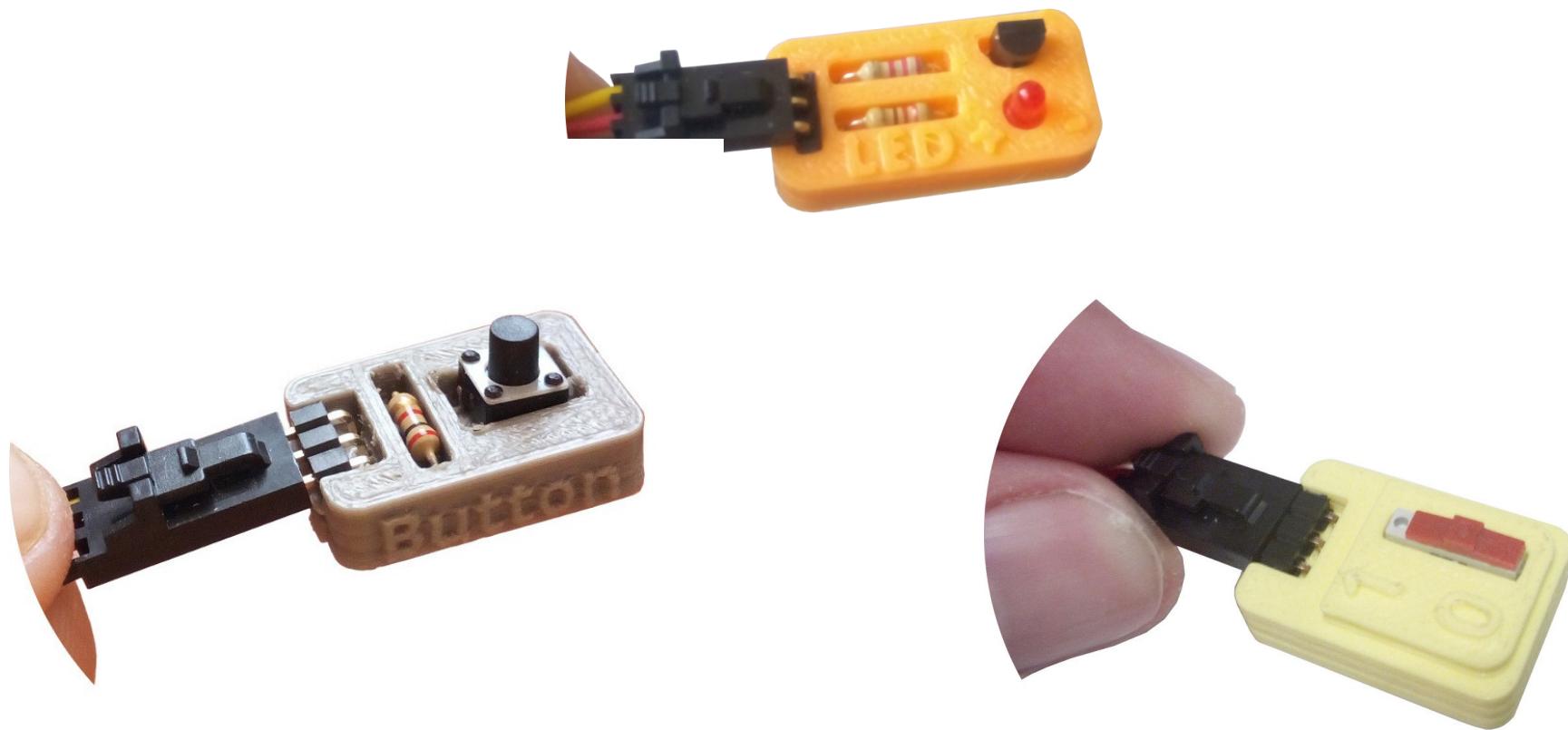


<https://github.com/FPGAwars/icestudio>

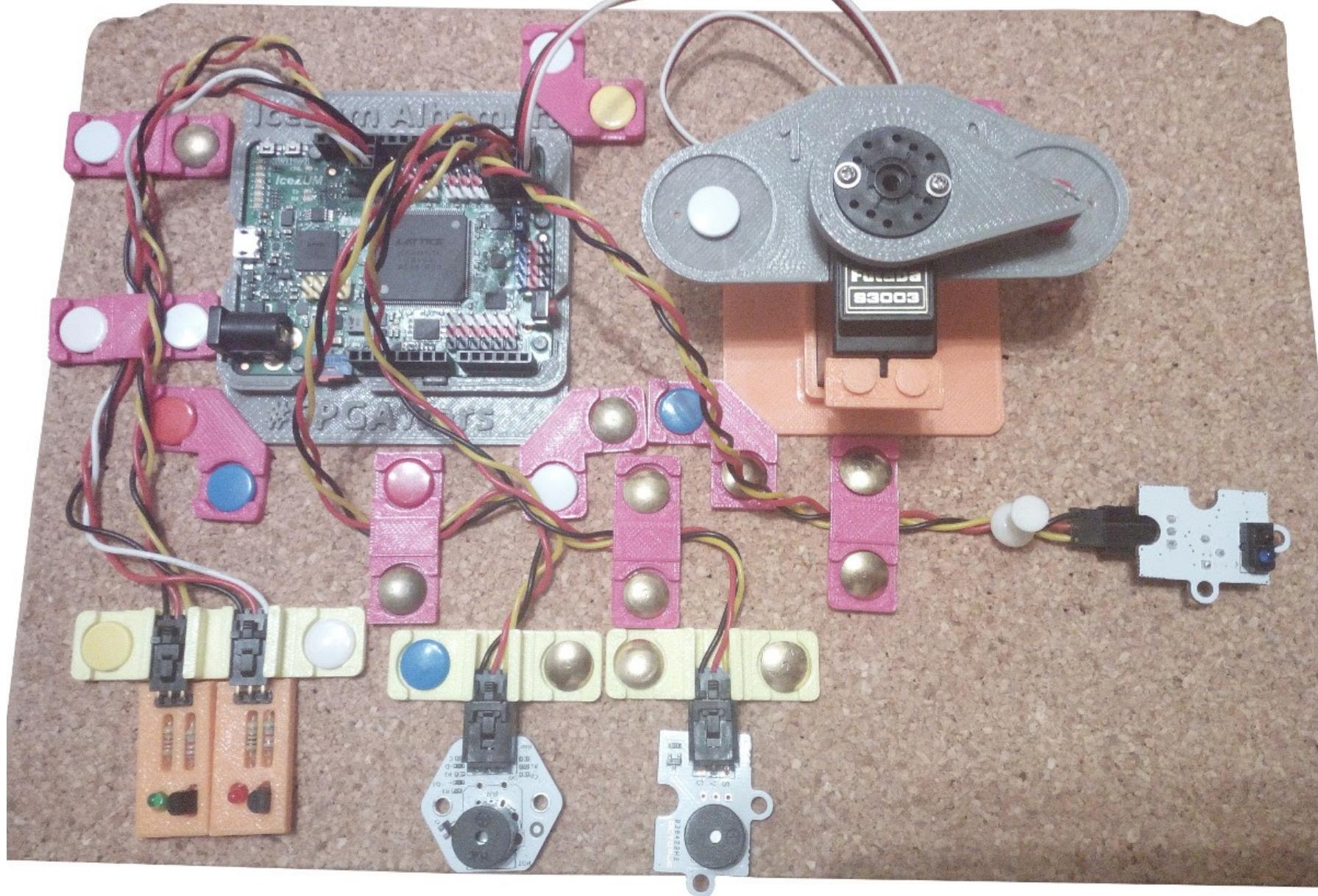
- Autor: **Jesús Arroyo**
- Electrónica digital para todos
- Herramienta visual
- Traduce a verilog

Periféricos

PCBprints: Mini-circuitos impresos en 3D



iDemo!



Larby: Robot modular



- Servos conectados directamente a Icezum Alhambra
- Configuración mínima pitch-pitch
- Módulo impresos en 3D

Conclusiones

- Ha aparecido un **nuevo ecosistema** en el mundo de las FPGAs, que **viene de la comunidad**, con mucho potencial, y que jugará un papel importante a medio/largo plazo
- Este ecosistema está lo suficientemente **maduro** como para su uso en docencia y proyectos de investigación
- Las FPGAs libres se están introduciendo en el mundo **maker/Hacker**. Por ello, aparecerán muchos proyectos que las usen en los próximos meses/años
- Las FPGAs libres y las nuevas herramientas se adaptan muy bien al mundo de la enseñanza, **bajando las barreras de entrada**

¡Que las FPGAs libres os acompañen!



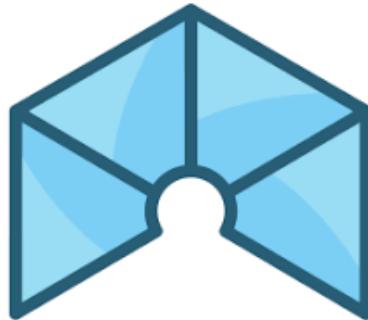


Jornadas Sarteco

19-22 Septiembre 2017, Málaga



...y llegaron las FPGAs libres



#Icestorm

Juan González Gómez (Obijuan)
<https://github.com/Obijuan>

