

II	N	N	FFFFFF	0000	RRRRR	M	M	A	TTTTTTT	0000	RRRR		
II	N	N	F	0	0	R	R	MM	MM	A A	0	0	R
II	NN	N	F	0	0	R	R	M M M M	A A	T	0	0	R
II	N N	N	F	0	0	R	R	M M M	A A	T	0	0	R
II	N	N	FFFF	0	0	RRRRR	M	M	AAAAAAA	T	0	0	RRRR
II	N	N N	F	0	0	R R	M	M	A A	T	0	0	R R
II	N	NN	F	0	0	R R	M	M	A A	T	0	0	R R
II	N	N	F	0	0	R R	M	M	A A	T	0	0	R
II	N	N	F	0000	R	R	M	M	A A	T	0000	R	

V	V	RRRRR	SSSS
V	V	R R	S S
V	V	R R	S
V	V	R R	S
V	V	RRRRR	SS
V	V	R R	S
V	V	R R	S
V	V	R R	S S
V	V	R R	SSSS

Stevilka : 17
Datum : 19-JUN-1987

PODROCJE :
MIKRO

OD: SELISKAR Jernej

ZA:
VODJA SKUPINE *Cigale Ivan*

ZADEVA: Tresenje slike na graficnih PARTNERJIH

Tresenje slike na graficnih PARTNERJIH

Posiljam vam nacrt revizije graficne plosce za sisteme PARTNER.

Prosim, de mi rezultate posljete na naslov:

ISKRA DELTA
Linhartova 62/a
SELISKAR Jenej
61000 LJUBLJANA

V. 1. 3/4/81
H. 1. 1.

TREPERENJE SLIKE NA GRAFICKOM PARTNER-u

Treperenje tekstualnog dela slike na P/G je uzrokovano neusklađenom horizontalnom sinhronizacijom između grafičkog i tekstovnog video procesora. Sinhronizacija horizontalnih sinhr. impulsa ova dva procesora je postignuta na sledeći način:

Kada tekstovni video procesor počne horizontalni sinhronizacijski impuls signal AHSYNC preko SH9 (SH5) setuje flip-flop S201 (IC1 / 74LS74) i spušta signal CLKEN. Ovaj signal preko S103 (IC52 / 74F00) prekida DCLK i time zaustavlja rad tekstovnih video procesora S59 (IC50 / SC82675), a preko ovog (i signala CCLK-) i S25 (IC5 / SCN2674). Ovi procesori su zaustavljeni do pojave signala GDPSYNC sa grafičkog video procesora S87 (IC23 / EF9367) koji preko SH8 (SH11) i S69 (IC51 / 74LS14) resetuje S201.

Ovaj trenutak je kritičan jer uspostavljanjem DCLKa počinju da rade tekstovni video procesori, a time i (nakon odbrojane sirine AHSYNC i BLANK impulsa) prikazivanje nove linije teksta.

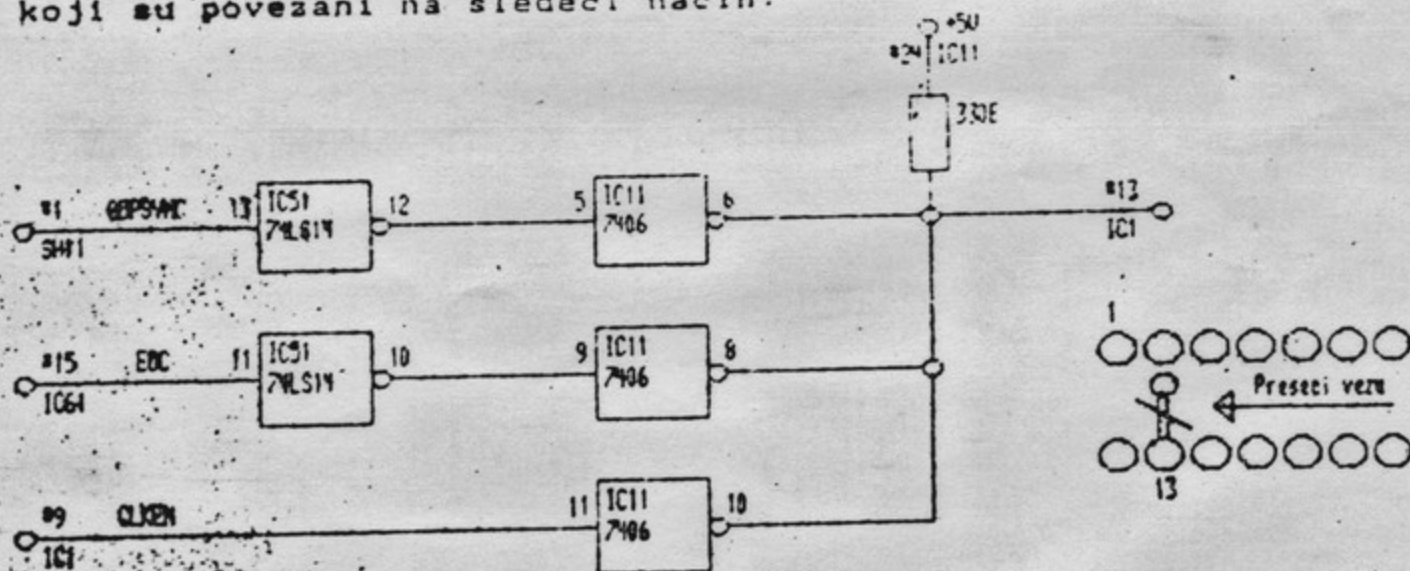
Signal GDPSYNC se generiše u grafičkom video procesoru sinhrono sa taktnim impulsom, ali ova sinhronizacija eksterno nije precizna. Prema podacima firme THOMSON je maksimalno kašnjenje signala GDPSYNC nakon silazne ivice taktnog impulsa 300 nsec, dok minimalno vreme nije dato. Za primene u ovakvom sklopu je vreme od 300 nsec suviše veliko jer je signal DCLK kojim upravlja GDPSYNC ima periodu od 62.5 nsec (16 MHz za 80 zn/red), odnosno 41.67 nsec (24 MHz za 132 zn/red). Druga karakteristika signala GDPSYNC (koja je eksperimentalno utvrđena) je njegov veoma spori rast (rise time). Merenjem je utvrđeno da je ovom signalu potrebno oko 100 nsec da dostigne svoju maksimalnu vrednost. U kolu S69 (IC51 / 74LS14) se ova ivica prilično izoštri, ali je, zbog parazitoznog rasta i promenljivih parametara koji utiču na ovako spor rast, trenutak pojave ovog signala neizvestan.

Ukoliko se signal GDPSYNC, a time i signal CLKEN generišu tako da se nalaze desetak nsec pre uzlazne ivice takta tekstovnog video procesora kojim upravljaju (nožica 1 S103 (IC52 / 74F00) onda se nakon uspostavljanja CLKEN dobija negativni impuls DCLK od oko dvadesetak nanosekundi. Ovaj impuls se nalazi na donjoj granici potrebnoj za takt tekstovnog video procesora (podaci iz dokumentacije) i u nekim slučajevima će biti smatran kao važeći, a u drugim će biti ignorisan. Za ovu pojavu su dovoljne veoma male promene vremena pojave GDPSYNC od par nanosekundi. S druge strane, signalom GDPSYNC se ne može upravljati u granicama od 300 nanosekundi, pa je jasno da se treperenje slike u ovakvoj izvedbi samo slučajno može izbeći (a i to teško jer je maksimalna upravljanja perioda desetak nanosekundi).

Rešenje za ovaj problem se sastoji u strogoj sinhronizaciji pojave signala CLKEN sa taktom kojim upravlja. Ako je u pitanju izbor od 132 znaka u redu onda je to osnovni taktni impuls HCK doveden sa S94 (IC72 / 74S04) nožica 4 preko S101 i S102 (IC52 / 74F00), a kod 80 zn/red je to signal koji se od osnovnog takta dobija u S90, S96, S97, S104, S91 i S98 i dovodi preko S100 i S102. U ovom drugom slučaju signal nije simetričan, ali je potpuno sinhronizovan sa glavnim taktom HCK od kojeg se dobija. Signal HCK se koristi i za dobijanje QC sa S98 (IC61 / 74S163) koji se vodi kao takt na grafički procesor i utiče na formiranje GDPSYNC.

Zbog ovih razloga, kao i zbog činjenice da je signal EOC potpuno sinhron sa silaznom ivicom QC i osnovnim taktom HCK, pronađeno je rešenje da se EOC iskoristi za sinhronizaciju CLKEN sa taktom za tekstovni procesor, tako da DCLK počinje uvek u istoj (ili bar dobro definisanoj fazi).

Da bi se ovo izvelo potrebno je na reset flip-flopa S201 (IC1 / 74LS74 nožica 13) dovesti GDPSYNC sinhronizovan sa EOC. Za ovu sinhronizaciju su upotrebljeni slobodni invertori na samoj ploči koji su povezani na sledeći način:

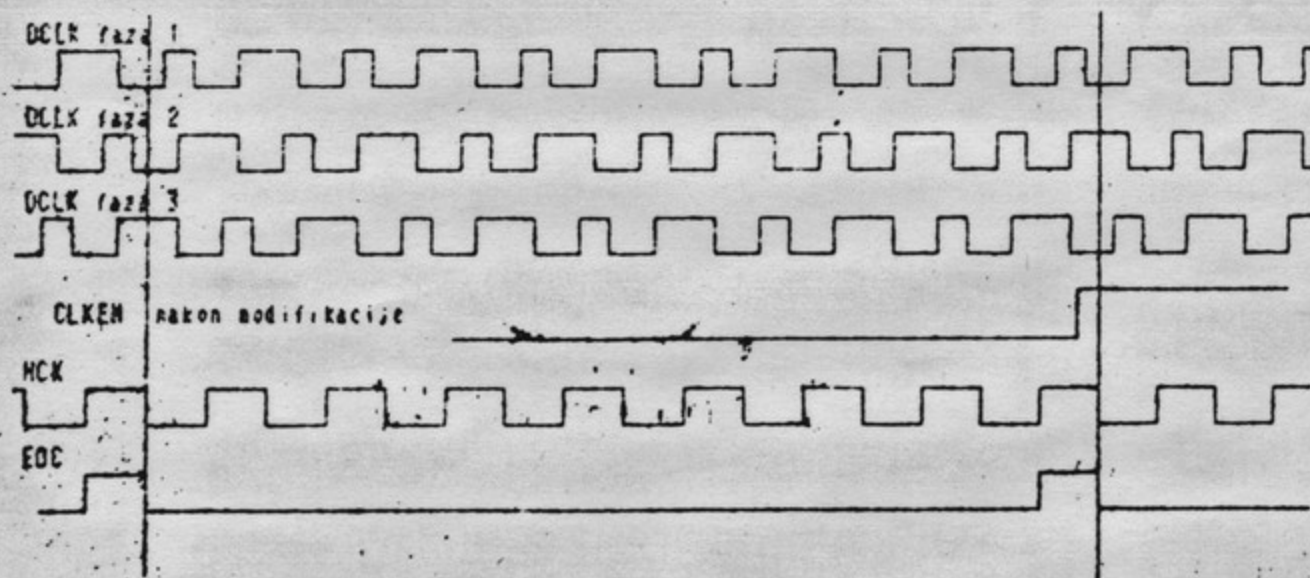


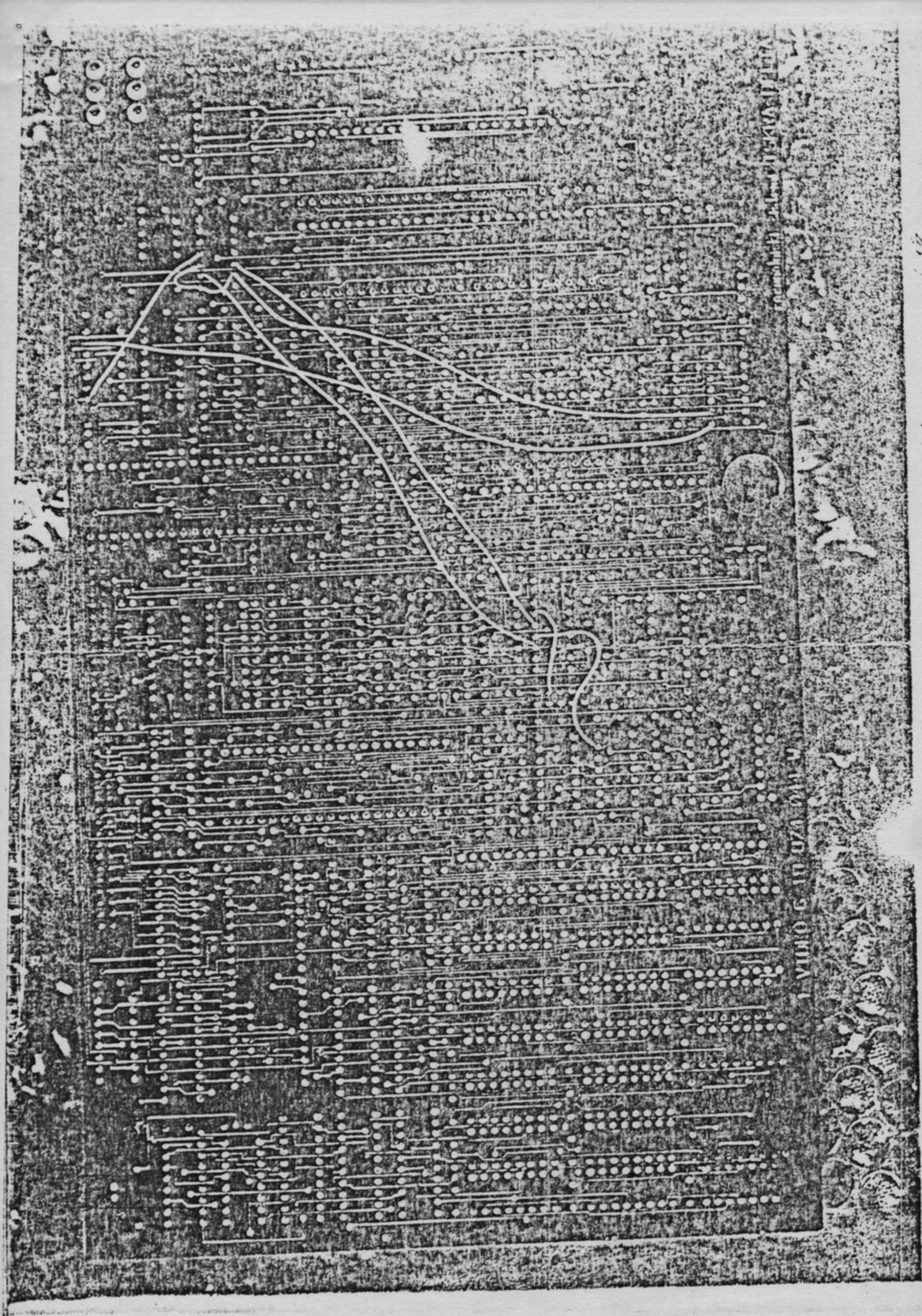
Signal CLKEN je iskorišćen da se obezbedi reset samo na prvom EOC impulsu nakon pojave AHSYNC.

Praktična realizacija ove izmene se sprovodi na sledeći način:

- ✓ 1) Preseče se vod koji ide od nožice 13 IC1 do provodne ru-
pice (pažljivo jer je štampa četvoroslojna!),
- ✓ 2) Spoje se nožice 6 : 8 na IC11,
- ✓ 3) Spoje se nožice 8 i 10 na IC11,
- ✓ 4) Nožica 6 ^{IC11} IC1 se spoji sa nožicom ^{9 IC71} 13 IC1,
- ✓ 5) Sa kontakta ①² SH11 (prema IC51) se signal GDPSYNC dovede
na nožicu 13 IC51,
- ✓ 6) Spoje se nožica 12 IC51 i nožica ⁵ 6 IC11,
- ✓ 7) Sa IC61 nožica 15 se signal EOC dovede na nožicu 11 IC 51,
- ✓ 8) Spoji se nožica 10 IC51 sa nožicom 9 IC11,
- ✓ 9) Sa nožice ⁸ 9 IC1 se dovede signal CLKEN na nožicu 11 IC11,
- ✓ 10) Ugradi se otpornik od oko 300 oma (220 do 470) između
nožica 10 i 14 (+5V) IC11.
- ✓ 11) Spoji nožicu 13 IC1 na nožicu 8 IC71

Ove prerade postavljaju CLKEN u dobro definisano područje takta koji će da DCLK i to u sve tri faze u odnosu na HCK sa 80 zn/red, kao i sa 132 zn/red, kao što je prikazano na dijagramu:





ISKRA-DELTA VIDEO G SRV

