

浙江大学

本科实验报告

RISC-V 微处理器设计

课程名称： 计算机组成与设计

姓 名： 姚桂涛

学 院： 信息与工程学院

专 业： 信息工程

学 号： 3190105597

指导老师： 屈民军、唐奕

2021 年 12 月 24 日

浙江大学实验报告

专业： 信息工程
姓名： 姚桂涛
学号： 3190105597
日期： 2021 年 12 月 24 日
地点： 教 11-400

课程名称： 计算机组成与设计 指导老师： 屈民军、唐奕 成绩： _____
实验名称： RISC-V 微处理器设计 实验类型： 设计 同组学生姓名： _____

一、 实验目的

二、 实验任务

1. 基本要求

设计一个流水线 RISC-V 微处理器，具体要求如下所述。

(1) 至少运行下列 RV32I 核心指令。

算术运算指令：add、sub、addi

逻辑运算指令：and、or、xor、slt、sltu、di、ori、xori、slti、sltiu

移位指令：sll、srl、sra、slli、srli、srai

条件分支指令：beq、bne、blt、bge、bltu、eu

无条件跳转指令：jal、jalr

数据传送指令：lw、sw、lui、auipc

空指令：nop

(2) 采用 5 级流水线技术，对数据冒险实现转发或阻塞功能。

(3) 在 Nexys Video 开发系统中实现 RISC-V 微处理器，要求 CPU 的运行速度大于 25MHz。

2. 扩展要求

(1) 要求设计的微处理器还能运行 lb、lh、ld、lbu、lhu、lwu、sb、sh 或 sd 等字节、半字和双字数据传送指令。

(2) 要求设计的 CPU 增加异常 (exception)、自陷 (trap)、中断 (interrupt) 等处理方案。

三、 实验原理与模块设计

1. 总体设计

流水线是数字系统中一种提高系统稳定性和工作速度的方法，广泛应用于高档 CPU 的架构中。根据 RISC-V 处理器指令的特点，将指令整体的处理过程分为取指令 (IF)、指令译码 (ID)、执行 (EX)、存储器访问 (MEM) 和寄存器回写 (WB) 五级。如图 30.2 示，一个指令的执行需要 5 个时钟周期，每个时钟周期的上升沿来临时，此指令所代表的一系列数据和控制信息将转移到下一级处理。

图所示为符合设计要求的流水线 RISC-V 微处理器的原理框图，采用五级流水线。由于在流水线中，数据和控制信息将在时钟周期的上升沿转移到下一级，所以规定流水线转移的变量命名遵守如下格式：名称 _ 流水

线级名称。如, 在 ID 级指令译码电路 (decode) 产生的寄存器写允许信号 RegWrite 在 ID 级、EX 级、MEM 级和 WB 级上的命名分别为 RegWrite_id、RegWrite_ex、RegWrite_mem 和 RegWrite_wb。在顶层文件中, 类似的变量名称有近百个, 这样的命名方式起到了很好的识别作用。

2. 流水线 RISC-V 微处理器的设计

根据流水线不同阶段, 将系统划分为 IF、ID、EX 和 MEM 四大模块, WB 部分功能电路非常简单, 可直接在顶层文件中设计。另外, 系统还包含 IF/ID、ID/EX、EX/MEM、MEM/WB 四个流水线寄存器。

2.1 取指令级模块 (IF) 的设计

2.2 指令译码模块 (ID) 的设计

2.3 执行模块 (EX) 的设计

2.4 数据存储器模块 (DataRAM) 的设计

2.5 流水线寄存器的设计

2.6 顶层文件的设计

3. 实验设备

- (1) 装有 Vivado 和 ModelSim SE 软件的计算机。
- (2) Nexys Video 开发板一套。
- (3) 带有 HDMI 接口的显示器一台。

四、 实验结果