

数字逻辑实验报告

实验 5

学 期	2022-2023 学年第 1 学期		实验日期	2023/2/21	
学 院	信息学部		专 业	计算机科学与技术（实验班）	
班 级	210710	学 号	21071003	姓 名	高立扬
组 号	43	学 号	21071004	姓 名	石昊阳

评 阅 内 容				
任务一	任务二	总结	格式	成 绩

题 目	实验 5：简单接口电路设计
-----	---------------

一、实验目的

通过本实验内容的学习，掌握如何利用基本组合逻辑电路和基本时序电路解决实际问题；掌握常用简单接口电路的工作原理及控制方法，为后续综合设计的实现做好准备；学习在数字电路设计中，按模块设计电路的思想。

- 1. 通过基本逻辑电路的应用，掌握键盘扫描电路、动态数码管显示、直流电机控制、步进电机控制等电路的设计；学会使用 Verilog HDL 设计简单接口的控制器。
- 2. 掌握在 EDA 软件中利用图形方式和硬件描述语言进行模块调用的方法。

二、任务一设计与实现

- 1. 要求：
 - (1)系统时钟为 50MHz，使用之前设计的分频器模块。
 - (2)完成动态扫描模块的设计。
 - (3)将个人学号显示在动态数码管上。（需要 8 个数码管，轮流点亮 8 个数码管）
- 2.设计思路

任务一要求设计一个能同时在数码管上显示出 8 位学号的电路。通过分析，我们发现可以将学号作为输入输入进 4 位 8 选 1 器中，再用扫描电路选择 4 位 8 选 1 的输出，并且决定某段数码管显示，再用 bcd 七段译码器将 4 位 8 选 1 的输出转换为数码管上的显示的数字，即可实现该电路。

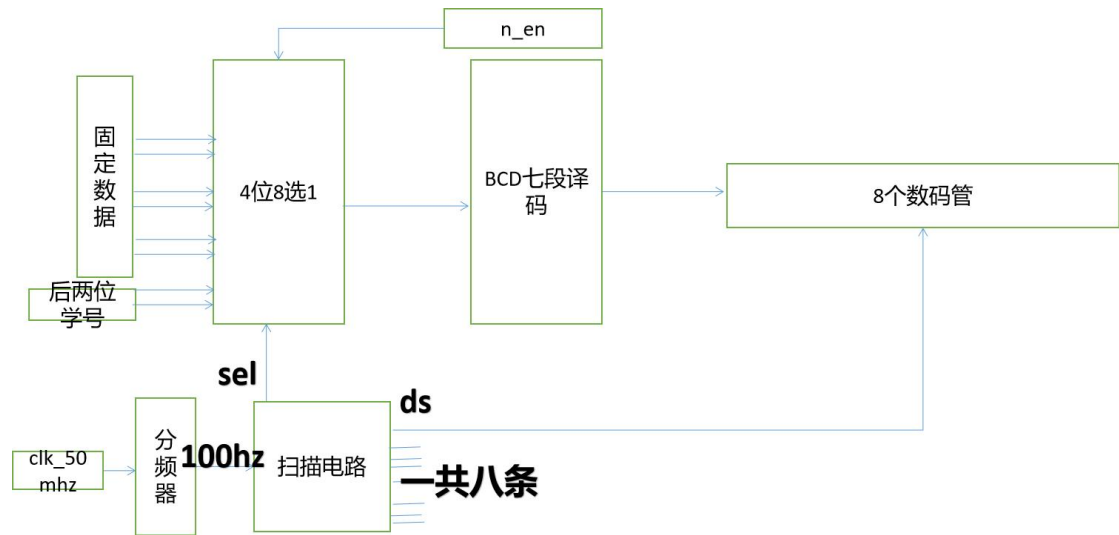


图 1.设计思路

3. 详细设计

表 1.扫描电路

Sel	Ds
0	1111_1110
1	1111_1101
2	1111_1011
3	1111_0111
4	1110_1111
5	1101_1111
6	1011_1111
7	0111_1111

```
1 module scan(clk, ds, sel);
2   input clk;
3   output [7:0] ds;
4   output [2:0] sel;
5   reg [7:0] ds = 8'b0;
6   reg [2:0] sel = 3'b0;
7   always@(posedge clk)
8   begin
9     if(sel == 7)
10      sel <= 0;
11    else
12      sel <= sel + 1;
13    end
14  end
15  always@(sel)
16  case(sel)
17    0:ds=8'b1111_1110;
18    1:ds=8'b1111_1101;
19    2:ds=8'b1111_1011;
20    3:ds=8'b1111_0111;
21    4:ds=8'b1110_1111;
22    5:ds=8'b1101_1111;
23    6:ds=8'b1011_1111;
24    7:ds=8'b0111_1111;
25    default:ds=8'b0;
26  endcase
27 endmodule

1 module top(n_en, in1, in2, clk_50mhz, ds, led);
2   input n_en, clk_50mhz;
3   input [3:0] in1, in2;
4   wire clk_100hz;
5   wire [2:0] sel;
6   output [7:0] ds;
7   output [6:0] led;
8   wire [3:0] out;
9
10  // ds[7] 接入最左边的数码管, 以此类推
11  // test02是数据选择器
12  frequency_divider(.clk_50mhz(clk_50mhz), .clk_100hz(clk_100hz));
13  scan(.clk(clk_100hz), .ds(ds), .sel(sel));
14  test02(.sel(sel), .n_en(n_en), .out(out), .in1(in1), .in2(in2));
15  LED(.in(out), .n_en(n_en), .out(led));
16
17 endmodule
```

图 2.扫描电路以及顶层文件

4.仿真验证

数字逻辑实验报告

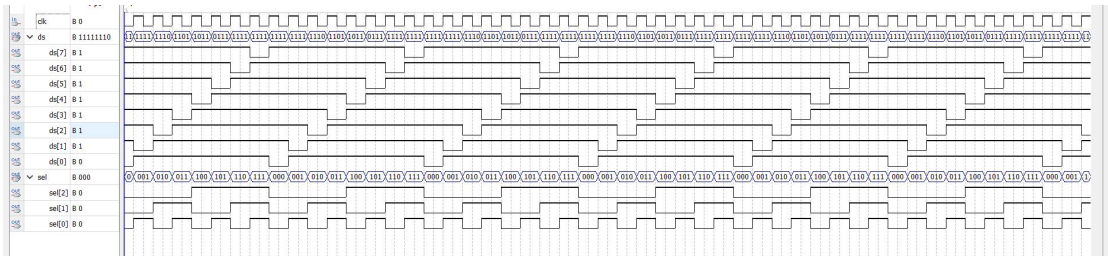


图 3.扫描电路波形图

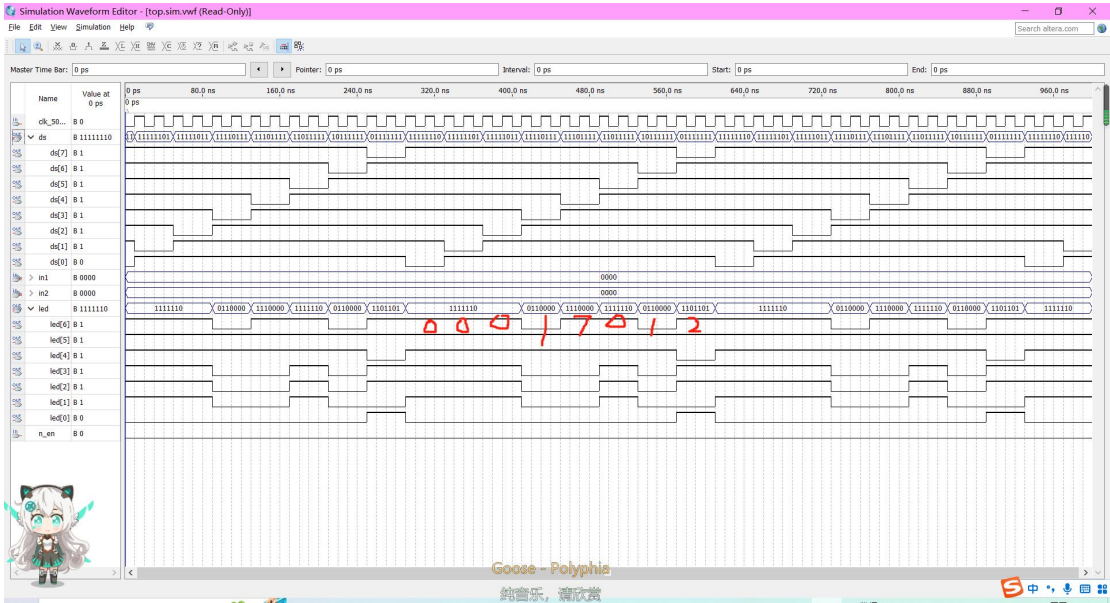


图 4.顶层文件波形图

如图 3 可知 ds 和 sel 的扫描电路准确无误。由图 4，可找出初始学号被正确打印。

5.引脚分配

表 2.引脚分配

端口名称	输入端	
	时钟信号 clk	n_en
引脚编号	T1	A3
平台端口	T1	SW16

表 2.续表

输入端							
in1				in2			
in1[3]	in1[2]	in1[1]	in1[0]	in2[3]	in2[2]	in2[1]	in2[0]

数字逻辑实验报告

实验 5

N18	M20	AA15	V13	AB17	AB18	C3	E5
SW1	SW2	SW3	SW4	SW9	SW10	SW11	SW12

表 2.续表

输出端							
ds							
ds[7]	ds[6]	ds[5]	ds[4]	ds[3]	ds[2]	ds[1]	ds[0]
V16	AA17	U22	V22	W22	Y22	Y21	AB20
DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1

表 2.续表

输出端							
led							
led[6]	led[5]	led[4]	led[3]	led[2]	led[1]	led[0]	
AA20	W20	R21	P21	N21	N20	M21	
LA	LB	LC	LD	LE	LF	LG	

Node Name	Direction	Location	I/O Bank	REF Group	Port Location	IO Standard	Reserved	Current Strength	Slew Rate	Differential Pair
clk_50mhz	Input	PIN_T1	2	B2_N0	PIN_T1	2.5 ...ult)		8mA...lt)		
ds[7]	Output	PIN_V16	4	B4_N0	PIN_V16	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[6]	Output	PIN_AA17	4	B4_N0	PIN_AA17	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[5]	Output	PIN_U22	5	B5_N0	PIN_U22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[4]	Output	PIN_V22	5	B5_N1	PIN_V22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[3]	Output	PIN_W22	5	B5_N1	PIN_W22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[2]	Output	PIN_Y22	5	B5_N1	PIN_Y22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[1]	Output	PIN_Y21	5	B5_N1	PIN_Y21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[0]	Output	PIN_AB20	4	B4_N0	PIN_AB20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
in1[3]	Input	PIN_N18	5	B5_N0	PIN_N18	2.5 ...ult)		8mA...lt)		
in1[2]	Input	PIN_M20	5	B5_N0	PIN_M20	2.5 ...ult)		8mA...lt)		
in1[1]	Input	PIN_AA15	4	B4_N1	PIN_AA15	2.5 ...ult)		8mA...lt)		
in1[0]	Input	PIN_V13	4	B4_N1	PIN_V13	2.5 ...ult)		8mA...lt)		
in2[3]	Input	PIN_AB17	4	B4_N0	PIN_AB17	2.5 ...ult)		8mA...lt)		
in2[2]	Input	PIN_AB18	4	B4_N0	PIN_AB18	2.5 ...ult)		8mA...lt)		
in2[1]	Input	PIN_C3	8	B8_N1	PIN_C3	2.5 ...ult)		8mA...lt)		
in2[0]	Input	PIN_E5	8	B8_N1	PIN_E5	2.5 ...ult)		8mA...lt)		
led[6]	Output	PIN_AA20	4	B4_N0	PIN_AA20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[5]	Output	PIN_W20	5	B5_N1	PIN_W20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[4]	Output	PIN_R21	5	B5_N0	PIN_R21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[3]	Output	PIN_P21	5	B5_N0	PIN_P21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[2]	Output	PIN_N21	5	B5_N0	PIN_N21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[1]	Output	PIN_N20	5	B5_N0	PIN_N20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[0]	Output	PIN_M21	5	B5_N0	PIN_M21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
n_en	Input	PIN_A3	8	B8_N1	PIN_A3	2.5 ...ult)		8mA...lt)		
<<next page>>										

6.实验现象

LED 屏上从左到右依次输出 21071000。若改变输入端，输出的学号也会随输入端的改变而改变。如果改变 en 开关，LED 屏被关闭。与实验预期相符。

三、任务二设计与实现

数字逻辑实验报告

实验 5

1. 要求

- (1)系统时钟为 50MHz，使用之前设计的分频器模块。
- (2)实现 4×4 键盘识别。
- (3)将按键显示在数码管上。（只需要 1 位数码管，按下某个键时数码管显示对应数字）

2. 设计思路

任务二要求设计一个用 4*4 键盘识别的数码管显示器。通过分析发现，该任务难点在与如何判断键盘上哪个按键被摁下。我们发现可以将键盘分别以行和列分组，当按键被摁下，其对应的行线和列线变为低电平。用高频扫描其状态即可判断哪一按键被摁下。

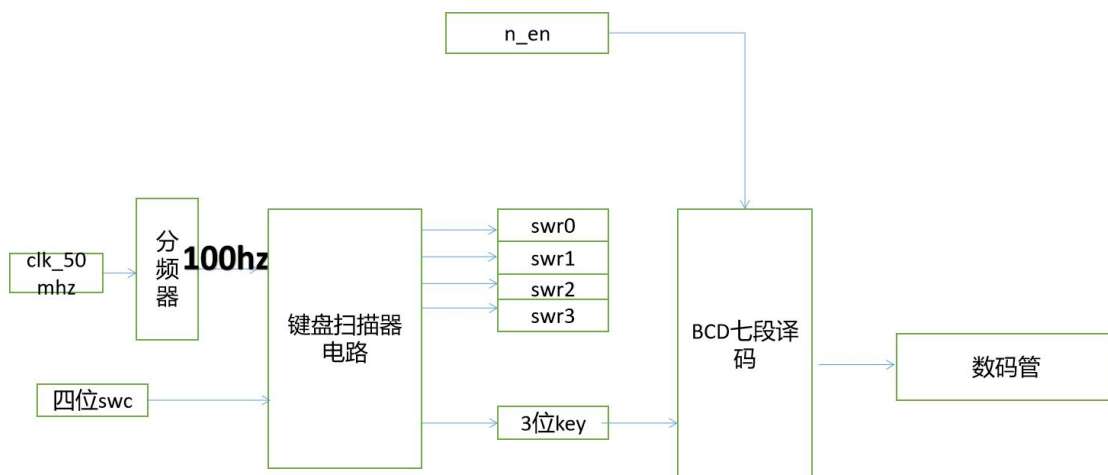


图 5.设计思路

3. 详细设计

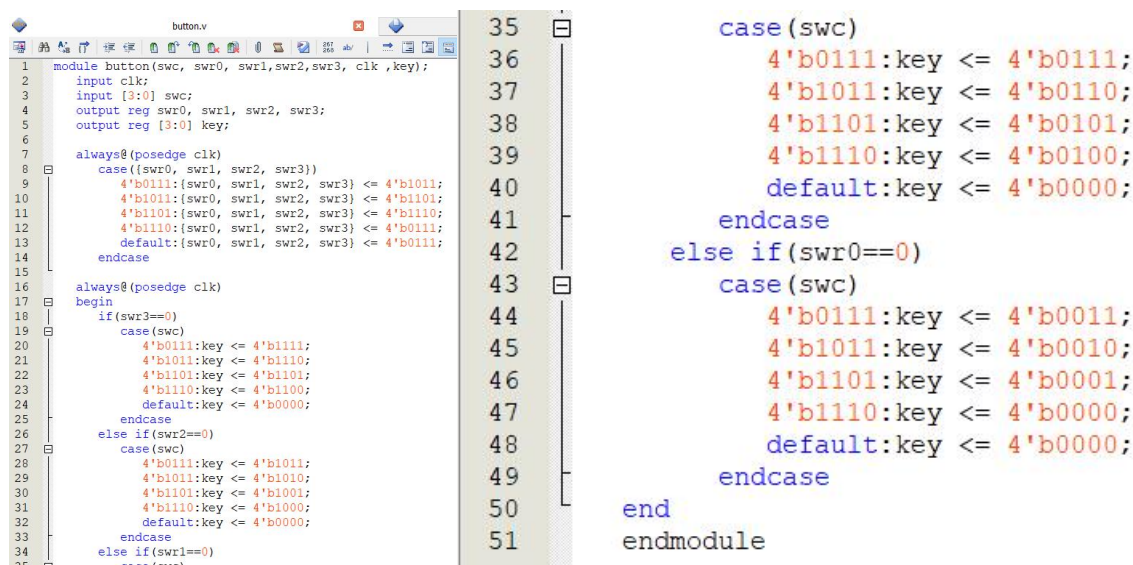


图 6.键盘扫描电路

```

1 module top(clk_50mhz, swc, n_en, sel, keyboard_sel, ledout);
2     input n_en, clk_50mhz, keyboard_sel; // 键盘模式开关
3     input [3:0] swc;
4     output sel = 1'b0;
5     wire clk;
6     wire [3:0] key;
7     output [6:0] ledout;
8
9     frequency_divider(.clk_50mhz(clk_50mhz), .clk_100hz(clk));
10    button(.clk(clk), .swc(swc), .key(key));
11    led(.in(key), .n_en(n_en), .out(ledout));
12
13 endmodule
14

```

数字逻辑实验报告

实验 5

图 7.顶层文件

表 3.键盘扫描

Swr[3:0]低->高位（in）	Swc[3:0]高->低位（out）	Key（out）高->低位
0111	1110	0000
	1101	0001
	1011	0010
	0111	0011
1011	1110	0100
	1101	0101
	1011	0110
	0111	0111
1101	1110	1000
	1101	1001
	1011	1010
	0111	1011
1110	1110	1100
	1101	1101
	1011	1110
	0111	1111

4. 仿真验证

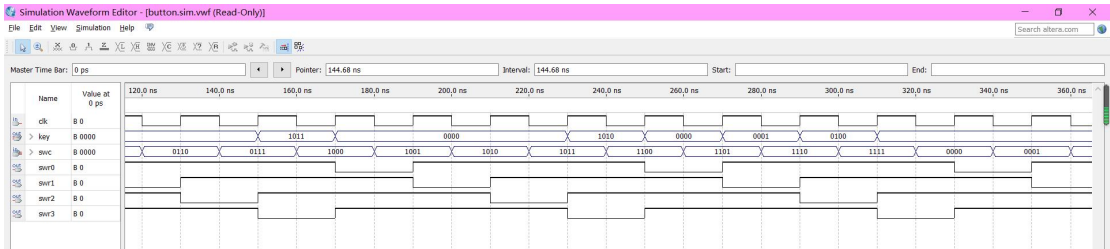


图 8.波形图

由图 8.，再根据代码所写和 3.中的功能表，可以看出键盘扫描得到的结果准确无误，与键盘上数字对应关系一致。

5. 引脚分配

表 4.引脚分配

端口名称	输入端						
	swc				n_en	clk	sel
	swc[3]	Swc[2]	Swc[1]	Swc[0]			
引脚编号	A13	F9	D10	B10	E7	T1	V16

数字逻辑实验报告

实验 5

平台端口	SWC3	SWC2	SWC1	SWC0	SW7	T1	DS8
------	------	------	------	------	-----	----	-----

表 4.续表

输出端						
led						
led[6]	led[5]	led[4]	led[3]	led[2]	led[1]	led[0]
AA20	W20	R21	P21	N21	N20	M21
LA	LB	LC	LD	LE	LF	LG
Swr0		Swr1		Swr2		Swr3
A14		A15		A16		C4
Swr0		Swr1		Swr2		Swr3

Node Name	Direction	Location	I/O Bank	REF Group	Port Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
clk	Output	PIN_W15	4	B4_N0	PIN_W15	2.5 ...ult)		8mA...lt)	2 (d...ult)	
clk_50mhz	Input	PIN_T1	2	B2_N0	PIN_T1	2.5 ...ult)		8mA...lt)		
key[3]	Output	PIN_U12	4	B4_N1	PIN_U12	2.5 ...ult)		8mA...lt)	2 (d...ult)	
key[2]	Output	PIN_V12	4	B4_N1	PIN_V12	2.5 ...ult)		8mA...lt)	2 (d...ult)	
key[1]	Output	PIN_V15	4	B4_N0	PIN_V15	2.5 ...ult)		8mA...lt)	2 (d...ult)	
key[0]	Output	PIN_W13	4	B4_N1	PIN_W13	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ledout[6]	Output	PIN_AA20	4	B4_N0	PIN_AA20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ledout[5]	Output	PIN_W20	5	B5_N1	PIN_W20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ledout[4]	Output	PIN_R21	5	B5_N0	PIN_R21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ledout[3]	Output	PIN_P21	5	B5_N0	PIN_P21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ledout[2]	Output	PIN_N21	5	B5_N0	PIN_N21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ledout[1]	Output	PIN_N20	5	B5_N0	PIN_N20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ledout[0]	Output	PIN_M21	5	B5_N0	PIN_M21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
n_en	Input	PIN_E7	8	B8_N1	PIN_E7	2.5 ...ult)		8mA...lt)		
sel	Output	PIN_V16	4	B4_N0	PIN_V16	2.5 ...ult)		8mA...lt)	2 (d...ult)	
swc[3]	Input	PIN_A13	7	B7_N1	PIN_A13	2.5 ...ult)		8mA...lt)		
swc[2]	Input	PIN_F9	8	B8_N1	PIN_F9	2.5 ...ult)		8mA...lt)		
swc[1]	Input	PIN_D10	8	B8_N0	PIN_D10	2.5 ...ult)		8mA...lt)		
swc[0]	Input	PIN_B10	8	B8_N0	PIN_B10	2.5 ...ult)		8mA...lt)		
swr0	Output	PIN_A14	7	B7_N1	PIN_A14	2.5 ...ult)		8mA...lt)	2 (d...ult)	
swr1	Output	PIN_A15	7	B7_N1	PIN_A15	2.5 ...ult)		8mA...lt)	2 (d...ult)	
swr2	Output	PIN_A16	7	B7_N1	PIN_A16	2.5 ...ult)		8mA...lt)	2 (d...ult)	
swr3	Output	PIN_C4	8	B8_N1	PIN_C4	2.5 ...ult)		8mA...lt)	2 (d...ult)	
<<next page>>										

6. 实验现象
摁下键盘的某一按钮，其对应的数字可以在 LED 屏上显示出来。如果改变 en 开关，LED 屏被关闭。与实验预期相符。

四、扩展实验

1.设计思路

我们将任务一和二结合起来，设计一个可以使用户通过键盘扫描，自行决定数码管后两位的学号，于是我们将任务一和二相连，稍作修改，添加了 num_sel 来决定键盘输入的是两位中的哪一位，新增了

数字逻辑实验报告

实验 5

key1 和 key2 寄存器分别负责记录 in1 和 in2，修改 case 中的 default 使得不按键盘的时候，key 保留上一次的输入

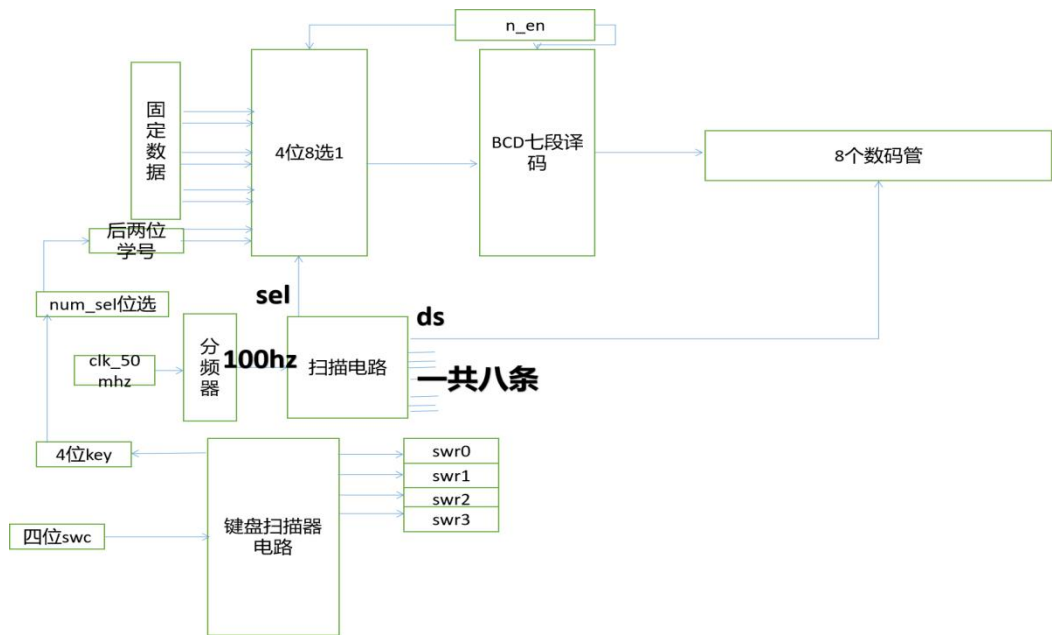


图 9.设计思路

2. 详细设计

```
53 always @ (posedge clk)
54 // 给key1赋值
55 if(num_sel == 0)
56 begin
57     key1 <= key;
58     key2 <= key2;
59 end
60 // 给key2赋值
61 else
62 begin
63     key1 <= key1;
64     key2 <= key;
65 end
66
```

```
case(swc)
4'b0111: key <= 4'b1111;
4'b1011: key <= 4'b1110;
4'b1101: key <= 4'b1101;
4'b1110: key <= 4'b1100;
default: key <= key;
endcase
else if(swr2==0)
case(swc)
4'b0111: key <= 4'b1011;
4'b1011: key <= 4'b1010;
4'b1101: key <= 4'b1001;
4'b1110: key <= 4'b1000;
default: key <= key;
endcase
else if(swr1==0)
case(swc)
4'b0111: key <= 4'b0111;
4'b1011: key <= 4'b0110;
4'b1101: key <= 4'b0101;
4'b1110: key <= 4'b0100;
default: key <= key;
endcase
else if(swr0==0)
case(swc)
4'b0111: key <= 4'b0011;
4'b1011: key <= 4'b0010;
4'b1101: key <= 4'b0001;
4'b1110: key <= 4'b0000;
default: key <= key;
endcase
```

图 10.键盘扫描电路新增代码

```
1 module expand_task(num_sel, n_en, clk_50mhz, ds, led, swc);
2     input n_en, clk_50mhz, num_sel;
3     input [3:0] swc;
4     wire [3:0] in1, in2;
5     wire clk_100hz;
6     wire [2:0] sel;
7     output [7:0] ds;
8     output [6:0] led;
9     wire [3:0] out;
10
11     // ds[7] 接入最左边的数码管，以此类推
12     // test02是数据选择器
13
14     frequency_divider(.clk_50mhz(clk_50mhz), .clk_100hz(clk_100hz));
15     button(.clk(clk_100hz), .swc(swc), .key1(in1), .key2(in2), .num_sel(num_sel));
16     scan(.clk(clk_100hz), .ds(ds), .sel(sel));
17     test02(.sel(sel), .n_en(n_en), .out(out), .in1(in1), .in2(in2));
18     LED(.in(out), .n_en(n_en), .out(led));
19
20 endmodule
```

图 11.顶层文件

3. 仿真实验

数字逻辑实验报告

实验 5

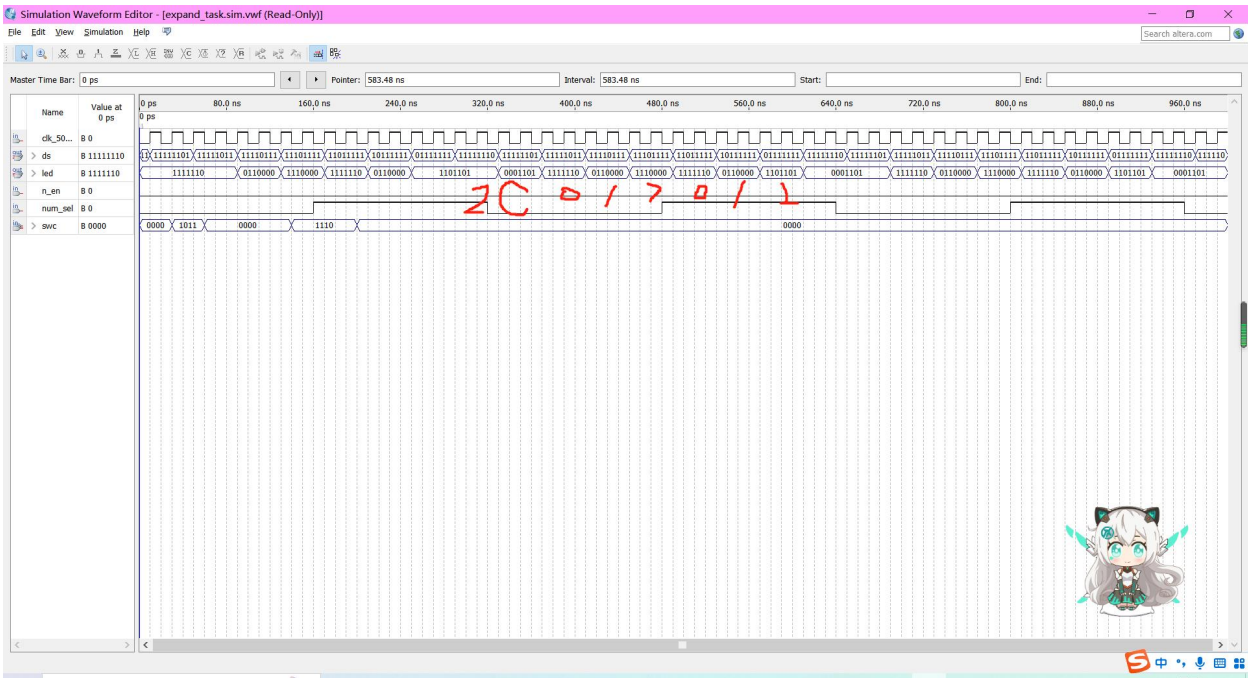


图 12.仿真验证

如图 12., 我们通过 num_sel 分别控制键盘输入后两位学号, 我们将两位学号分别写入为 C 和 2, 可见学号随即打印为 210710C2, 证明了准确性, 也证明了修改 case 中的 default 使得最近一次键盘输入确实被保留。由于扫描频率很高, 因此键盘颤动带来的影响可以忽略。

4.引脚分配

表 5.引脚分配

端口名称	输入端						
	swc				n_en	clk	Num_sel
	swc[3]	Swc[2]	Swc[1]	Swc[0]			
引脚编号	A13	F9	D10	B10	E7	T1	F8
平台端口	SWC3	SWC2	SWC1	SWC0	SW15	T1	SW8

表 5.续表

输出端							
ds							
ds[7]	ds[6]	ds[5]	ds[4]	ds[3]	ds[2]	ds[1]	ds[0]
V16	AA17	U22	V22	W22	Y22	Y21	AB20

数字逻辑实验报告

实验 5

DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1
输出端							
led							
led[6]	led[5]	led[4]	led[3]	led[2]	led[1]	led[0]	
AA20	W20	R21	P21	N21	N20	M21	
LA	LB	LC	LD	LE	LF	LG	
Swr0		Swr1		Swr2		Swr3	
A14		A15		A16		C4	
Swr0		Swr1		Swr2		Swr3	

Node Name	Direction	Location	I/O Bank	REF Group	Port Location	IO Standard	Reserved	Current Strength	Slew Rate	Differential Pair
clk_50mhz	Input	PIN_T1	2	B2_N0	PIN_T1	2.5 ...ult)		8mA...lt)		
ds[7]	Output	PIN_V16	4	B4_N0	PIN_V16	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[6]	Output	PIN_AA17	4	B4_N0	PIN_AA17	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[5]	Output	PIN_U22	5	B5_N0	PIN_U22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[4]	Output	PIN_V22	5	B5_N1	PIN_V22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[3]	Output	PIN_W22	5	B5_N1	PIN_W22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[2]	Output	PIN_Y22	5	B5_N1	PIN_Y22	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[1]	Output	PIN_Y21	5	B5_N1	PIN_Y21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
ds[0]	Output	PIN_AB20	4	B4_N0	PIN_AB20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[6]	Output	PIN_AA20	4	B4_N0	PIN_AA20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[5]	Output	PIN_W20	5	B5_N1	PIN_W20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[4]	Output	PIN_R21	5	B5_N0	PIN_R21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[3]	Output	PIN_P21	5	B5_N0	PIN_P21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[2]	Output	PIN_N21	5	B5_N0	PIN_N21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[1]	Output	PIN_N20	5	B5_N0	PIN_N20	2.5 ...ult)		8mA...lt)	2 (d...ult)	
led[0]	Output	PIN_M21	5	B5_N0	PIN_M21	2.5 ...ult)		8mA...lt)	2 (d...ult)	
n_en	Input	PIN_E7	8	B8_N1	PIN_E7	2.5 ...ult)		8mA...lt)		
num_sel	Input	PIN_F8	8	B8_N1	PIN_F8	2.5 ...ult)		8mA...lt)		
swc[3]	Input	PIN_A13	7	B7_N1	PIN_A13	2.5 ...ult)		8mA...lt)		
swc[2]	Input	PIN_F9	8	B8_N1	PIN_F9	2.5 ...ult)		8mA...lt)		
swc[1]	Input	PIN_D10	8	B8_N0	PIN_D10	2.5 ...ult)		8mA...lt)		
swc[0]	Input	PIN_B10	8	B8_N0	PIN_B10	2.5 ...ult)		8mA...lt)		
swr0	Output	PIN_C4	8	B8_N1	PIN_C4	2.5 ...ult)		8mA...lt)	2 (d...ult)	
swr1	Output	PIN_A16	7	B7_N1	PIN_A16	2.5 ...ult)		8mA...lt)	2 (d...ult)	
swr2	Output	PIN_A15	7	B7_N1	PIN_A15	2.5 ...ult)		8mA...lt)	2 (d...ult)	
swr3	Output	PIN_A14	7	B7_N1	PIN_A14	2.5 ...ult)		8mA...lt)	2 (d...ult)	

5.实验现象

LED 屏上从左到右依次输出 21071000。若通过键盘改变输入端，输出的学号也会随输入端的改变而改变。可以通过 sel 选择希望改变的位。如果改变 en 开关，LED 屏被关闭。与实验预期相符。

五、总结

在任务一中，我们第一次将代码下载到实验台上的现象是 LED 屏幕上显示乱码。于是我们重新下载了程序，并重启了实验台，让实验台显示恢复了正常

在任务二中，由于疫情过后对软件操作生疏，在引脚分配的时候没有设置 swr 和 clk，导致实验出错。经过此次实验，我们在实验六和七中每次都详细检查引脚分配错误和少分配的问题，极大地避免了因为此错误导致的实验结果错误。

数字逻辑实验报告

实验 5

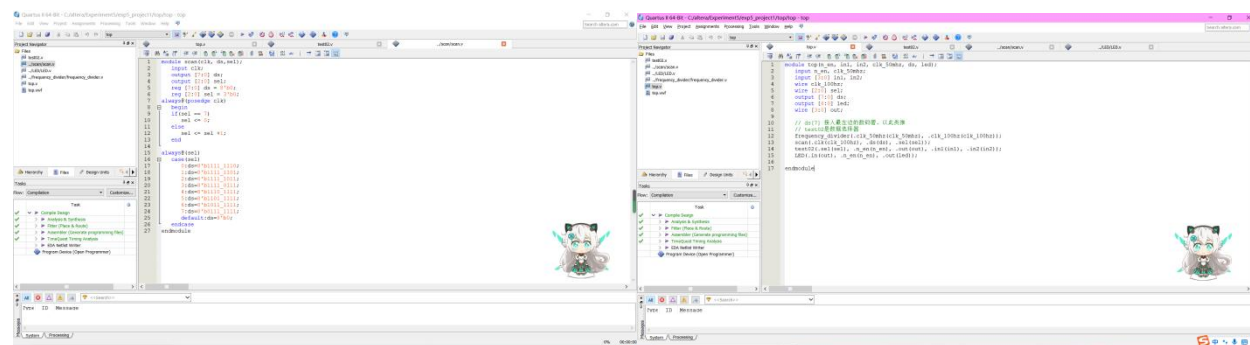


图 1-2 扫描电路和顶层文件

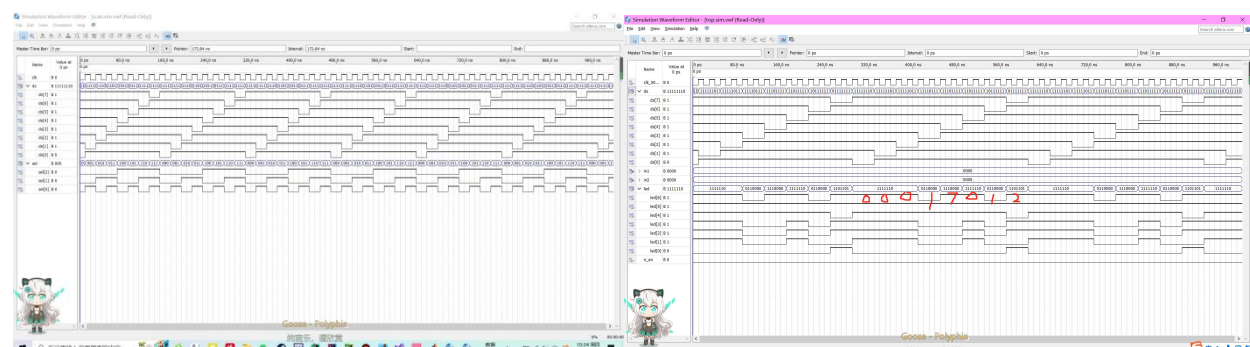


图 3-4 扫描电路和顶层文件波形图

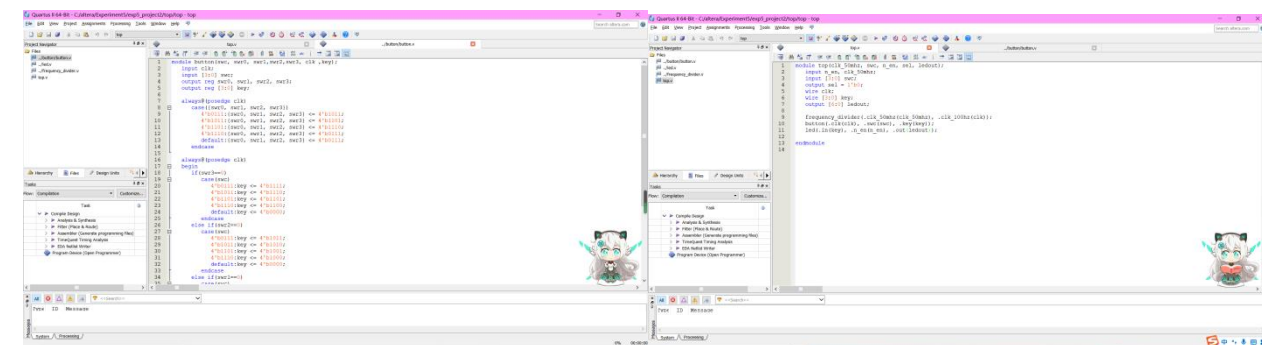


图 5-6 键盘扫描电路和顶层文件

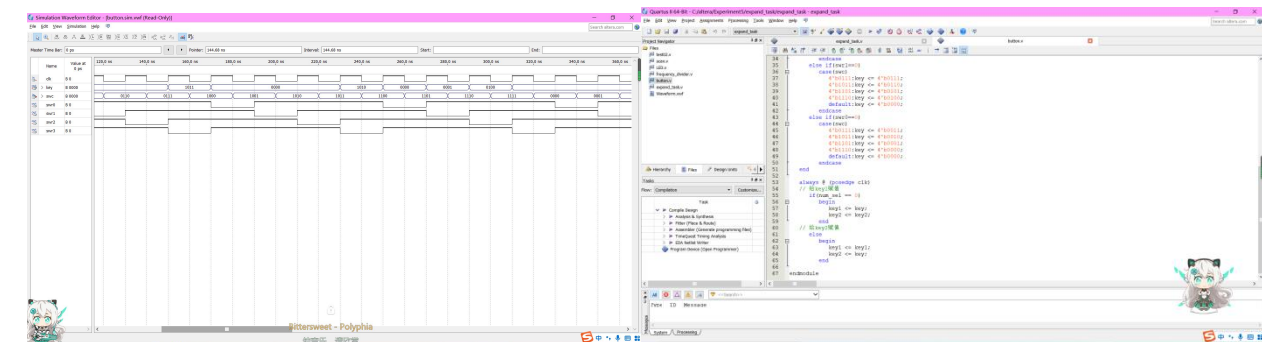


图 7.顶层文件波形图

图 8.扩展任务键盘扫描

数字逻辑实验报告

实验 5

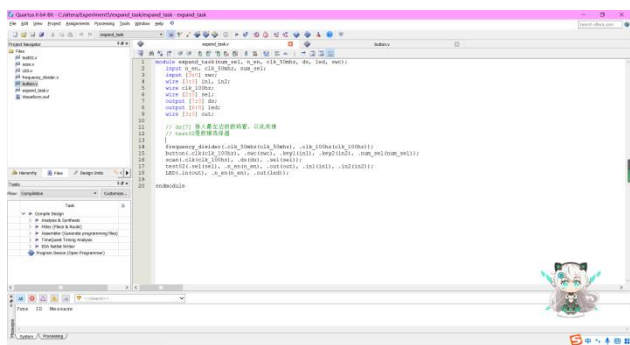


图 9.扩展任务顶层文件

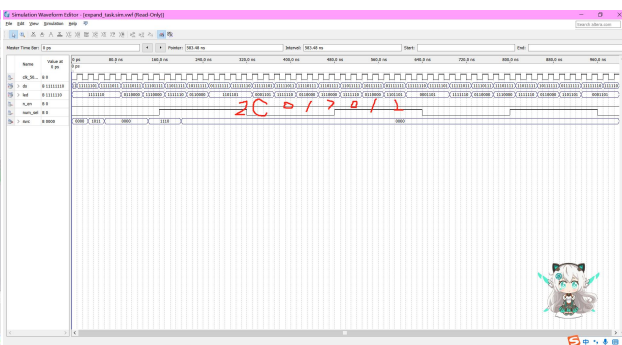


图 10.扩展任务仿真验证