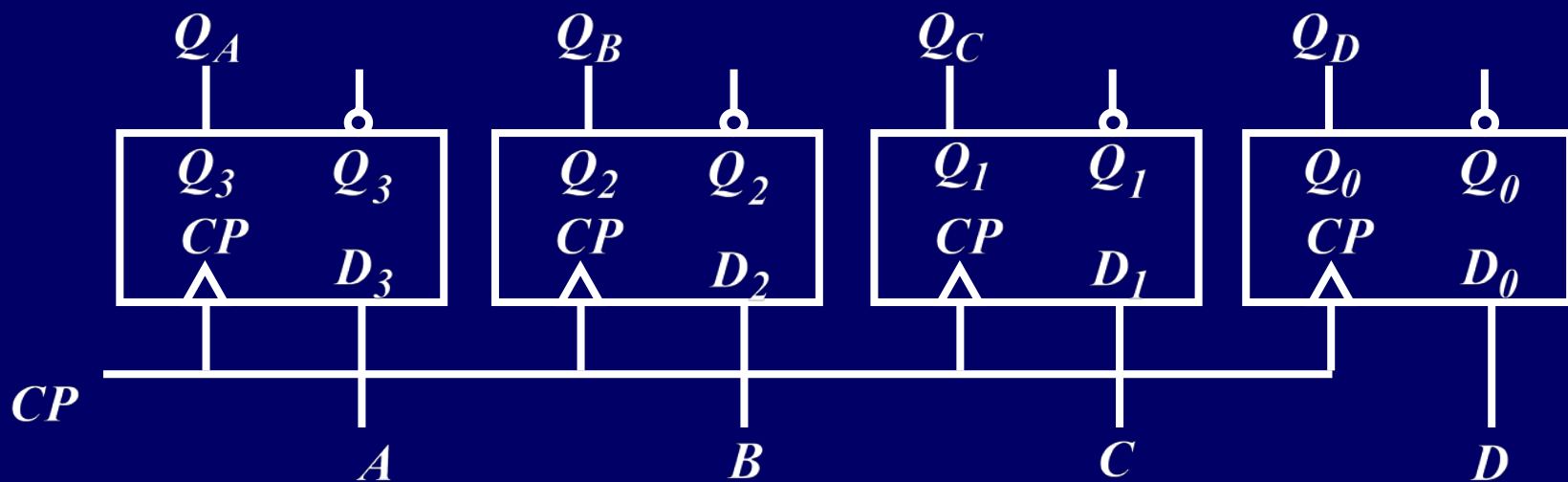
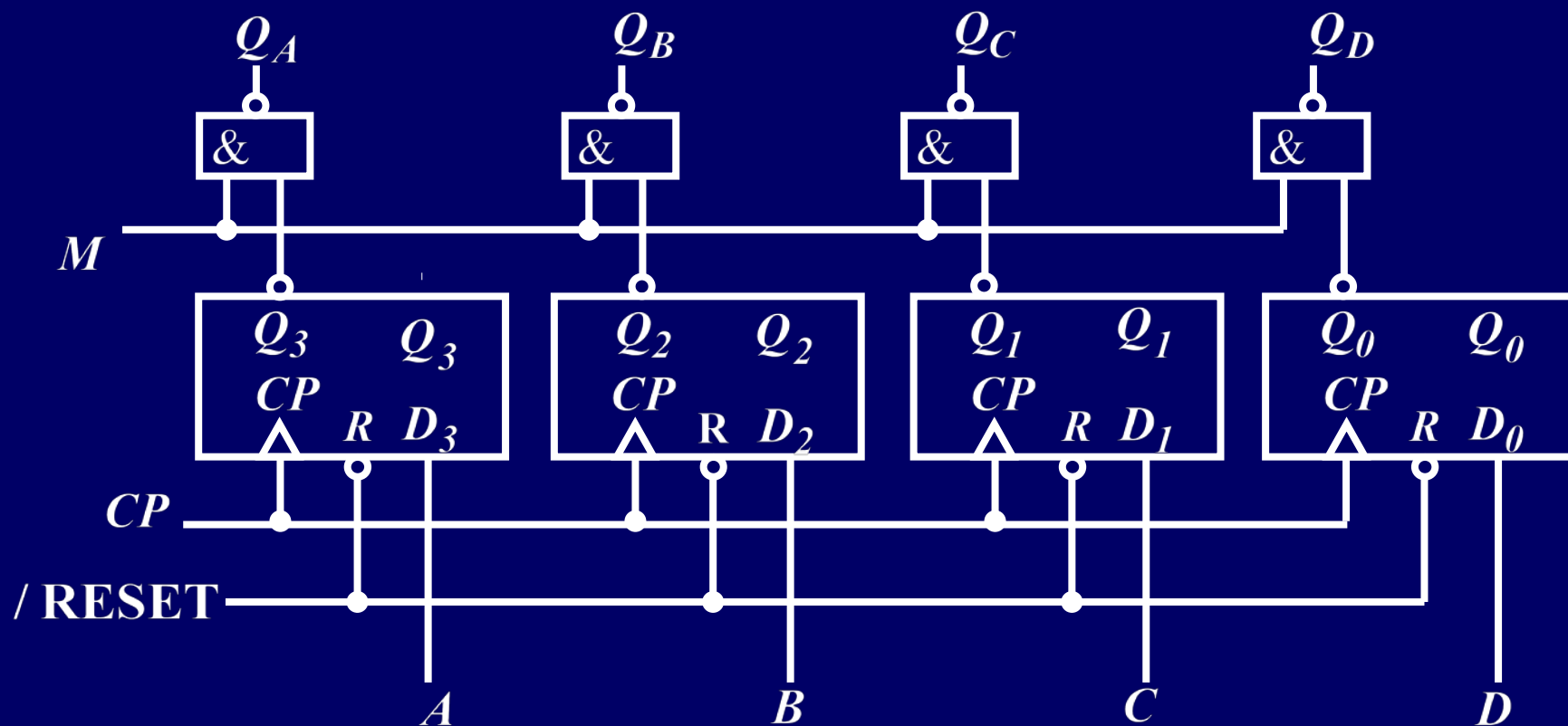


7.3 寄存器

1) 简单寄存器

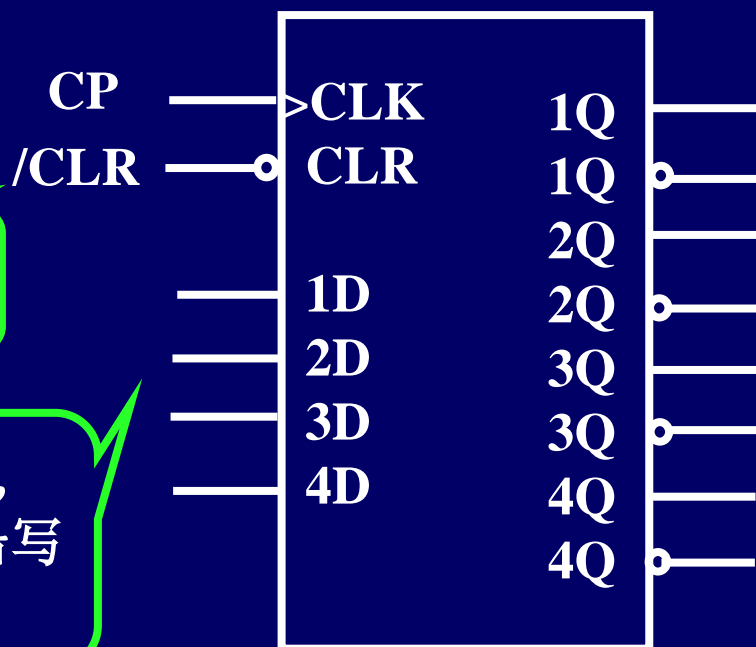


2) 有控制功能的寄存器



通用四位并行寄存器74LS175

74LS175



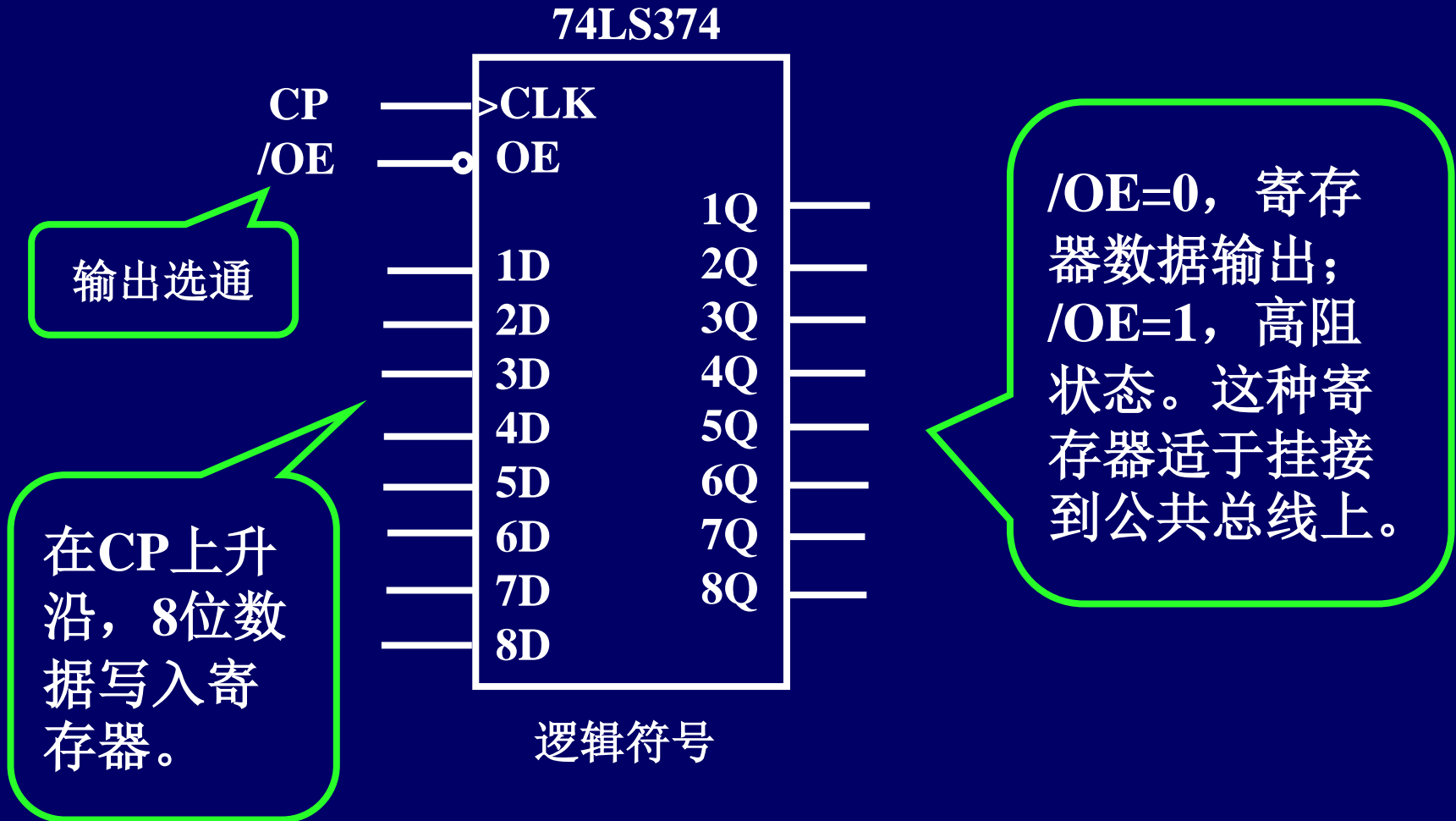
异步清零

数据输入端，
在CP上升沿写
入寄存器。

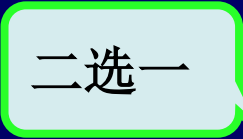
互补输出端

逻辑符号

八位三态输出并行寄存器74LS374



使能输入8位并行寄存器74LS377

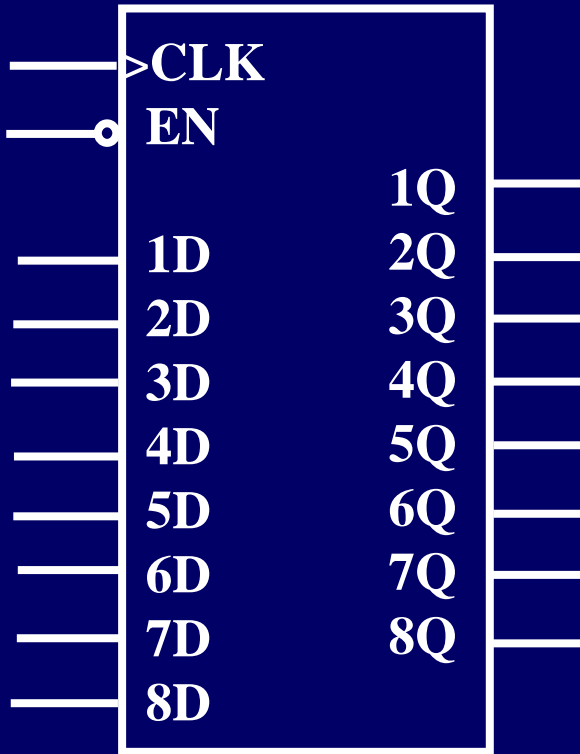


/G=0时，在CP上升沿，8位数据才写入寄存器。

/G=1时，保持

1位等效逻辑图

74LS377



逻辑符号

寄存器的Verilog HDL描述

```
module myreg_8 ( data, clk, reset, oe, q ) ;  
  input clk, reset, oe ;  
  input [7:0] data ;  
  output [7:0] q ;  
  reg [7:0] temp ; //  
    assign q = ( oe==1 ) ? temp : 8'hzz; //  
always @ ( posedge clk or negedge reset )  
  begin  
    if (!reset) temp <= 8'h00; //  
    else temp <= data;  
  end  
endmodule
```

7.4 移位寄存器

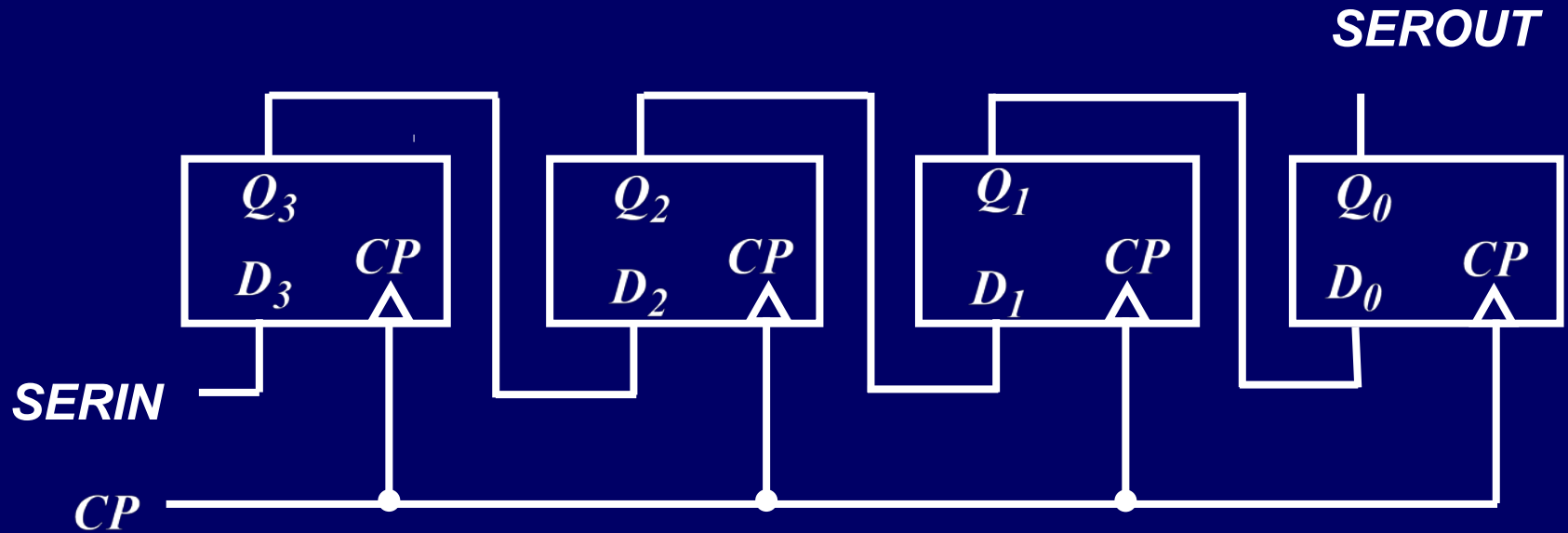
移位寄存器既能存储数据，又能对所存数据在时钟节拍作用下按位向高位（或低位）顺移。

按逻辑功能划分： 串行输入——串行输出；
 串行输入——并行输出；
 并行输入——串行输出；
 并行输入——并行输出。

按移位方式划分： 单向移位、双向移位、
 循环移位、扭环移位

利用移位操作，可实现简单的乘除法。

1) 串入——串出结构移位寄存器



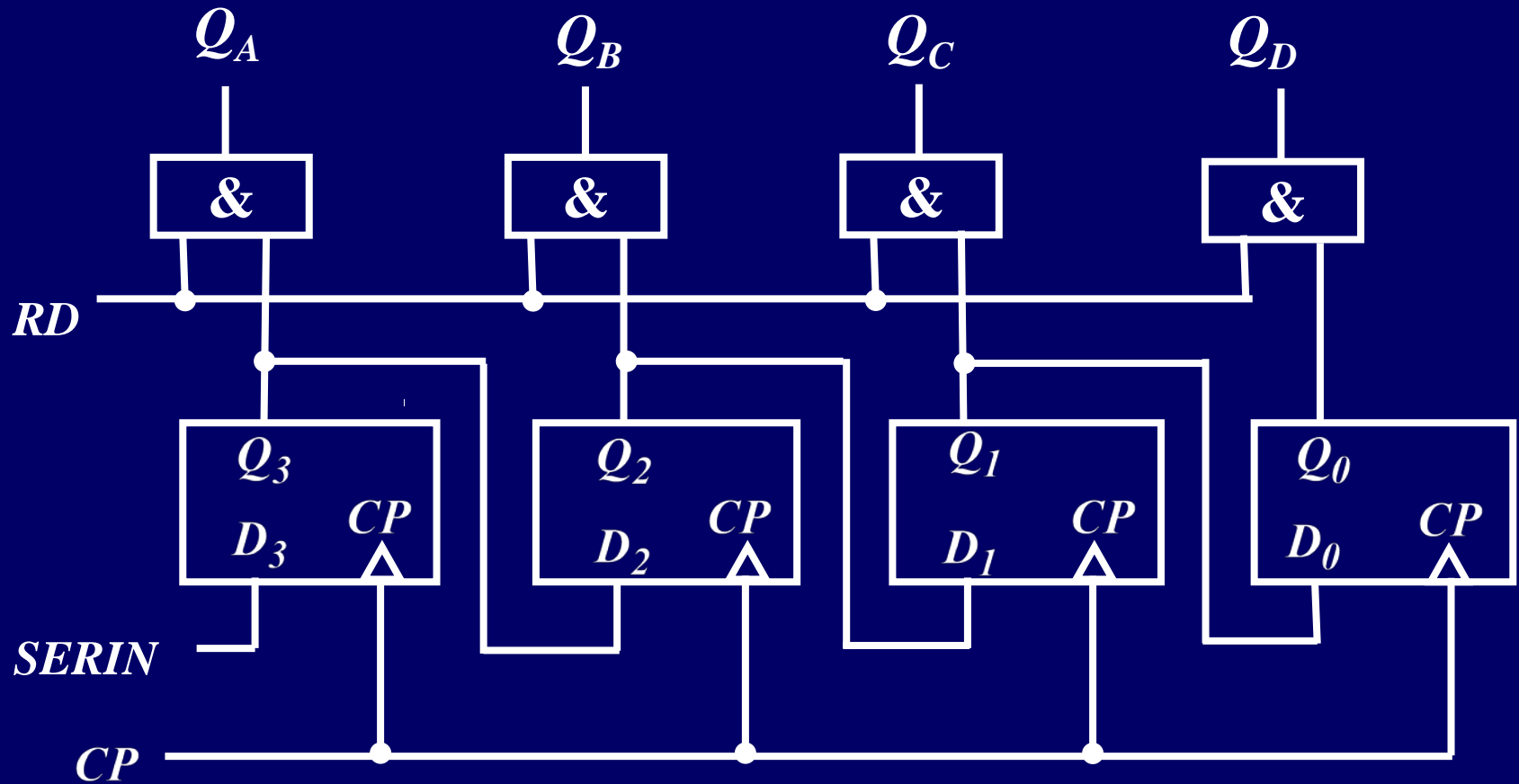
串入—串出的Verilog HDL模型

```
module shifter_R ( SERIN, CP, SEROUT );  
  input  SERIN, CP;  
  output SEROUT;  
  reg    [3:0] Q;  
    always @ ( posedge CP )  
      begin  
        Q[3]<= SERIN;  
        Q[2]<=Q[3];  
        Q[1]<=Q[2];  
        Q[0]<=Q[1];  
      end  
    assign SEROUT= Q[0]; //  
endmodule
```

可否？

```
Q[3] = SERIN;  
Q[2] = Q[3];  
Q[1] = Q[2];  
Q[0] = Q[1];
```

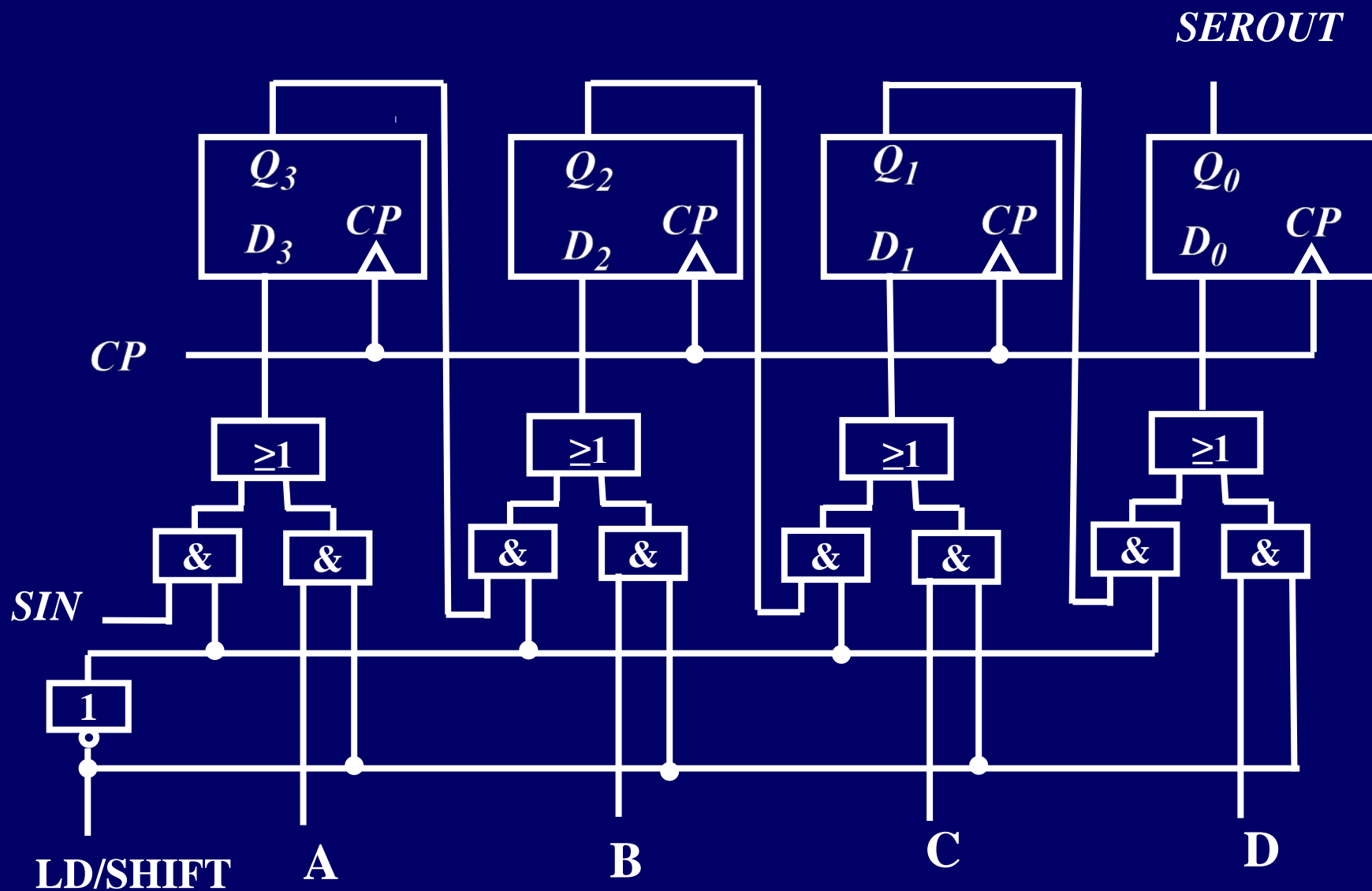
2) 串入——并出结构移位寄存器



串入—并出的Verilog HDL模型

```
module shifter_R ( SERIN, CP, RD, OUT ) ;  
  input  SERIN, CP, RD ;  
  output [3:0] OUT ;  
  reg    [3:0] Q ;  
    always @ ( posedge CP )  
      begin  
        Q[3]<= SERIN;  
        Q[2]<=Q[3];  
        Q[1]<=Q[2];  
        Q[0]<=Q[1];  
      end  
    assign OUT= (RD==1) ? Q : 0 ; //  ?  
endmodule
```

3) 并入——串出结构移位寄存器

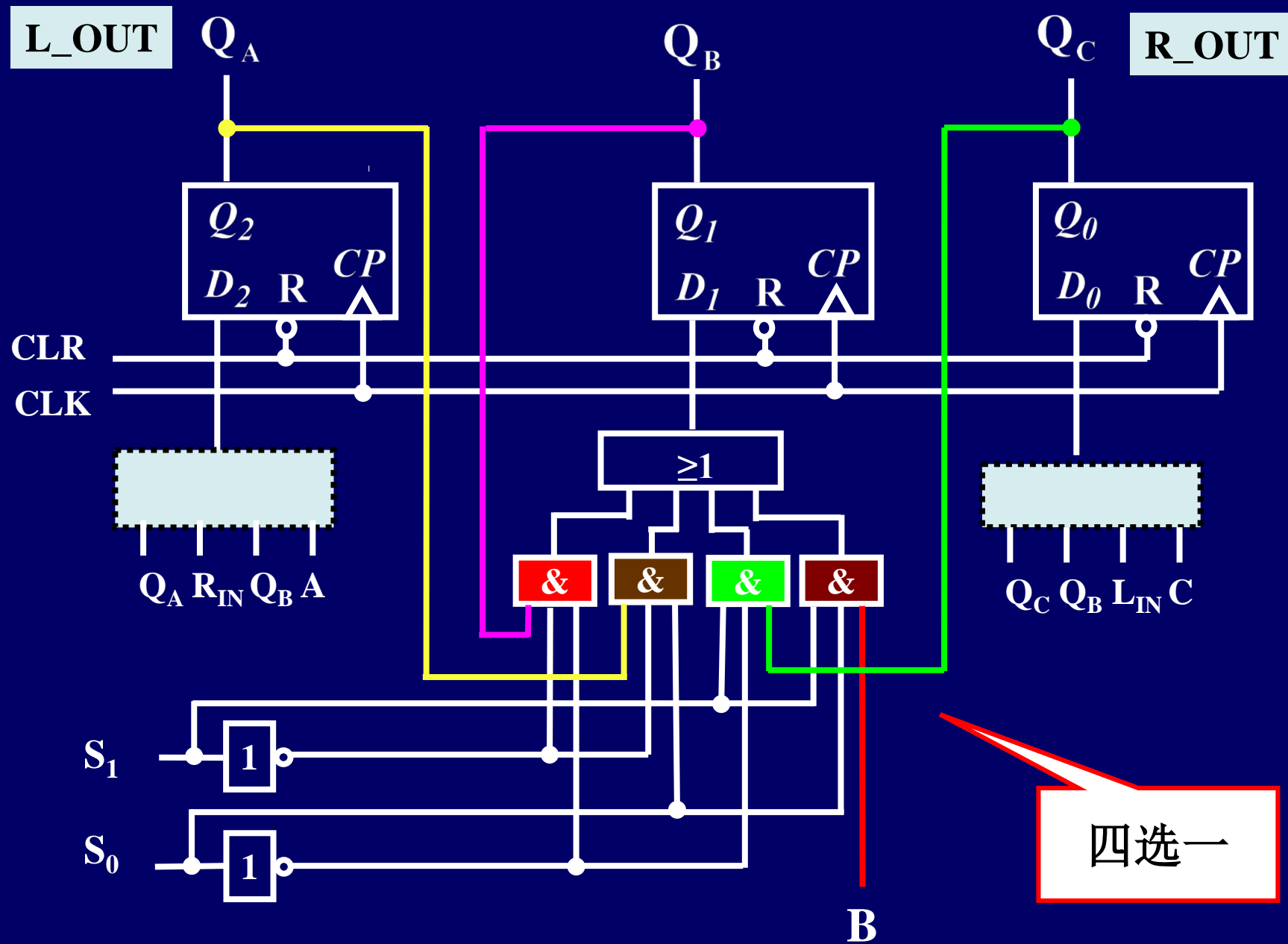


并入—串出的Verilog HDL模型

```
module shifter_R ( SIN, CP, LD, Data, SEROUT ) ;  
  input  SIN, CP, LD;  
  input  [3:0] Data ;  
  output SEROUT ;  
  reg    [3:0] Q ;  
    always @ ( posedge CP )  
      if (LD==1)  Q<=Data ;           // 并入  
      else begin  Q[3]<= SIN ;  
        Q[2]<=Q[3] ;  
        Q[1]<=Q[2] ;  
        Q[0]<=Q[1] ;  
      end  
    assign SEROUT= Q[0] ;           // 串出  
endmodule
```

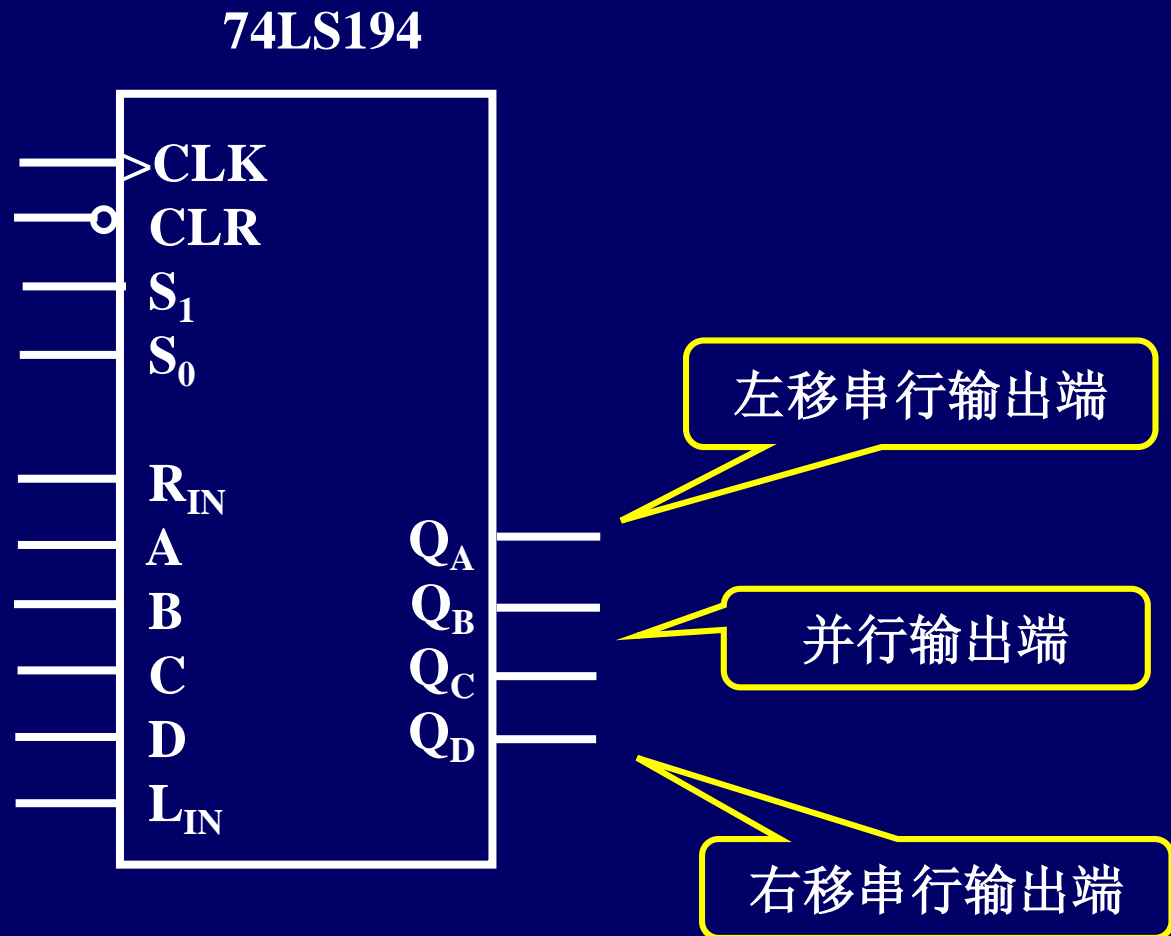
如何设计满足下列功能要求的移位寄存器？

- 1) 低有效异步清零
- 2) 保持
- 3) 右移一位
- 4) 左移一位
- 5) 并行置数



MSI移位寄存器74LS194的应用

74LS194是一个四位并入—并出、双向移位的寄存器，逻辑符号如下：



74LS194功能表

/CLR	S ₁ S ₀	CP	Q _A Q _B Q _C Q _D	功能
0	X X	X	0 0 0 0	清零
1	0 0	↑	Q _A Q _B Q _C Q _D	保持
1	0 1	↑	R _{IN} Q _A Q _B Q _C	右移
1	1 0	↑	Q _B Q _C Q _D L _{IN}	左移
1	1 1	↑	A B C D	并行置数

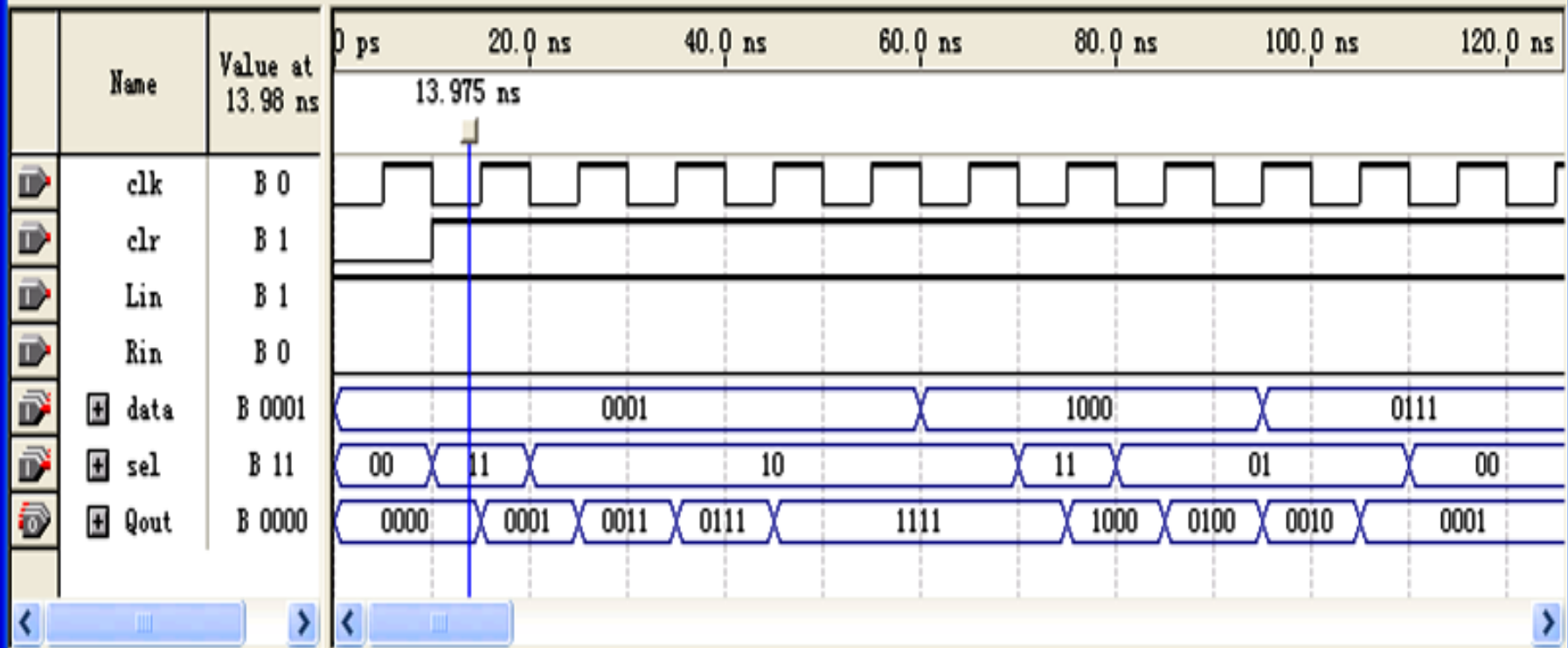
74LS194的Verilog HDL模型

```
module my_194 (clr, clk, data, Rin, Lin, sel, Qout) ;  
  input  clr, clk, Rin, Lin;  
  input  [1:0] sel;  
  input  [3:0] data;  
  output [3:0] Qout;  
  reg     [3:0] Qout;  
    always @ (posedge clk or negedge clr)  
      if ( !clr ) Qout <= 4'b0000;  
      else case ( sel )  
        2'b00 : Qout<=Qout;  
        2'b01 : begin Qout<=Qout>>1;Qout[3]<=Rin;end  
        2'b10 : begin Qout<=Qout<<1;Qout[0]<=Lin;end  
        2'b11 : Qout<=data;  
      endcase  
endmodule
```

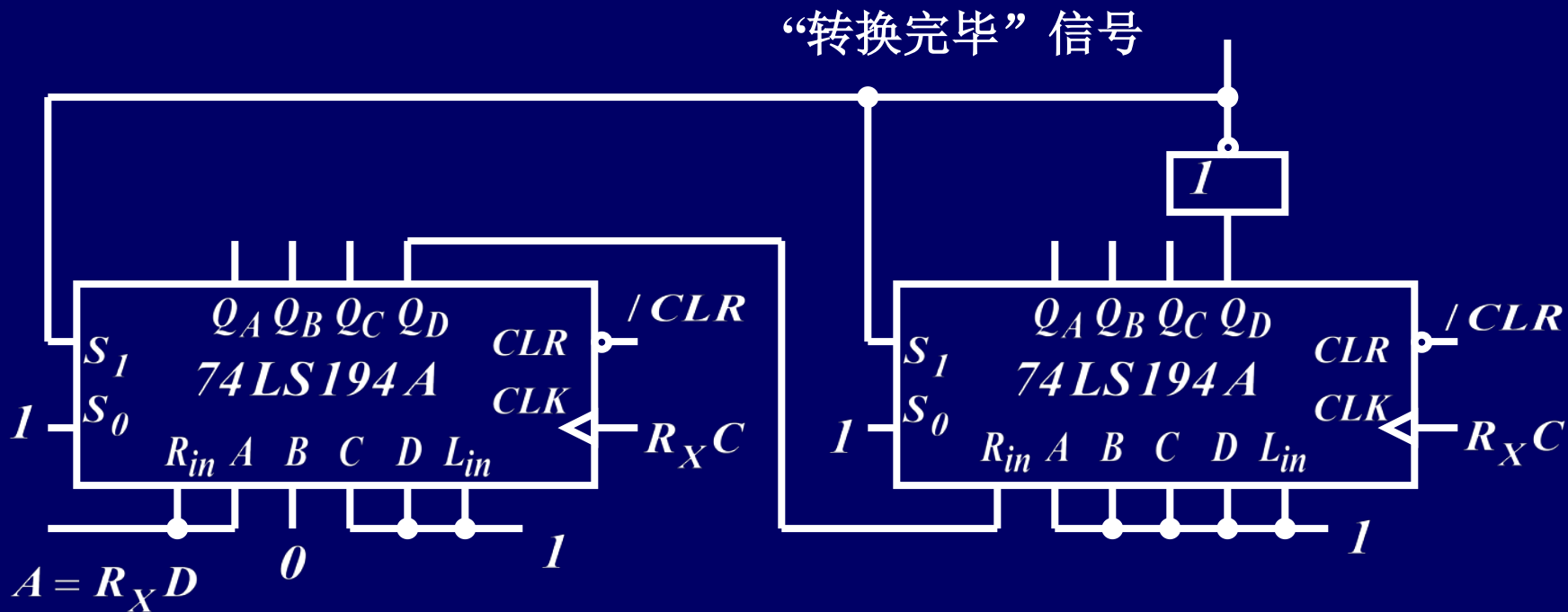
ny_194.vwf



Master Time Bar: 13.975 ns Pointer: 60.0 ns Interval: 46.03 ns Start: End:



例：分析串行输入数据转换为并行输出数据的电路。

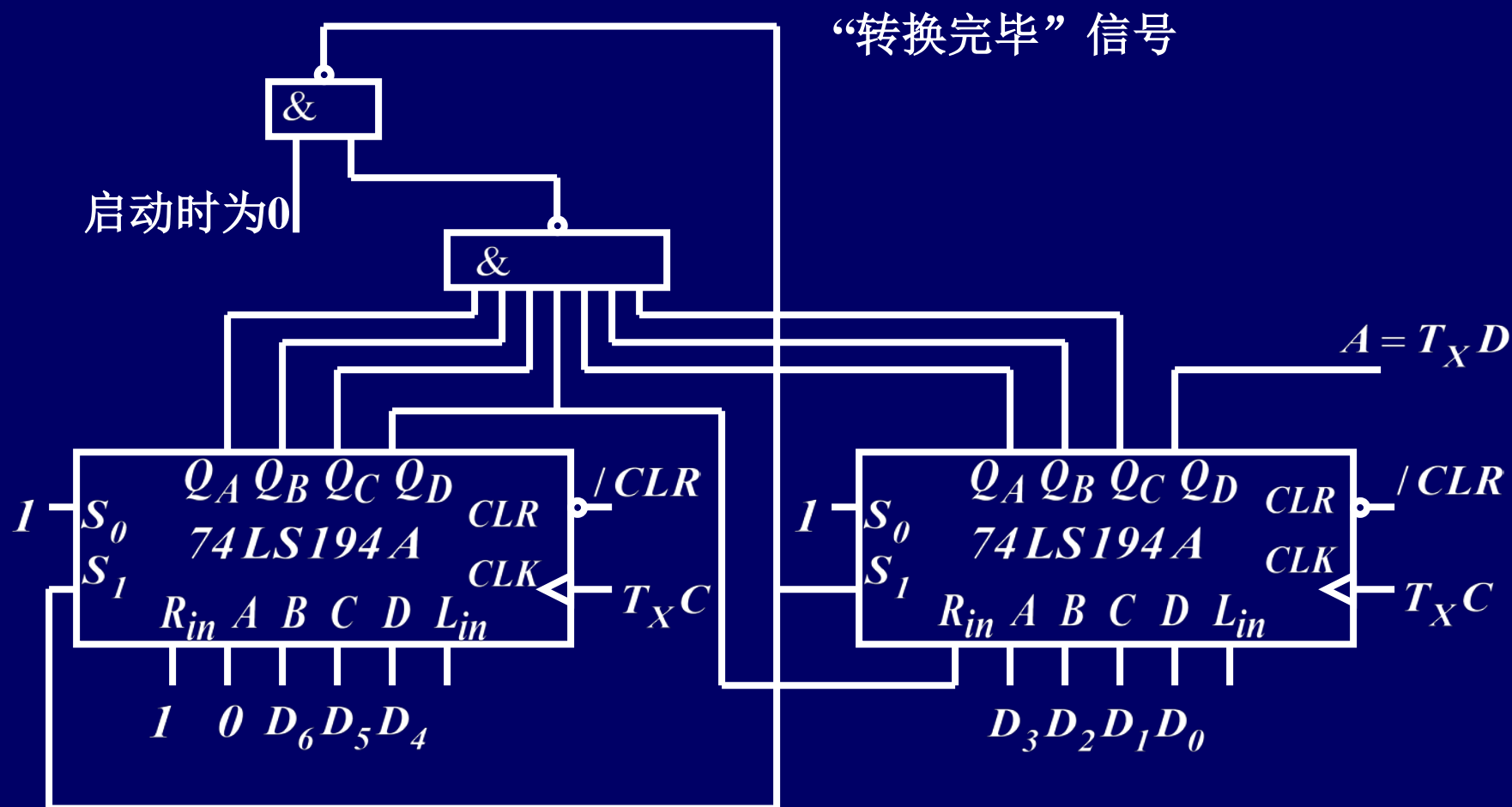


分析：两片74LS194构成串行右移并出电路

步骤	功能	S_1S_0	输 出							
\overline{CLR}	清零	$\times\times$	0	0	0	0	0	0	0	0
$CP0$	并入	11	A_0	0	1	1	1	1	1	1
$CP1$	右移	01	A_1	A_0	0	1	1	1	1	1
$CP2$	右移	01	A_2	A_1	A_0	0	1	1	1	1
$CP3$	右移	01	A_3	A_2	A_1	A_0	0	1	1	1
$CP4$	右移	01	A_4	A_3	A_2	A_1	A_0	0	1	1
$CP5$	右移	01	A_5	A_4	A_3	A_2	A_1	A_0	0	1
$CP6$	右移	01	A_6	A_5	A_4	A_3	A_2	A_1	A_0	0
$CP7$	并入	11	A_0	0	1	1	1	1	1	1

功能：一个有“转换完毕”信号的7位串—并转换器。

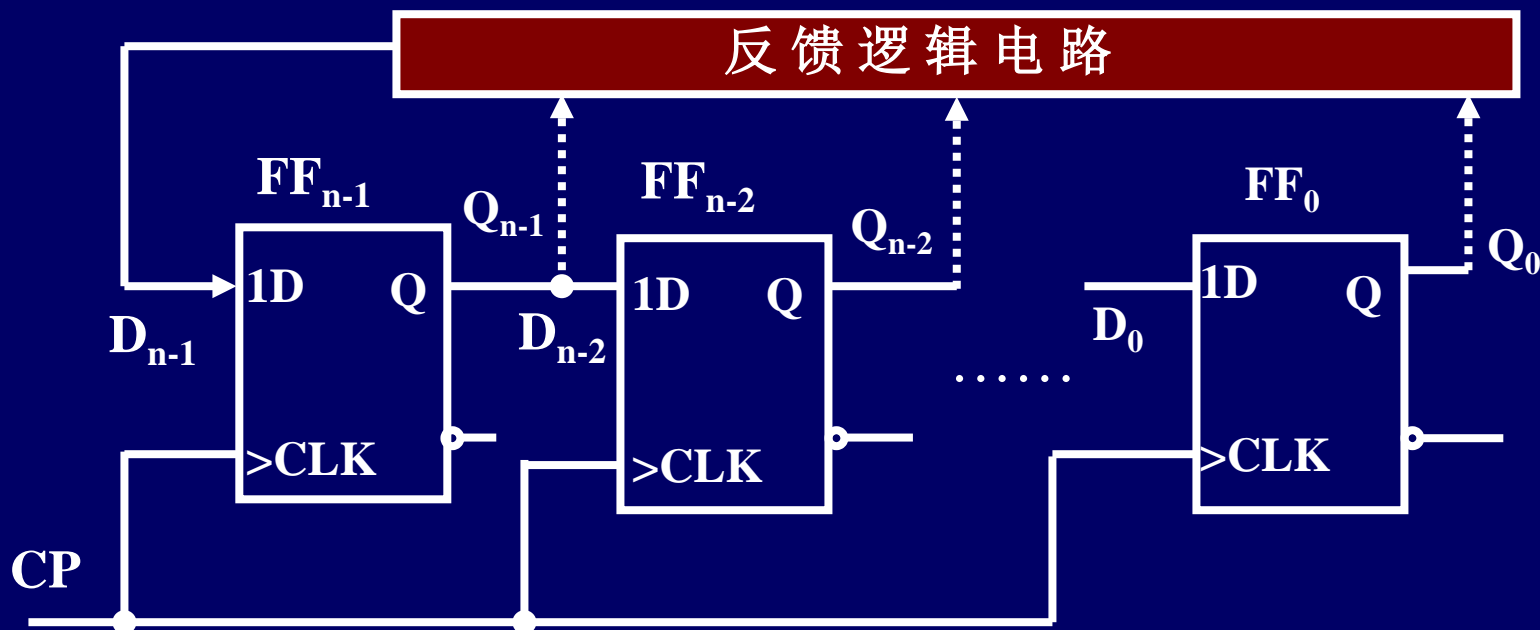
这是将7位并行输入数据转换为串行输出数据的电路。
请同学自行分析。



7.5 移位寄存器型计数器

如果将移位寄存器的输出以某种方式反馈到串行输入端，则可得到连接简单、编码别具特色、用途广泛的移位寄存器型计数器。

通过状态变化对CP计数，一般采用循环移位方式。

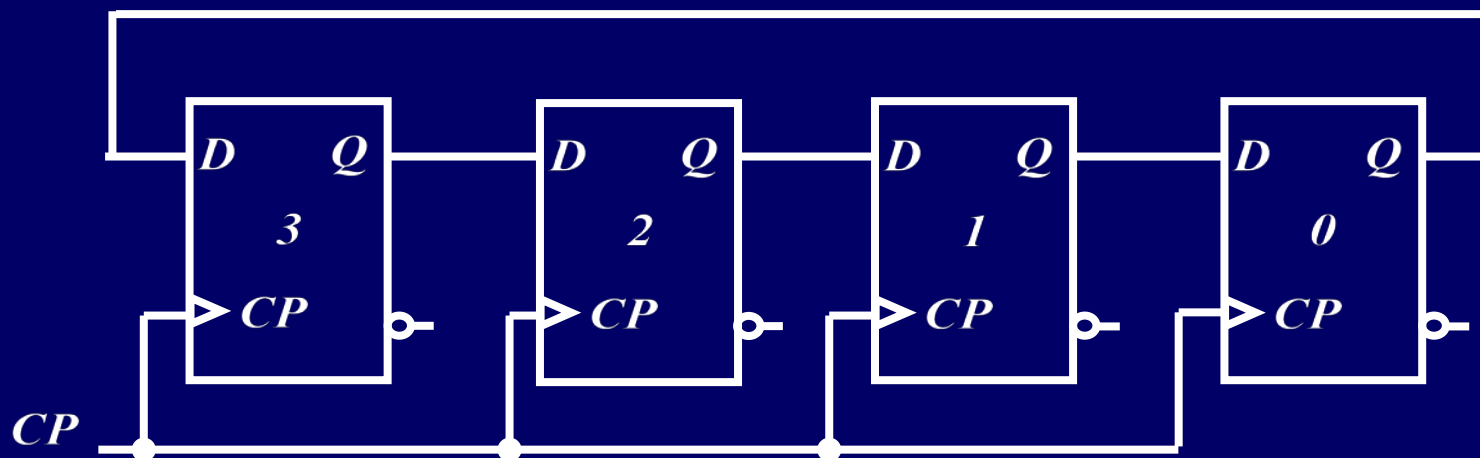


$$D_{n-1} = F(Q_{n-1}, Q_{n-2}, \dots, Q_0)$$

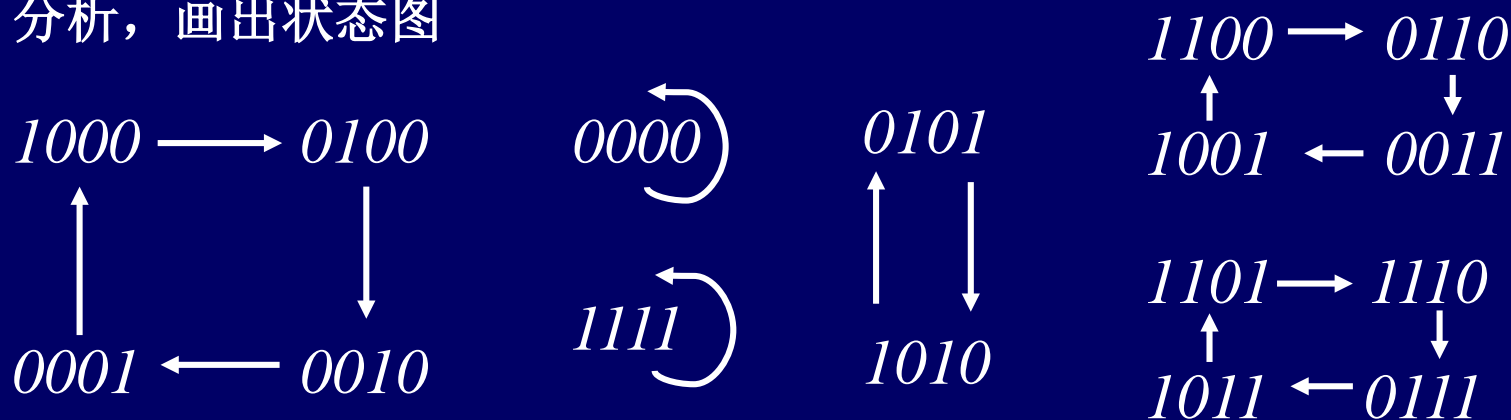
(右移) 移位寄存器型计数器电路结构示意图

7.5.1 环形计数器

反馈电路为： $D_{n-1} = Q_0$ 构成自循环的移位寄存器。
现以 $n=4$ 为例。



分析，画出状态图



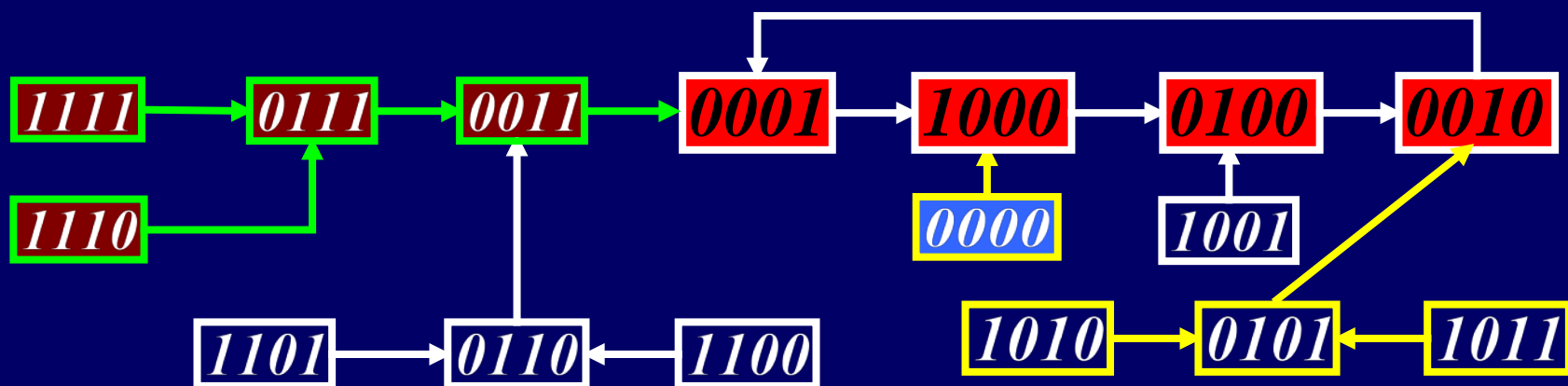
不能自启动，有无效循环和陷阱。

为了便于修改设计，先作出基本反馈下的状态矩阵：

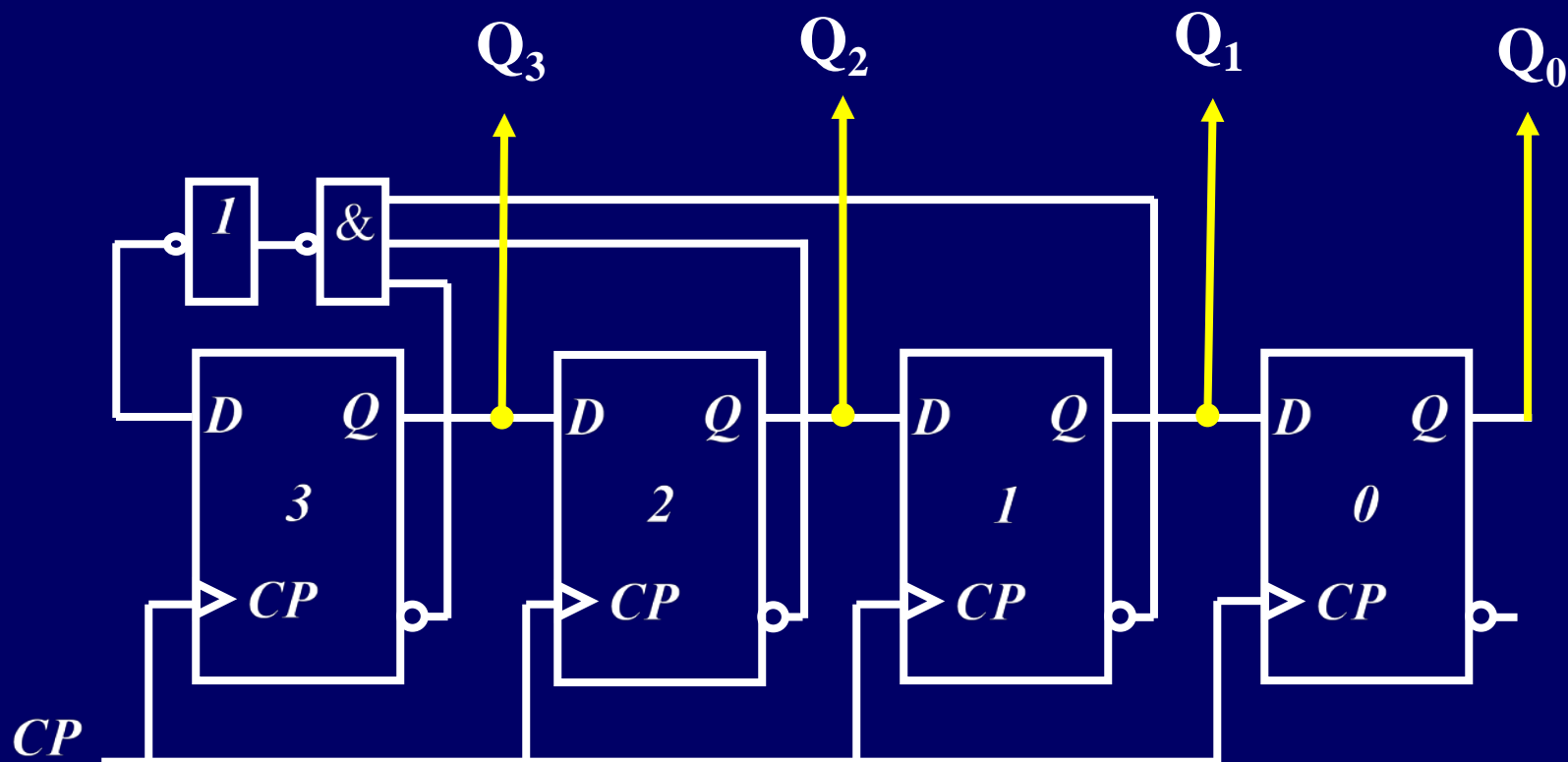
Q_1Q_0					
		00	01	11	10
Q_3Q_2	00	0000	1000	1001	0001
	01	0010	1010	1011	0011
	11	0110	1110	1111	0111
	10	0100	1100	1101	0101

状态表改进后经激励矩阵得到的激励方程： $D_3 = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}$

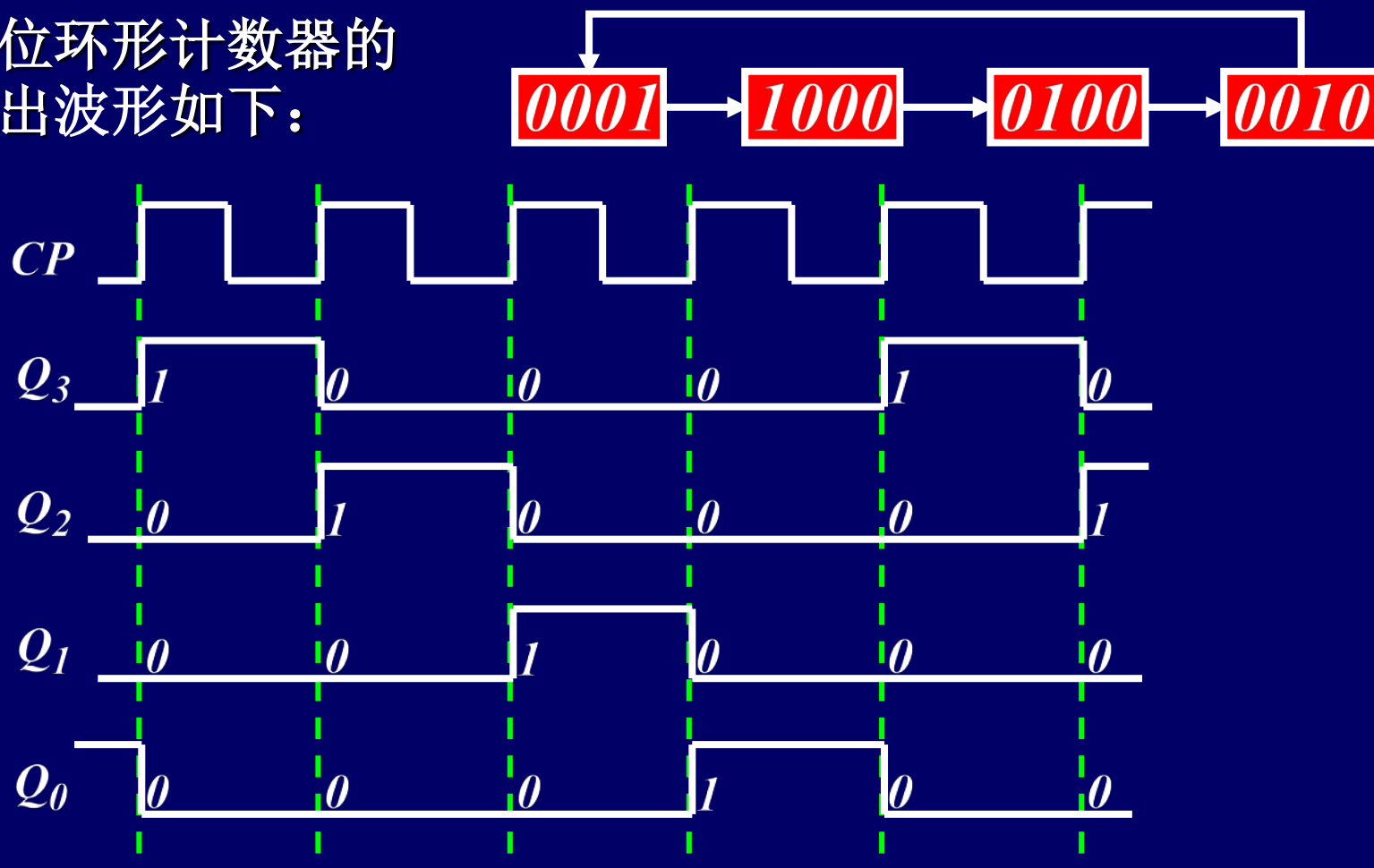
$$Q_{3(t+1)}Q_{2(t+1)}Q_{1(t+1)}Q_{0(t+1)}$$



根据新的反馈方式: $D_3 = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}$ 画电路图。



四位环形计数器的
输出波形如下：



- 每一时刻只有一个触发器状态为1。（四位循环一个1）
- 每个触发器的输出均为与CP等宽的脉冲。可直接用作节拍发生器。
- 只使用了n个触发器的n种状态，有 $2^n - n$ 个无效状态。

例1: 采用74LS194实现循环一个“1”的环形计数器。

解: 根据功能表, 设置成右移工作方式, 将反馈逻辑引到 R_{IN} 输入端。当启动清零后, 循环一个“1”。

参照 $D_3 = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}$

有: $R_{IN} = \overline{Q_A} \cdot \overline{Q_B} \cdot \overline{Q_C} = \overline{Q_A + Q_B + Q_C}$

$Q_A Q_B Q_C Q_D$

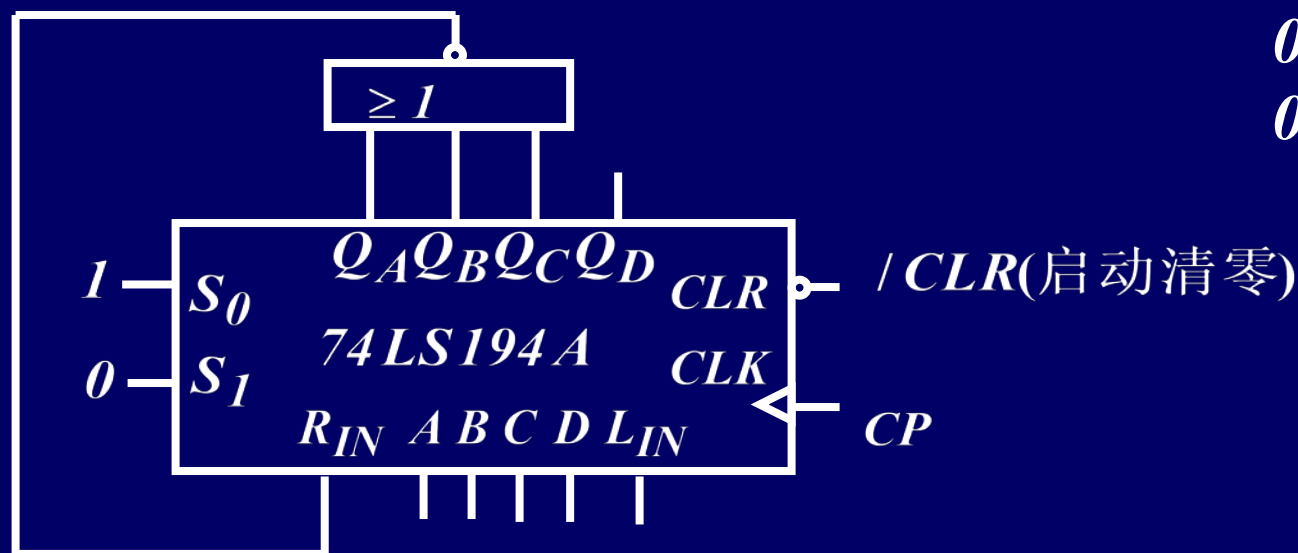
0 0 0 0

1 0 0 0

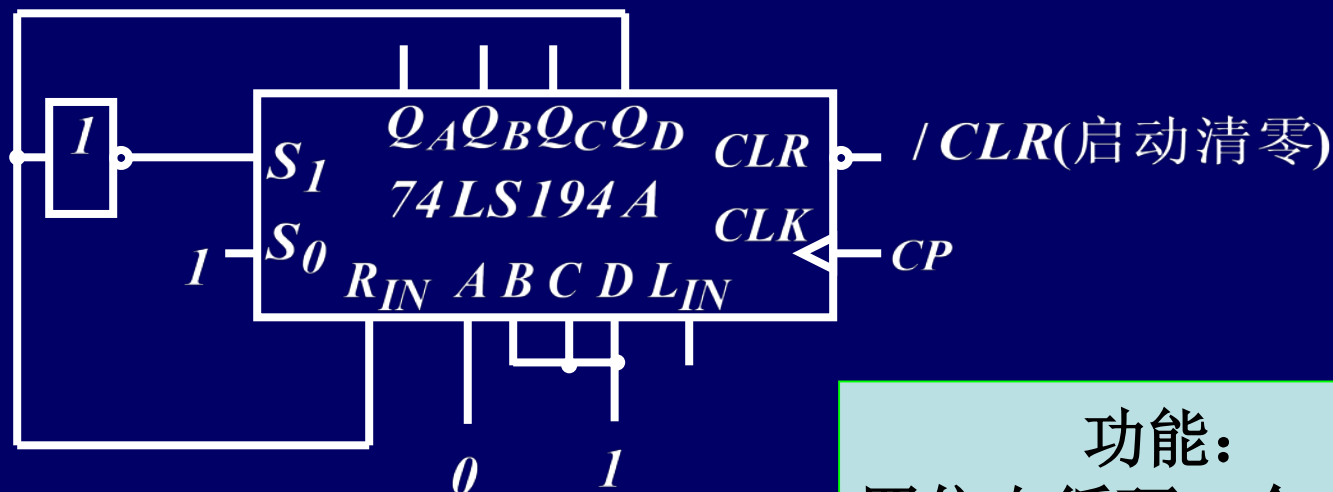
0 1 0 0

0 0 1 0

0 0 0 1



例2：分析图示电路的逻辑功能。



解：从启动清零开始，根据反馈条件和74LS194功能表，画出状态转移图，进行分析。

功能：
四位右循环一个“0”；
循环一个“0”环形计数器；
模4环形计数器。

$/CLR$ 清零	$Q_A Q_B Q_C Q_D$	$S_1 S_0$	
→	0 0 0 0	1 1	置数
	0 1 1 1	0 1	右移
	1 0 1 1	0 1	右移
	1 1 0 1	0 1	右移
	1 1 1 0	1 1	置数

CP

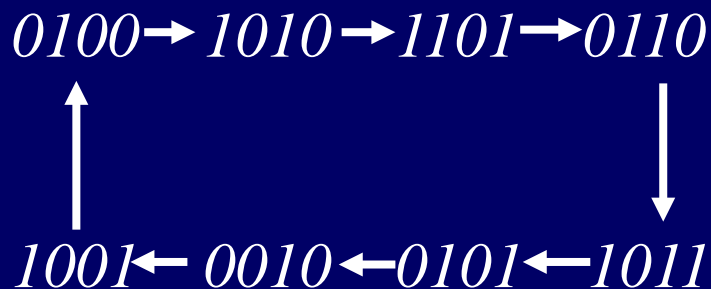
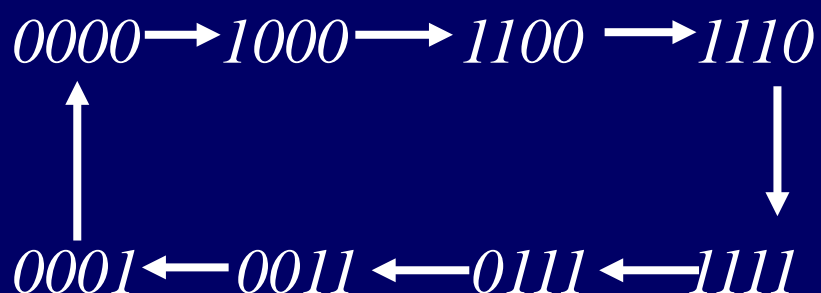
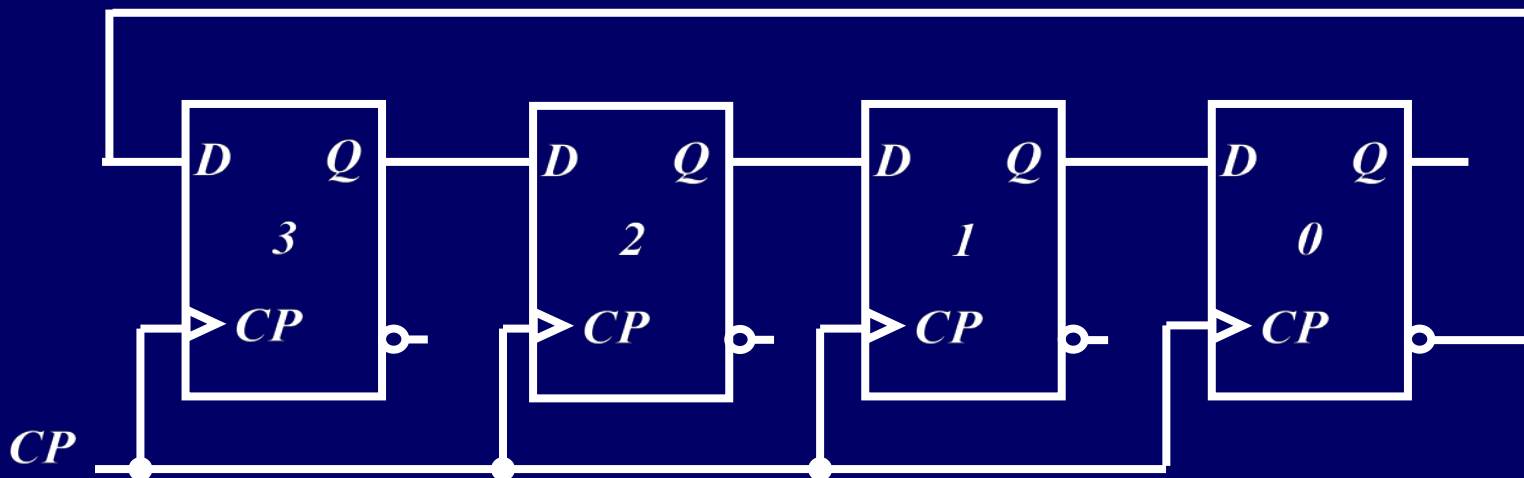
问题：若某时刻进入1111？

例3：四位右循环一个“0”的Verilog HDL描述。

```
module R_shift_0 (clr, clk, Q);  
  input  clr, clk;  
  output [3:0] Q;  
  reg     [3:0] Q;  
  always @ (posedge clk or negedge clr)  
    if (!clr) Q<=4'b0111;  
    else case (Q)  
      4'b0111 : Q<=4'b1011;  
      4'b1011 : Q<=4'b1101;  
      4'b1101 : Q<=4'b1110;  
      4'b1110 : Q<=4'b0111;  
      default : Q<=4'b0111;  
    endcase  
  
endmodule
```

7.5.2 扭环形计数器 (Johnson计数器)

反馈电路为: $D_{n-1} = \overline{Q_0}$ 构成自循环的移位寄存器。现以n=4为例。



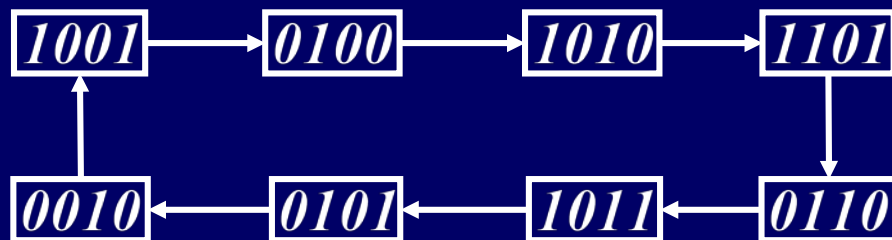
不能自启动，有无效循环。

依题意有如下状态表。

Q_1Q_0					
Q_3Q_2		00	01	11	10
00	01	1000	0000	0001	0001
01	11	1010	0010	0011	0011
11	10	1110	0110	0111	1111
10	00	1100	0100	0101	1101

$$Q_{3(t+1)}Q_{2(t+1)}Q_{1(t+1)}Q_{0(t+1)}$$

无效循环：



可以有多处改进而打破无效循环。

可以将0010和0110的次态从1001和1011改变为0001和0011。经激励矩阵得到激励方程：

$$D_3 = \overline{Q_0} + Q_1 \cdot \overline{Q_3}$$

$$D_2 = Q_3$$

$$D_1 = Q_2$$

$$D_0 = Q_1$$

		$Q_3(t+1)Q_2(t+1)Q_1(t+1)Q_0(t+1)$			
Q_3Q_2	Q_1Q_0	00	01	11	10
		1000	0000	0001	1001
01		1010	0010	0011	1011
11		1110	1110	0111	1111
10		1100	1100	0101	1101

还可以将1101和1001的次态从0110和0100改变为1110和1100。经激励矩阵得到激励方程：

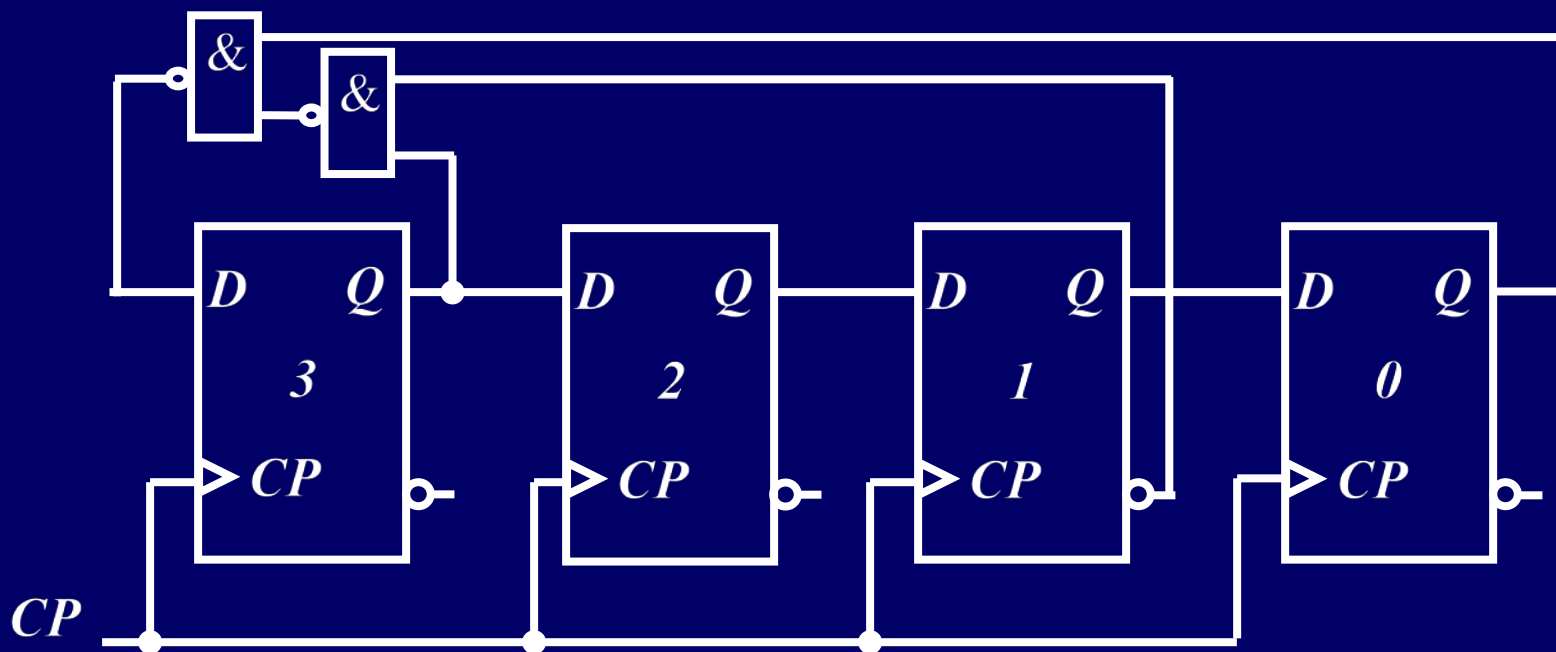
$$D_3 = \overline{Q_0} + \overline{Q_1} \cdot Q_3$$

$$D_2 = Q_3$$

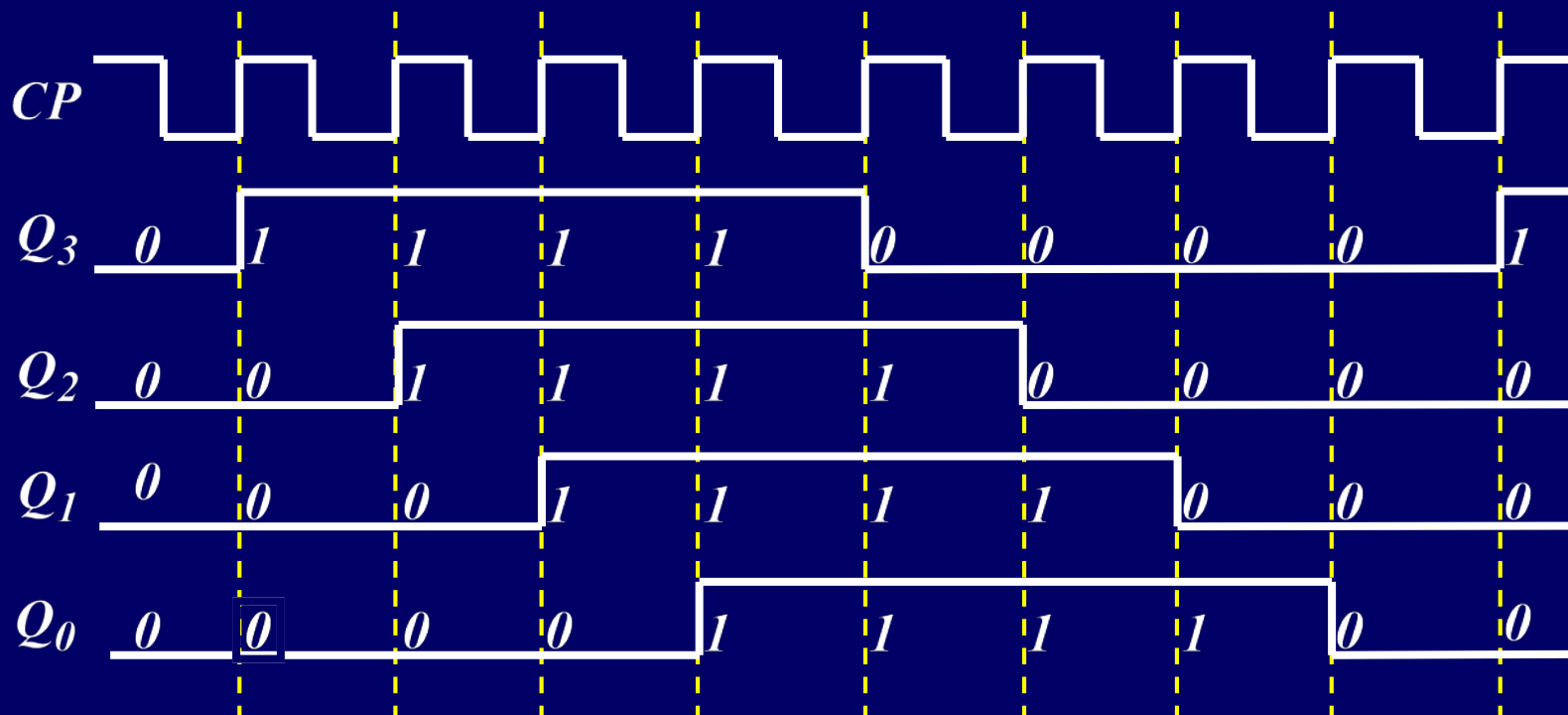
$$D_1 = Q_2$$

$$D_0 = Q_1$$

画出电路图：

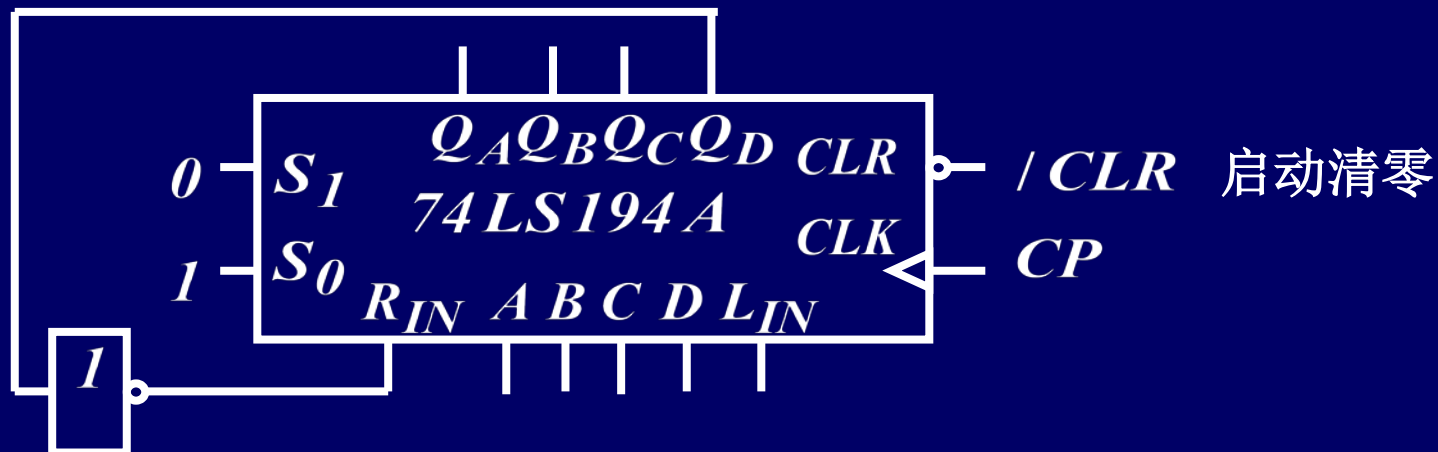


四位扭环形右移计数器波形图

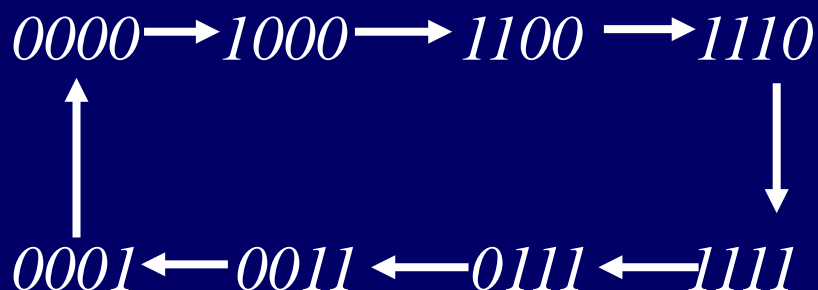


- 特点：
1. 相邻两组状态只有一位变化，符合可靠性编码原则。
 2. 常用于步进电机控制，也称步进码计数器。
 3. 便于构成无竞争现象问题的顺序脉冲发生器。
 4. 只使用 n 个触发器的 $2n$ 种状态，有 $2^n - 2n$ 个无效状态。

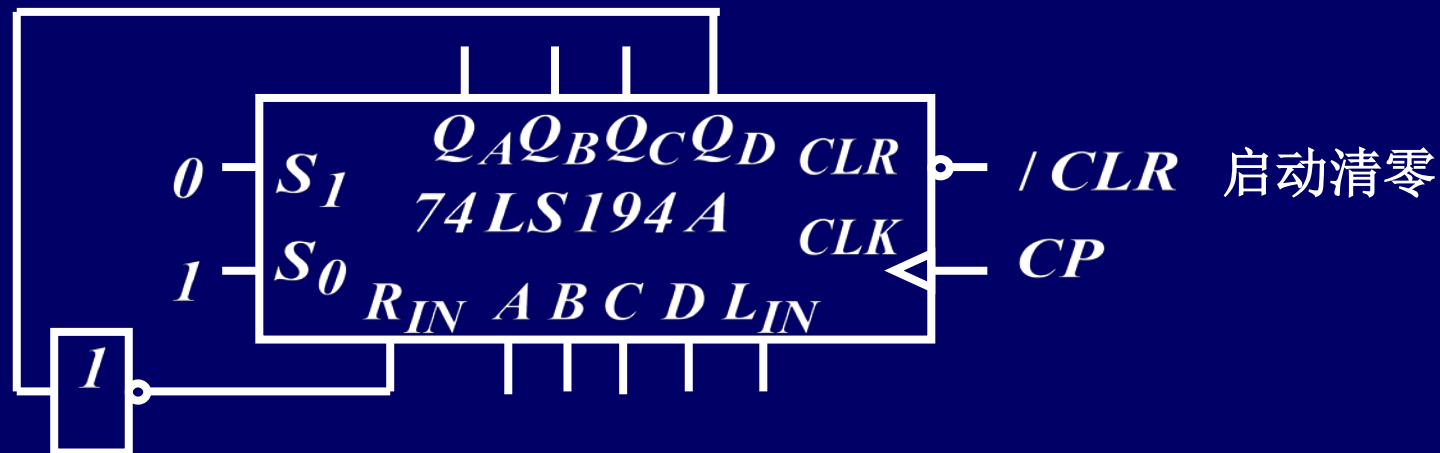
例1：分析采用74LS194构成扭环形计数器。



解：74LS194置成右移工作方式， Q_D 反相接入 R_{IN} ，当启动清零后，即进入有效循环。



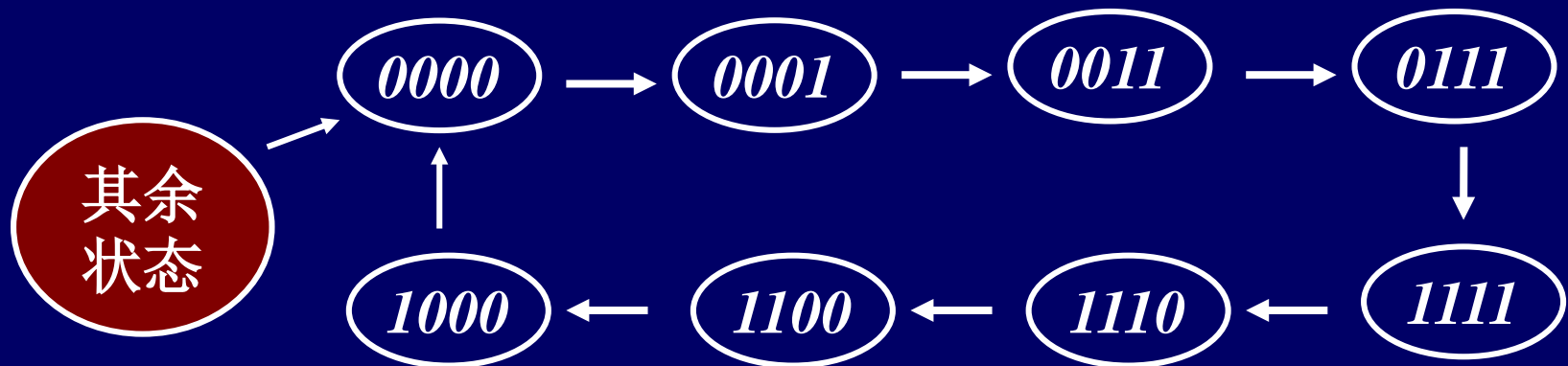
问题：
电路进入0100，会如何？



- 观察： 1.上述电路也称模8步进码计数器。
 2.若 Q_C 反相接入 R_{IN} ，可获得模6步进码计数器。
 3.若 Q_B 反相接入 R_{IN} ，可获得模4步进码计数器。

例2：4位左移扭环形计数器的Verilog HDL描述

关键是获得正确的状态图！

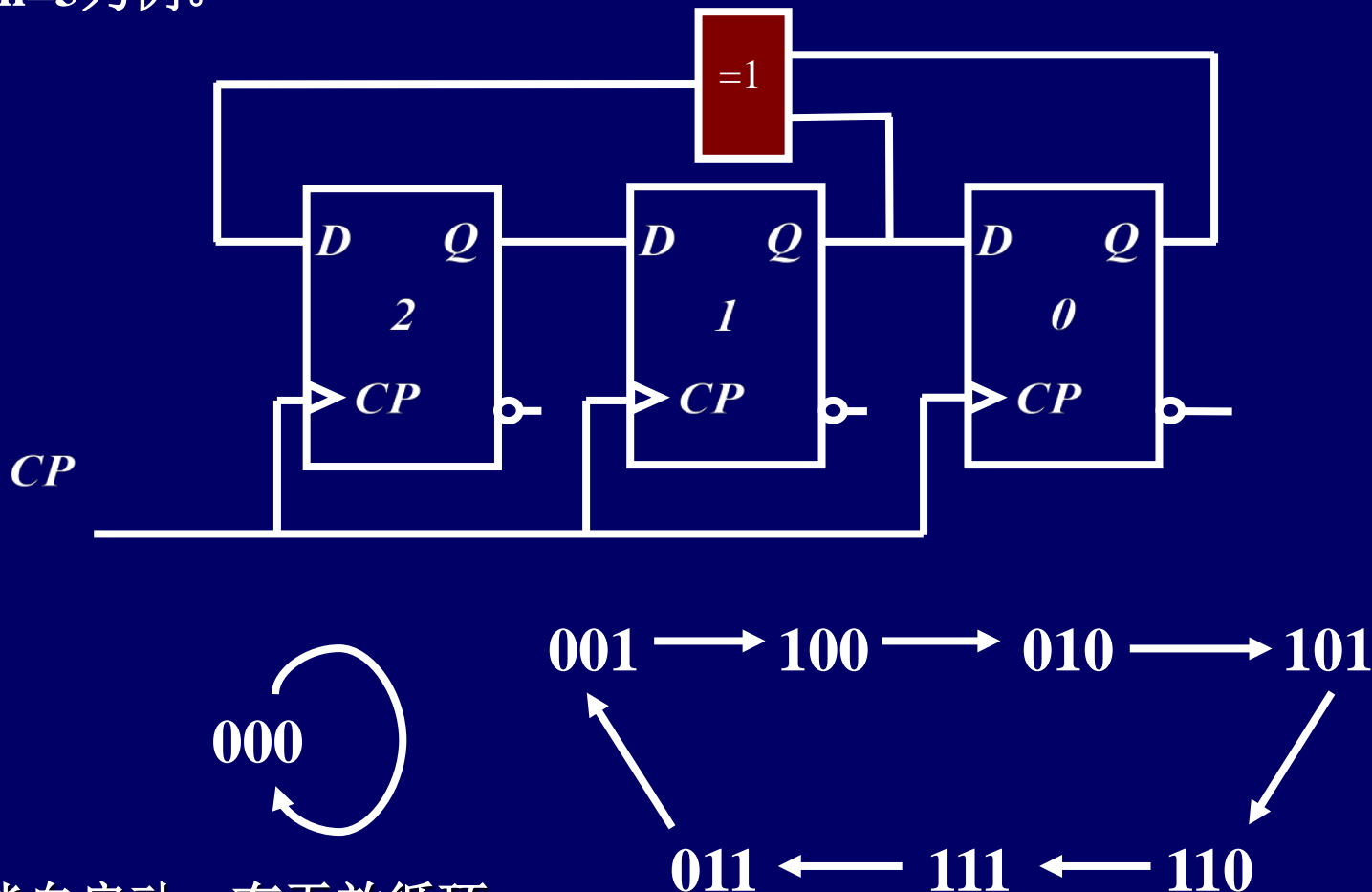


4位左移扭环形计数器的Verilog HDL描述

```
module R_shift_0 (clr, clk, Q);  
  input    clr, clk;  
  output [3:0] Q;  
  reg      [3:0] Q;  
  always @ (posedge clk or negedge clr)  
    if (!clr) Q<=4'b0000;  
    else case (Q)  
      4'b0000 : Q<=4'b0001;  
      4'b0001 : Q<=4'b0011;  
      .....  
      4'b1000 : Q<=4'b0000;  
      default : Q<=4'b0000;  
    endcase  
  
endmodule
```

7.5.3 最大长度移位型计数器

n 个触发器有 2^n 个状态，环形计数器用了 n 个状态，扭环形计数器用了 $2n$ 个状态。若反馈逻辑采用 $D_{n-1} = Q_1 \oplus Q_0$ ，可构成最大长度移位型计数器。以 $n=3$ 为例。



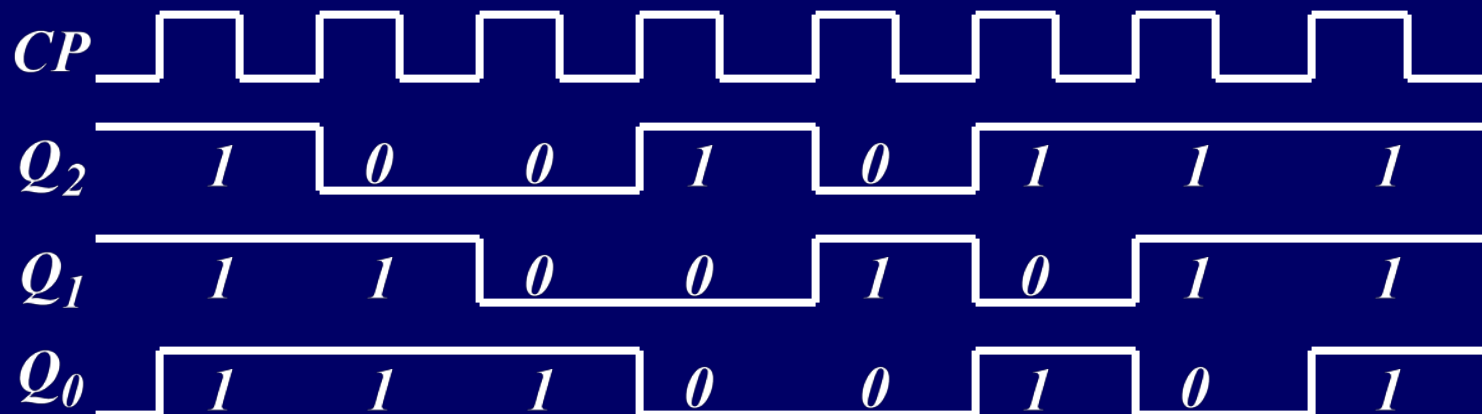
不能自启动，有无效循环。

为打破无效循环，将000的次态修改为100。

状态表

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	100	100	001	101
1	010	110	011	111

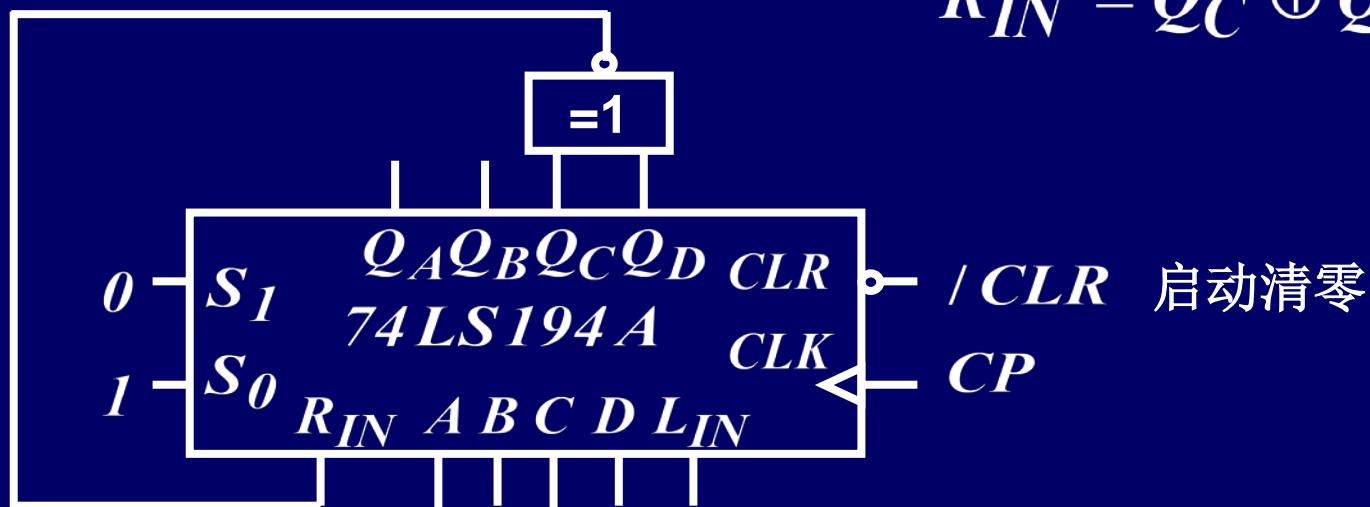
$$D_2 = \overline{Q_2} \bullet \overline{Q_1} + Q_0 \oplus Q_1$$

$$\mathcal{Q}_{2(t+1)}\mathcal{Q}_{1(t+1)}\mathcal{Q}_{0(t+1)}$$


- 特点:**
- 1. 使用了 n 个触发器的 2^n-1 种状态, 只有1种无效状态。
 - 2. 不符合循环码编码规律, 构成节拍发生器时, 译码电路较复杂, 且可能有竞争险象。

例：分析图示电路的逻辑功能。

$$R_{IN} = \overline{Q_C \oplus Q_D}$$



CP		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Q_A	0	1	1	1	0	1	1	0	0	1	0	1	0	0	0	0
Q_B	0	0	1	1	1	0	1	1	0	0	1	0	1	0	0	0
Q_C	0	0	0	1	1	1	0	1	1	0	0	1	0	1	0	0
Q_D	0	0	0	0	1	1	1	0	1	1	0	0	1	0	1	0

这是一个四位最大长度右移计数器。共有 $2^4-1=15$ 种计数状态。

作业17:

7.11

7.13

7.15

7.16