

第五章 锁存器与触发器

5.1 双稳态元件——锁存器和触发器

1. 有两个互补的输出端 Q 和 \overline{Q}
2. 有两个稳定状态。
3. 在一定输入信号作用下，可从一个稳定状态转移到另一个稳定状态。
4. 输入信号作用前的状态称为**现态**，记作： Q_t
输入信号作用后的状态称为**次态**，记作： Q_{t+1}

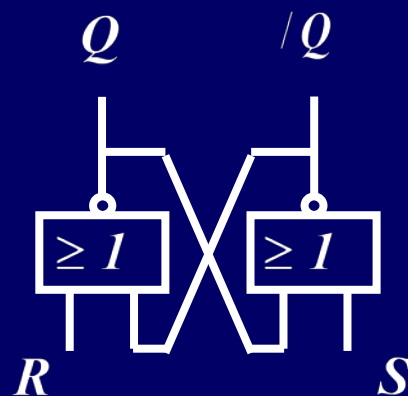
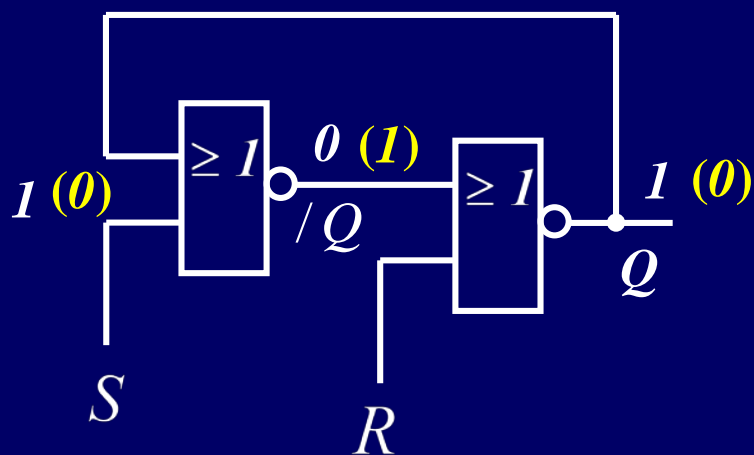
锁存器和触发器的区别

单一存储单元（锁存器、触发器）的分析设计工具

- **功能表：** 反映输出端与输入端的逻辑关系。
- **次态真值表：** 反映在输入端信号和触发器自身状态（现态）共同作用下，触发器的下一步状态（次态）。
(特性表)
- **次态卡诺图：** 参照卡诺图排列而成的矩阵图表，表中填有触发器次态信息。
(二进制状态表)
- **次态方程：** 由特性表或状态表而写出的反映触发器次态函数的逻辑表达式。
(特性方程/状态方程)
- **状态图：** 反映触发器状态及状态转换条件的直观图形。
- **时序图：** 反映触发器各信号之间的时间关联（时序）及时间参数的图形说明。

双稳态元件按其数据输入端的名称分为SR型、JK型、D型和T型。
锁存器和触发器是时序电路中的关键元件，要求掌握其外部特性和逻辑功能

5.2 基本S—R 锁存器 (Set—Reset Latch)



由或非门构成的S—R锁存器

功能表

S	R	Q	/Q
0	0	保持不变	
0	1	0	1
1	0	1	0
1	1	0	0

次态真值表

S	R	Q(t)	Q (t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	d
1	1	1	d

简化次态真值表

S	R	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	d

SR					
Q(t)		00	01	11	10
		0	1	d	1
0		0	0	d	1
1		1	0	d	1

Q(t+1)

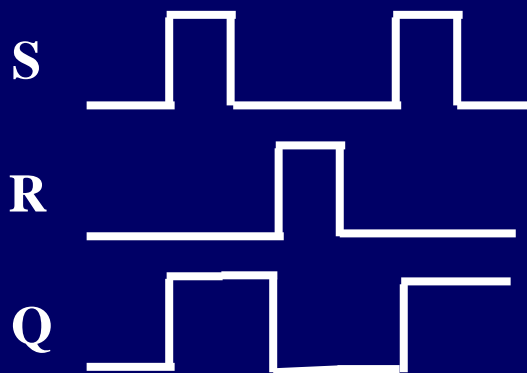
次态卡诺图

次态方程（特性方程、状态方程）

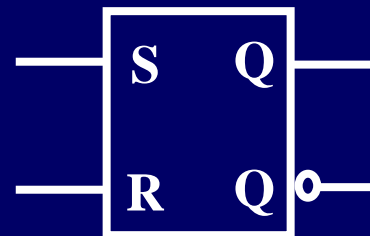
$$Q(t+1) = S + \bar{R} \cdot Q(t)$$

约束条件 $RS = 0$ （即不允许 $RS = 1$ ）

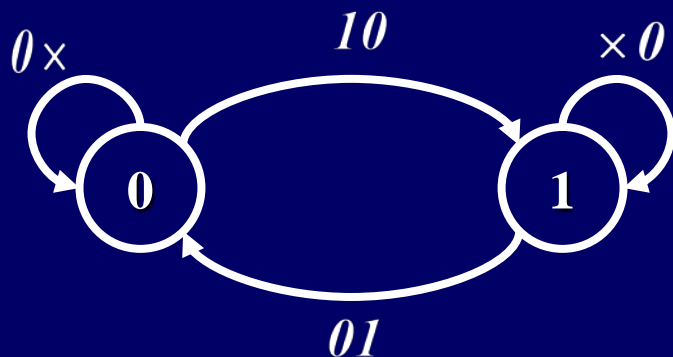
时序图

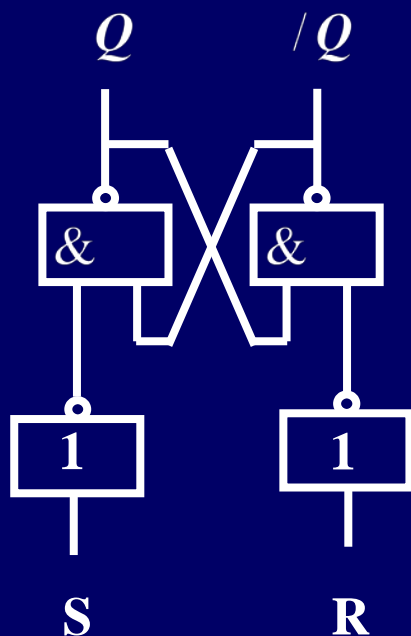


逻辑符号



状态图（SR）





基本SR锁存器的主要特点：

1. 结构简单
2. 具有置0、置1和保持功能，

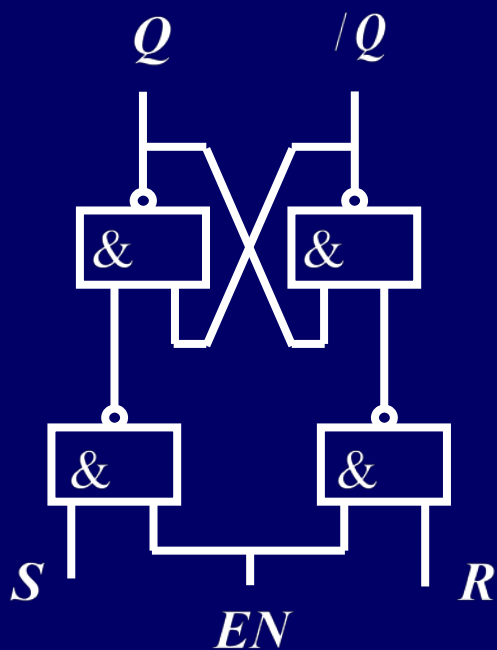
由与非门构成的
S—R锁存器。

存在的问题：

1. 输入直接影响输出，给应用带来不便，抗干扰能力低。
2. 输入端S、R之间有约束。

5.3 带使能端的 S—R 锁存器

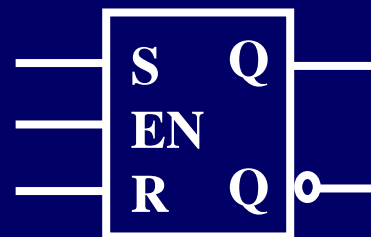
为加强锁存器的可控性，增加使能端。



$$\begin{aligned}
 Q_{(t+1)} &= \overline{S \bullet EN \bullet R \bullet EN \bullet Q_{(t)}} \\
 &= S \bullet EN + \overline{R \bullet EN} \bullet Q_{(t)}
 \end{aligned}$$

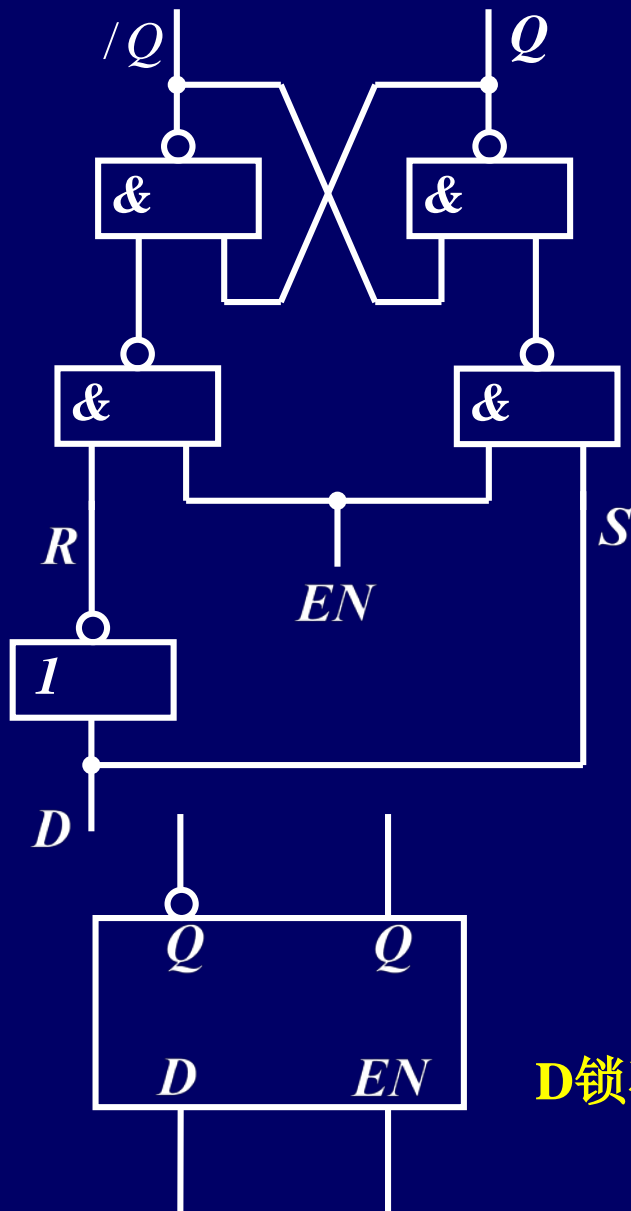
当EN有效时，简化状态方程

$$Q(t+1) = S + \overline{R} \bullet Q(t)$$



逻辑符号

•5.4 D（延迟型）锁存器



在RS锁存器的特性方程基础上，用 D 代替 S ，用 \overline{D} 代替 R ，得到特性方程：

$$\begin{aligned} Q_{(t+1)} &= S \cdot EN + \overline{R} \cdot EN \cdot Q_{(t)} \\ &= D \cdot EN + \overline{\overline{D}} \cdot EN \cdot Q_{(t)} \\ &= \underline{D \cdot EN} + \overline{EN} \cdot Q_{(t)} \end{aligned}$$

使能端无效时，锁存器状态保持。

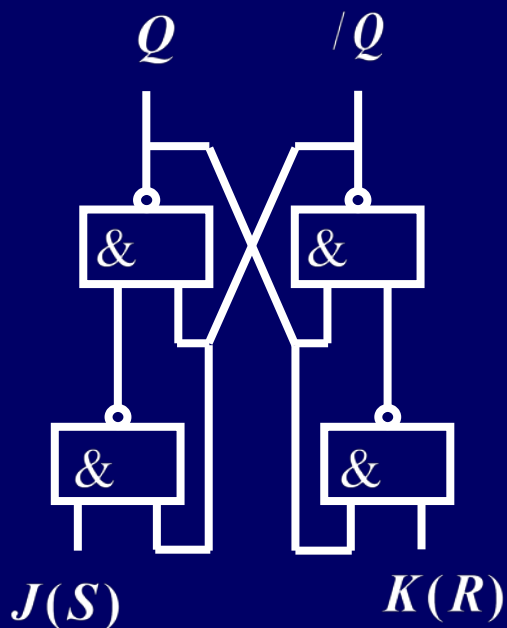
使能端有效时，锁存器跟随 D 状态。

简化的状态方程： $Q(t+1) = D$

D锁存器逻辑符号

5.5 J—K锁存器（复合型锁存器）

SR锁存器输入端的约束条件，给应用带来麻烦，要求改进。最简单的想法就是用锁存器自身的状态来封堵。下图用J输入端代替S端，用K输入端代替R端。当Q为0时，封住K门，打开J门，因为此时无需复位操作；当Q为1时，封住J门，打开K门，此时无需置位操作，复位操作无阻。



$$\begin{aligned} Q_{(t+1)} &= \overline{J \cdot \overline{Q_{(t)}} \cdot K \cdot Q_{(t)} \cdot Q_{(t)}} \\ &= J \cdot \overline{Q_{(t)}} + \overline{K \cdot Q_{(t)}} \cdot Q_{(t)} \\ &= J \cdot \overline{Q_{(t)}} + \overline{K} \cdot Q_{(t)} \end{aligned}$$

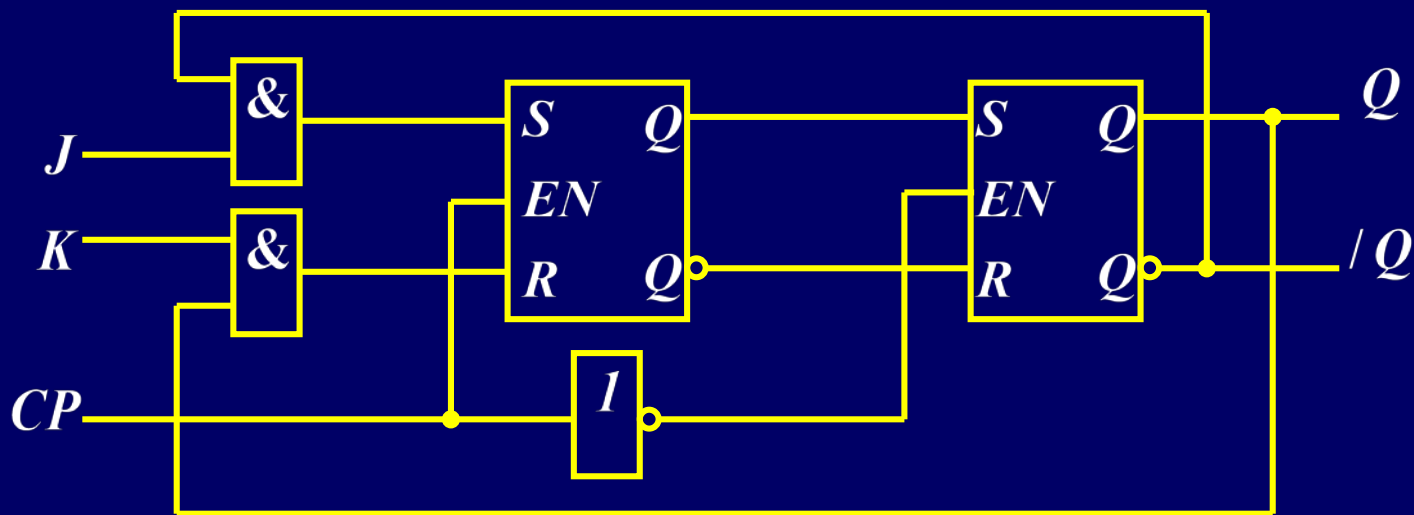
功能表

J	K	Q	\overline{Q}
0	0	保持不变	保持不变
0	1	0	1
1	0	1	0
1	1	翻转	翻转

引起振荡，产生“空翻现象”

•5.6 JK主从结构触发器 (74LS70/71/72/73)

由主从两组锁存器组成，左面一组是主锁存器，当 CP 为1时，输入信号 JK 起作用。当 CP 由1变为0时，将锁存在主锁存器的状态输入从锁存器。这样，一个完整的数据存储，需要有一个完整脉冲的全过程，这个控制脉冲又称为触发脉冲。



功能表：

J	K	CP	Q	\overline{Q}
×	×	0	保持不变	保持不变
×	×	1	保持不变	保持不变
×	×	↑	保持不变	保持不变
0	0		保持不变	保持不变
0	1		0	1
1	0		1	0
1	1		翻转	翻转

特性表：

CP	JK	$Q_{(t)}$	$Q_{(t+1)}$
0	×	0	0
0	×	1	1
1	00	0	0
1	00	1	1
1	01	0	0
1	01	1	0
1	10	0	1
1	10	1	1
1	11	0	1
1	11	1	0

注意：此表中 CP 的0或1代表脉冲的有无。

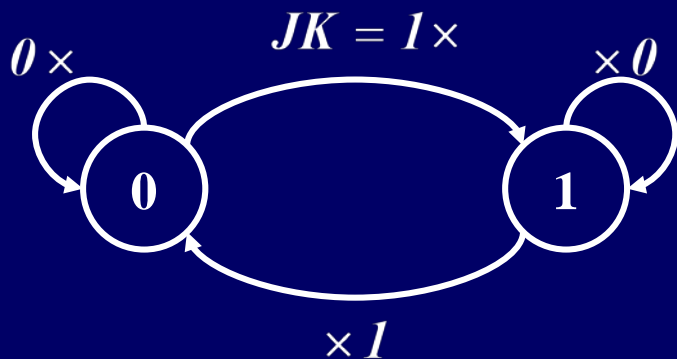
次态卡诺图（二进制状态表）：

$CP \ J \ K$									
$Q(t)$		000	001	011	010	110	111	101	100
		0	0	0	0	1	1	0	0
1		1	1	1	1	1	0	0	1

状态方程：

$$\begin{aligned}
 Q_{(t+1)} &= CP \bullet J \bullet \overline{Q_{(t)}} + \overline{K} \bullet Q_{(t)} + \overline{CP} \bullet Q_{(t)} \\
 &= CP \bullet J \bullet \overline{Q_{(t)}} + CP \overline{K} \bullet Q_{(t)} + \overline{CP} \bullet Q_{(t)} \\
 &= CP(J \bullet \overline{Q_{(t)}} + \overline{K} \bullet Q_{(t)}) + \overline{CP} \bullet Q_{(t)}
 \end{aligned}$$

状态图：



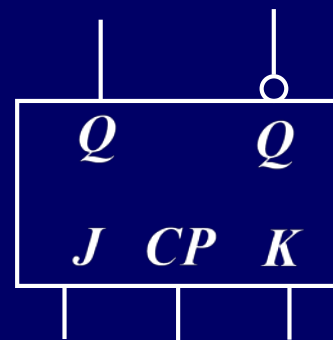
简化状态表（当CP有效时）：

$J \ K$					
$Q(t)$		00	01	11	10
		0	0	1	1
1		1	0	0	1

简化状态方程：

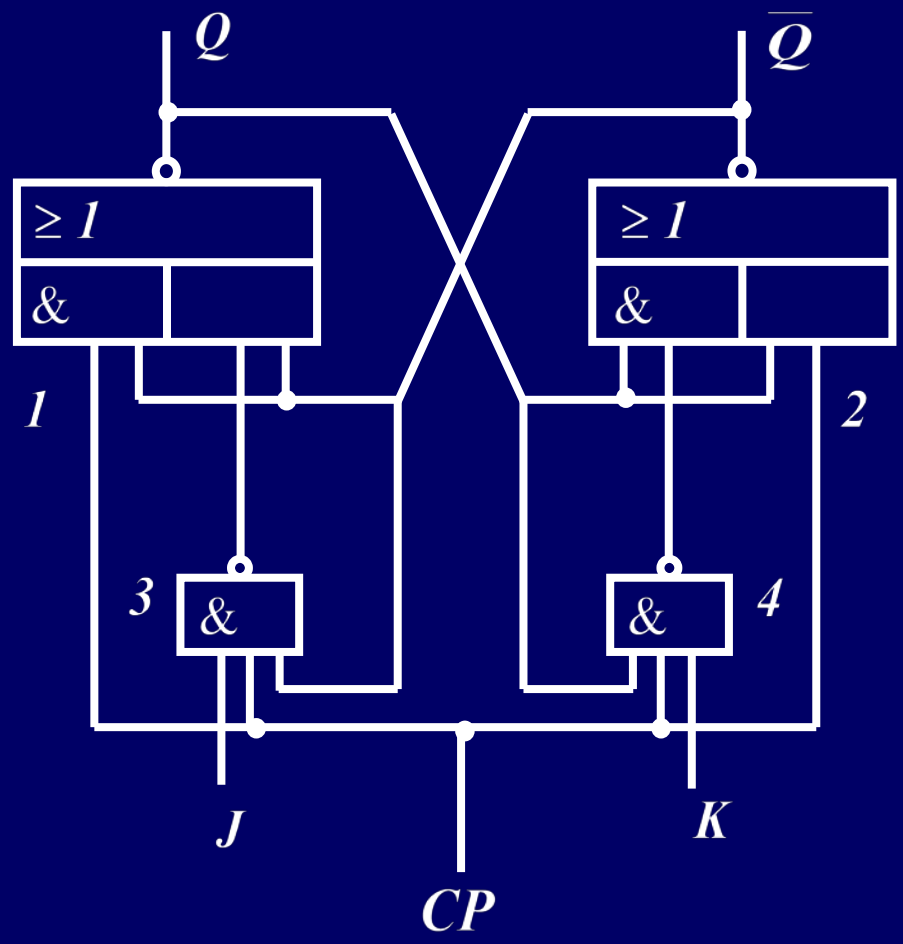
$$Q_{(t+1)} = J \overline{Q_{(t)}} + \overline{K} Q_{(t)}$$

功能符号：



5.7 负边沿J—K触发器（74XX112/113）

前面介绍的主从J—K触发器要求一个完整的时钟脉冲，且在其下降沿到来之前，输入端J、K必须稳定较长时间。而边沿触发器能够满足输入信号的建立时间和保持时间较短的要求，应用更广泛。



功能表

J	K	CP	Q	\bar{Q}
×	×	0	保持不变	保持不变
×	×	1	保持不变	保持不变
×	×	↑	保持不变	保持不变
0	0	↓	保持不变	保持不变
0	1	↓	0	1
1	0	↓	1	0
1	1	↓	变反	变反

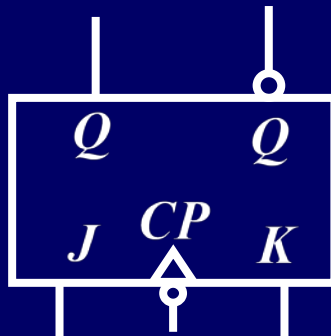
负边沿J-K触发器说明:

当CP为0时，3门和4门均被封住，其输出为1。这时用与或非门组成的锁存器处于稳态，假设为0状态，Q输出0， \bar{Q} 输出1。

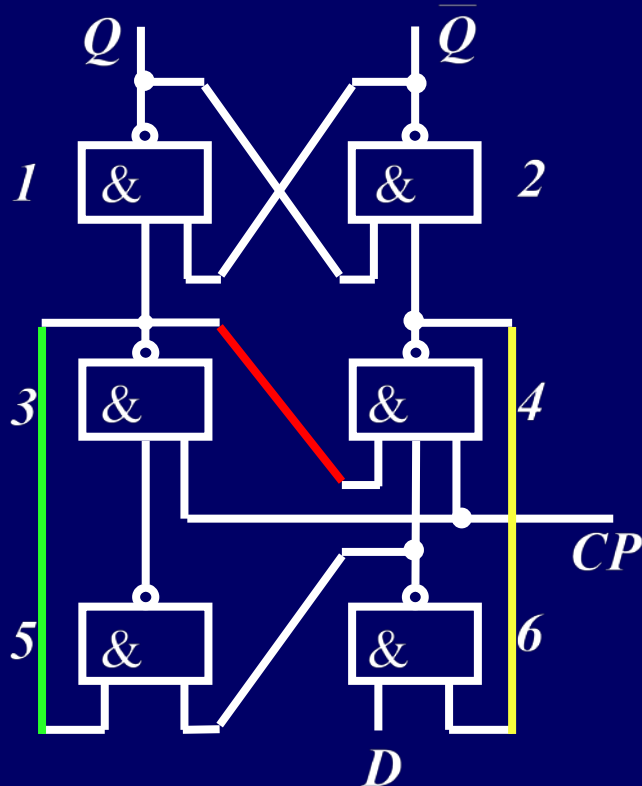
当CP处于由0向1变化的上升沿时，首先使1门的左与门的输入端为1，和 \bar{Q} 为1的共同作用保证Q为0不变。虽然在CP为1状态时，3门和4门均被打开，若此时J=K=1，则因 \bar{Q} 为1，而3门输出0，K门因Q为0而保持1。注意是由于CP为1的信号先于3门输出的0信号，因此保证了Q端输出为0不变。

当CP处于由1向0变化的下降沿时，由于CP的变化先于3门的输出变化，而形成1门的两个与门同时为0，1门输出端Q为1。这个1与4门输出的1共同使 \bar{Q} 端为0，封住1门的与门，确保Q为1，进入下一个稳态。

逻辑符号



5.8 正边沿D触发器 (74XX74)



当CP为0时，3、4门的输出为1，1、2门组成的RS锁存器保持状态不变。6门输出为 \overline{D} ，5门输出为 D。

当CP为 \uparrow 时，3门将5门输出的D传递输出为 \overline{D} 。若D=1，则3门输出为0，Q=D=1，并通过置1维持线反馈至5门输入，确保5门稳定输出1，不再受6门的输出影响，即不再受输入端D的影响。同时通过3门至4门的置0阻塞线确保4门输出为1。若D=0，则3门输出为1，与6门输出的1共同使4门输出为0，Q=D=0，并通过4至6门的置0维持线确保输出为1，不再受输入端D变化的影响。

当CP为1时，RS锁存器输入输出状态保持不变。

当CP为 \downarrow 时，RS锁存器进入锁存状态。

功能表

CP	D	Q / Q	
\times	\times	保持不变	
\uparrow	0	0	1
\uparrow	1	1	0

次态真值表（特性表）

CP	D	$Q_{(t)}$	$Q_{(t+1)}$
\times	\times	\times	保持不变
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

注意：此表中CP的0或1代表脉冲上升沿的有无。

简化次态卡诺图

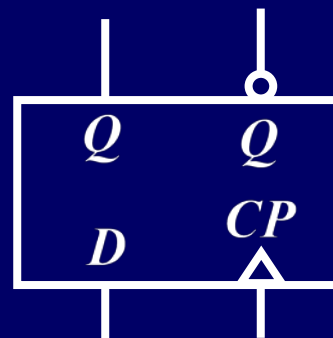
$Q_{(t)} \backslash D$		0	1
		0	1
0		0	1
1		0	1

$Q(t+1)$

次态方程

$$Q_{(t+1)} = D$$

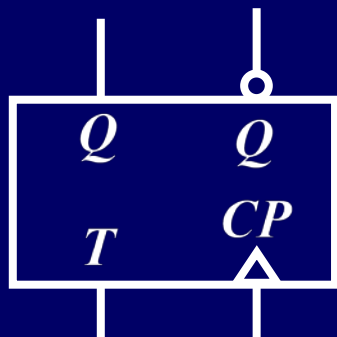
逻辑符号



5.9 T 触发器和T' 触发器

将JK触发器的J、K连在一起并命名为T就构成了T触发器，它是一种计数型触发器。

逻辑符号



次态方程

$$Q_{(t+1)} = T\overline{Q_{(t)}} + \overline{T}Q_{(t)}$$

T恒接1就构成了T' 触发器

5.10 不同触发器之间的相互转换

例1: 将JK触发器转换为D触发器。

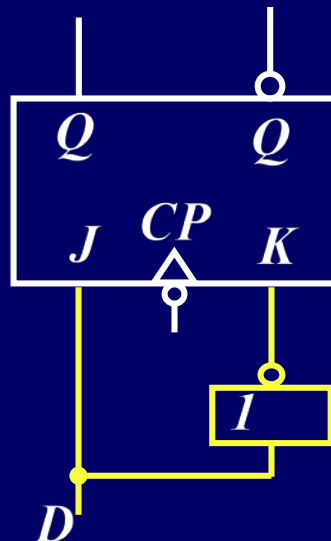
JK触发器状态方程: $Q_{(t+1)} = J\overline{Q_{(t)}} + \overline{K}Q_{(t)}$

令: $D = J\overline{Q_{(t)}} + \overline{K}Q_{(t)}$

$$D(\overline{Q_{(t)}} + Q_{(t)}) = J\overline{Q_{(t)}} + \overline{K}Q_{(t)}$$

$$D\overline{Q_{(t)}} + DQ_{(t)} = J\overline{Q_{(t)}} + \overline{K}Q_{(t)}$$

有: $J = D \quad \overline{K} = D$



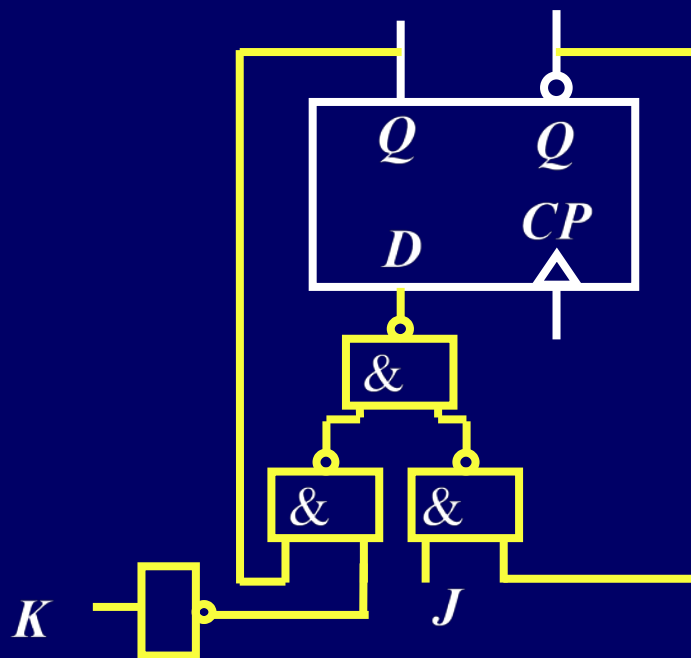
例2： 将D触发器转换为JK触发器。

D触发器状态方程： $Q_{(t+1)} = D$

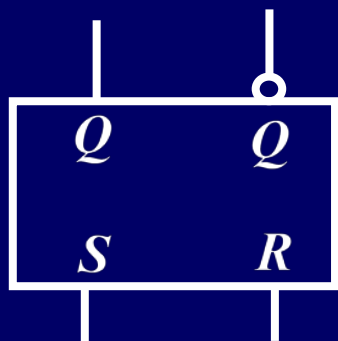
$$\text{令： } D = J\overline{Q_{(t)}} + \overline{K}Q_{(t)}$$

$$D = \overline{\overline{J\overline{Q_{(t)}} + \overline{K}Q_{(t)}}}$$

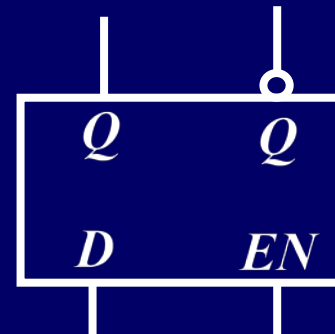
$$= \overline{J\overline{Q_{(t)}}} \cdot \overline{\overline{K}Q_{(t)}}$$



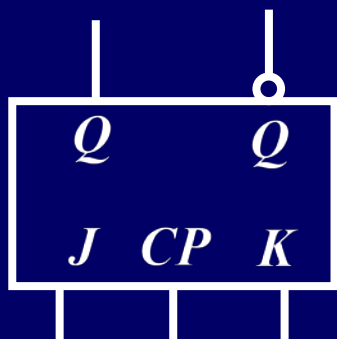
识别触发器的功能符号：



S—R（复位置位）锁存器

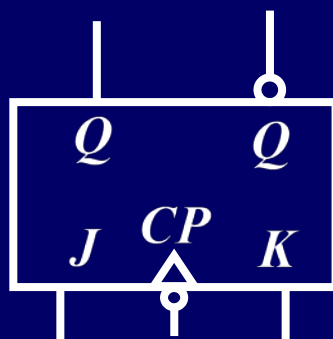


D（延迟型）锁存器

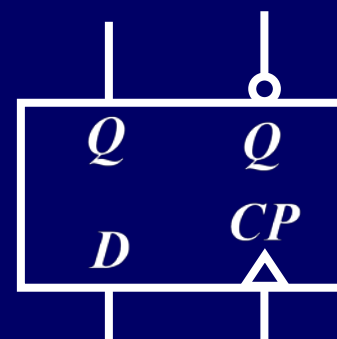


主从结构（脉冲）

J—K触发器

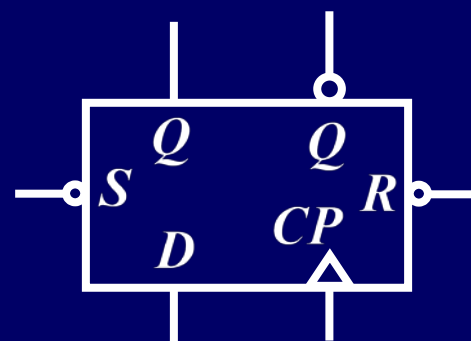
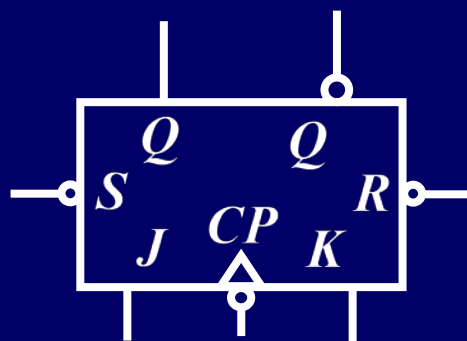
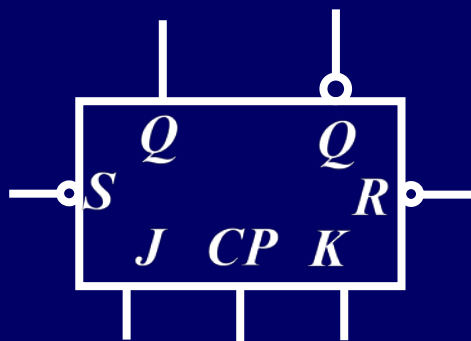
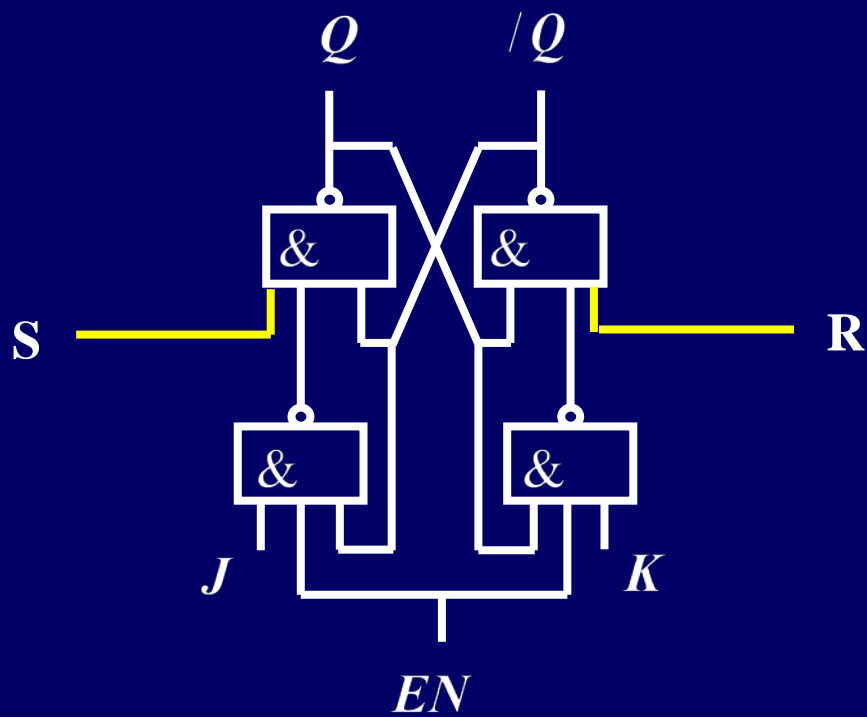


负边沿J—K触发器



正边沿D触发器

实际应用的器件，通常带有异步清“0”端R和异步置“1”端S。



5.11 常用触发器的Verilog HDL描述

// D触发器

```
module D_FF (d, clk, q, qn);  
    input  d , clk ;  
    output q , qn ;  
    reg    q , qn ;  
    always @ ( posedge clk )  
        begin  
            q  <= d ;  
            qn <= ~d ;  
        end  
endmodule
```

敏感表的特点？

功能描述：非阻塞

// D触发器

```
module D_FF (d, clk, reset, q, qn);  
    input  d , clk , reset ;  
    output q , qn ;  
    reg    q , qn ;  
    always @ ( posedge clk or negedge reset )  
        if (!reset) begin q<=0; qn<=1; end  
        else  
            begin  
                q  <= d ;  
                qn <= ~d ;  
            end  
endmodule
```

同步清“0”如何描述？

如何描述clk下降沿？

// JK触发器

```
module JK_FF ( j, k, clk, reset, q );  
    input  j , k, clk , reset ;  
    output q ;  
    reg    q ;  
    always @ ( negedge clk or posedge reset )  
        if (reset) q<=0;  
        else  
            case ( { j, k } )  
                2'b00: q <= q ;  
                2'b01: q <= 1'b0 ;  
                2'b10: q <= 1'b1 ;  
                2'b11: q <= ~q ;  
            endcase  
endmodule
```

特点： clk下降沿，
清“0”端高有效，
只有一个输出。

存储电路中的记忆元件——双稳态元件（锁存器、触发器）的演变过程

双稳态电路

↓ 增加输入端

基本SR锁存器

$$Q_{(t+1)} = S + \overline{R} \cdot Q_{(t)}$$

问题：输入直接影响输出、输入约束。

↓ 解决输入直接影响输出

带使能端
SR锁存器

→ 解决约束，但少输入端

D锁存器

$$Q_{(t+1)} = D$$

T触发器

T'触发器

↙ 解决约束，但空翻

JK锁存器

$$Q_{(t+1)} = J\overline{Q}_{(t)} + \overline{K} \cdot Q_{(t)}$$

边沿D触发器

实用

↓ 使能有效时的空翻

带使能JK锁存器

→ 需完整脉冲，存在一次变化

边沿JK触发器

实用

主从JK触发器

↑

作业13:

5.1

5.2

5.3

5.5 (1, 2)

5.6

5.7