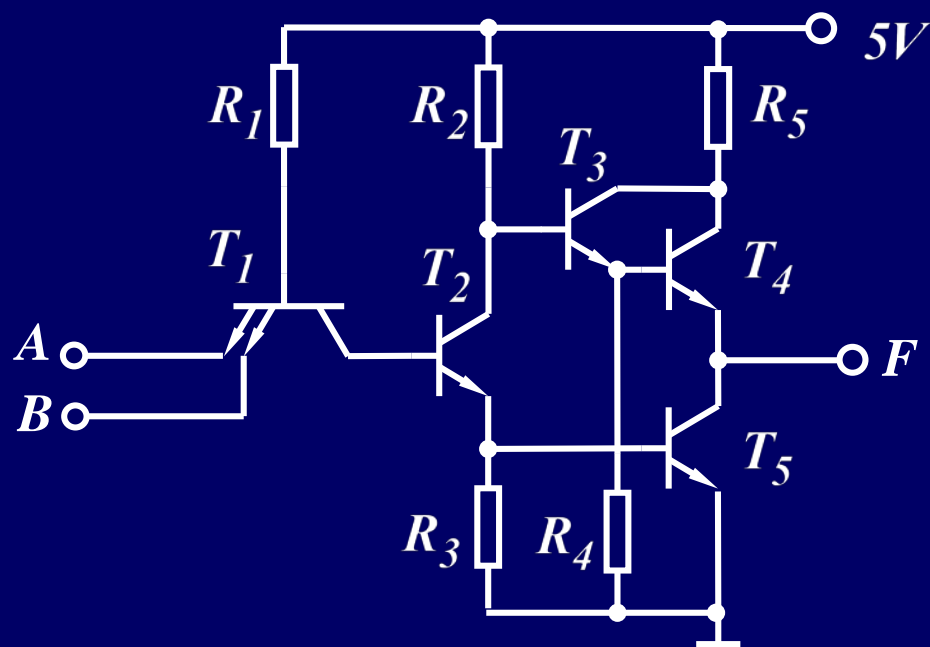


4.3.2 数字电路在物理实现中的五个问题

1) 输入限制问题

以TTL与非门电路为例： $F = \overline{A \bullet B}$



(示意图)

这是一个两输入端的与非门，芯片一旦做好，输入端端口数目就确定了。在逻辑设计中，要考虑物理实现时的电路，这就有一个逻辑表达式/逻辑原理图受输入限制的问题，即扇入系数问题。扇入系数指物理电路输入端端口的最大数目，记为 N_i 。

例1：将函数 F 用两端口与非门实现。

$$F = ABD + ADC + ABC + BCD$$

解： $F = ABD + ACD + ABC + BCD$

$$= \overline{\overline{A}}\overline{\overline{B}}\overline{\overline{D}} + \overline{\overline{A}}\overline{\overline{C}}\overline{\overline{D}} + \overline{\overline{A}}\overline{\overline{B}}\overline{\overline{C}} + \overline{\overline{B}}\overline{\overline{C}}\overline{\overline{D}}$$

$$= \overline{\overline{\overline{A}}\overline{\overline{B}}\overline{\overline{D}}} + \overline{\overline{\overline{A}}\overline{\overline{C}}\overline{\overline{D}}} + \overline{\overline{\overline{A}}\overline{\overline{B}}\overline{\overline{C}}} + \overline{\overline{\overline{B}}\overline{\overline{C}}\overline{\overline{D}}}$$

$$= \overline{\overline{A} \bullet \overline{\overline{B}} \bullet \overline{\overline{D}}} + \overline{\overline{A} \bullet \overline{\overline{C}} \bullet \overline{\overline{D}}} + \overline{\overline{A} \bullet \overline{\overline{B}} \bullet \overline{\overline{C}}} + \overline{\overline{B} \bullet \overline{\overline{C}} \bullet \overline{\overline{D}}}$$

共用13个两端口与非门，最长时间延时6个门。

再解： $F = ABD + ACD + ABC + BCD$

$$= AB(C + D) + CD(A + B)$$

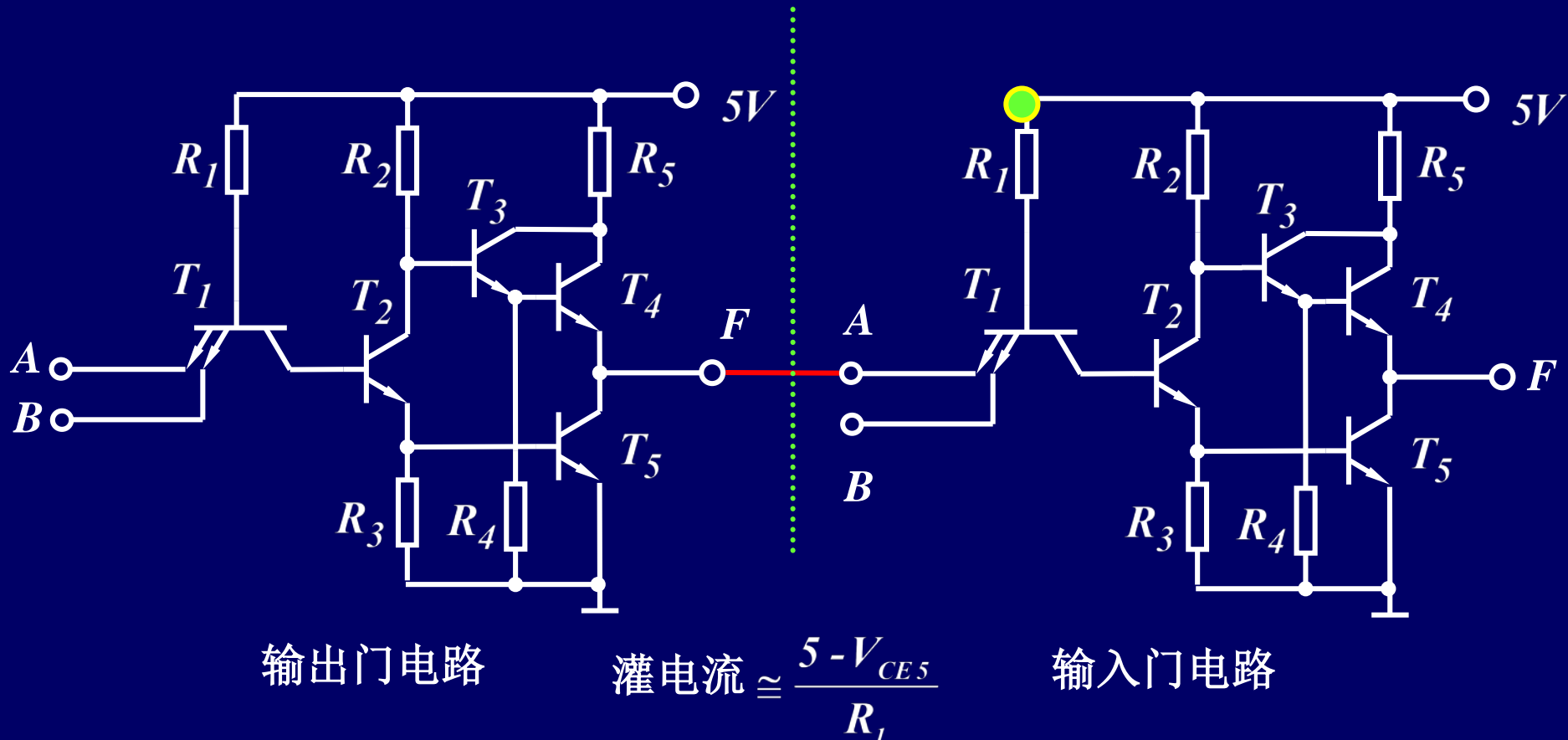
$$= AB\overline{\overline{C}}\overline{\overline{D}} + CD\overline{\overline{A}}\overline{\overline{B}}$$

$$= \overline{\overline{\overline{A} \bullet \overline{\overline{B}} \bullet \overline{\overline{C}} \bullet \overline{\overline{D}}}} + \overline{\overline{\overline{C} \bullet \overline{\overline{D}} \bullet \overline{\overline{A}} \bullet \overline{\overline{B}}}}$$

门还是用13个，最长时间延时4个门。

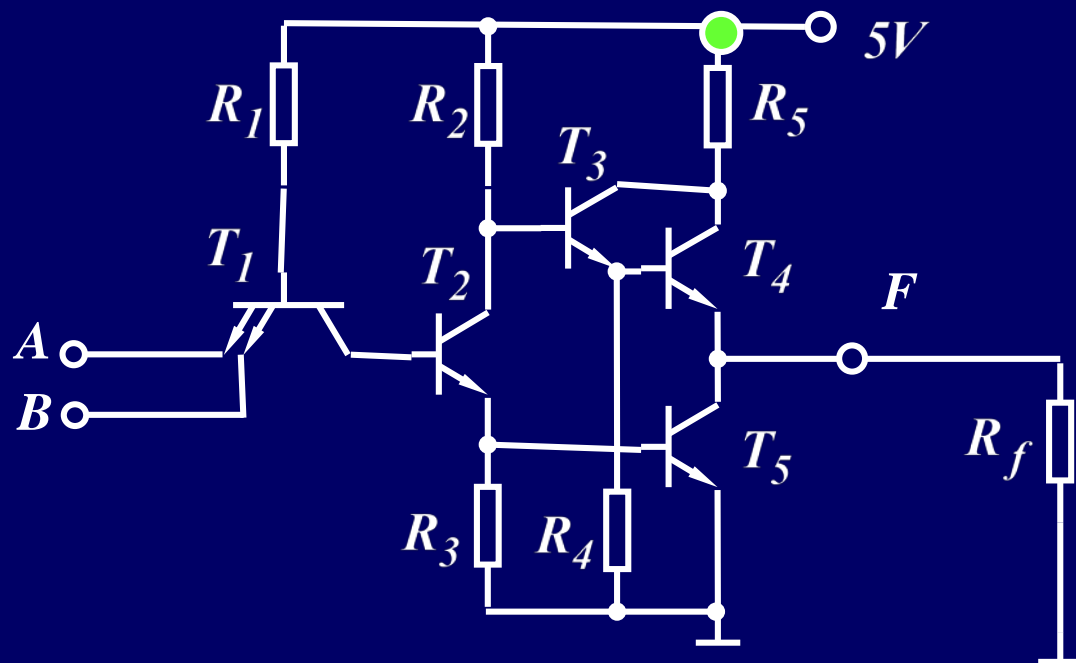
2) 输出限制问题

门电路的输出端总会有负载，最经常的是驱动下一级同类型的门电路，如两个TTL门相接。



这种对负载的限制，可以用最大灌电流的数值定量给出，也可以用可以驱动多少同类型输入门的数量来给出，称之为扇出系数，记为 N_O 。

另外，还有一类输出，即当 F 为高电平时，经 T_3 和 T_4 复合管向负载电阻输出电流，称为拉电流。在手册中会查到这个电流参数，设计时必须遵照执行。



(示意图)

$$\text{拉电流} \cong \frac{5V - V_{ce4}}{R_5 + R_f}$$

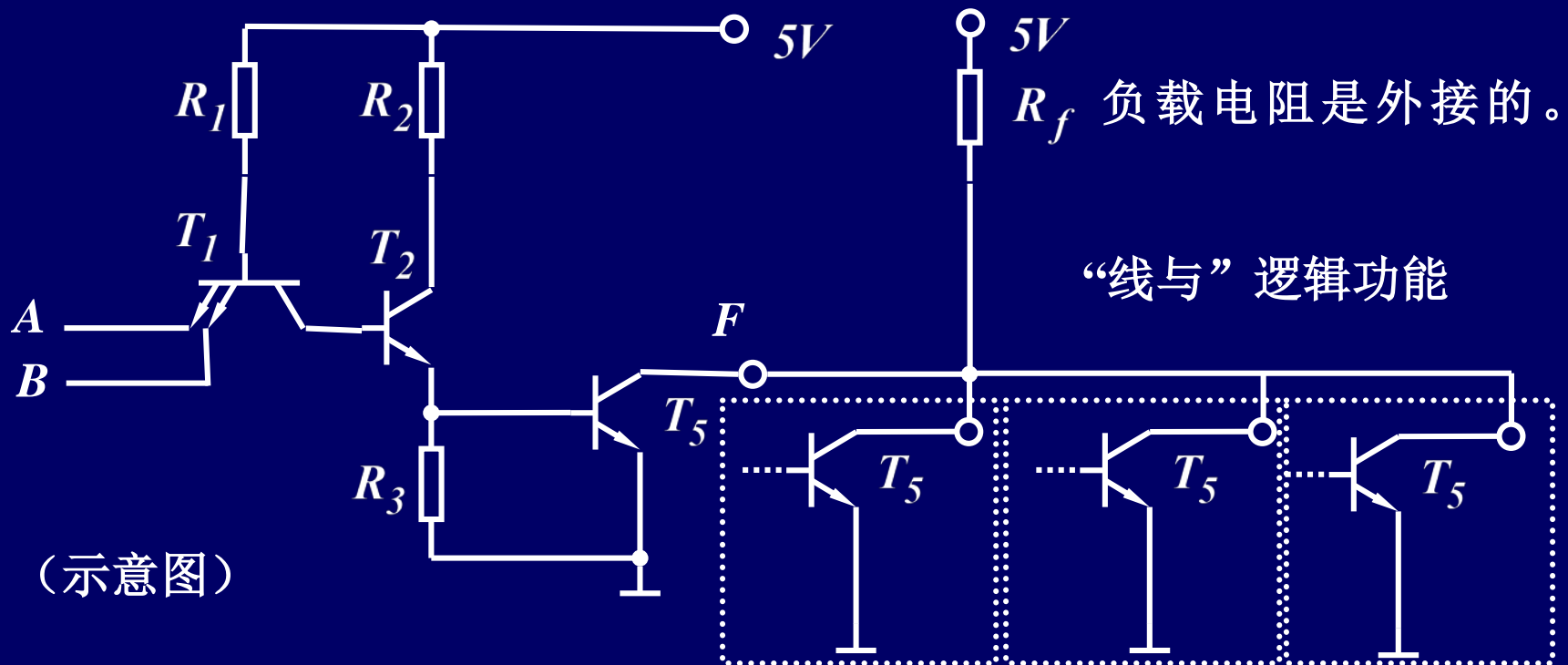
输出端 F 的电位:

$$V_F = \text{拉电流} \times R_f$$

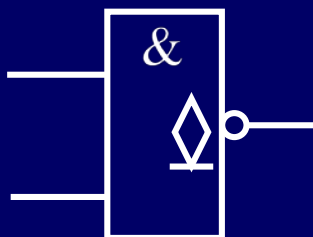
3) 集电极开路门的设计

一般数字电路的输出端是不能够连接在一起的，否则会造成逻辑混乱，甚至损坏集成电路芯片。有一种输出结构允许将输出端连接在一起，并且完成一种逻辑运算，这就是集电极开路门（OC门）。

简单讲：集电极开路门就是将前述与非门的 T_3 和 T_4 的电路取消，成为输出为集电极开路门的与非门



输出端是集电极开路门的与非门逻辑符号



集电极开路门的作用：

可以接较大的负载，即允许有较大的灌电流通过；

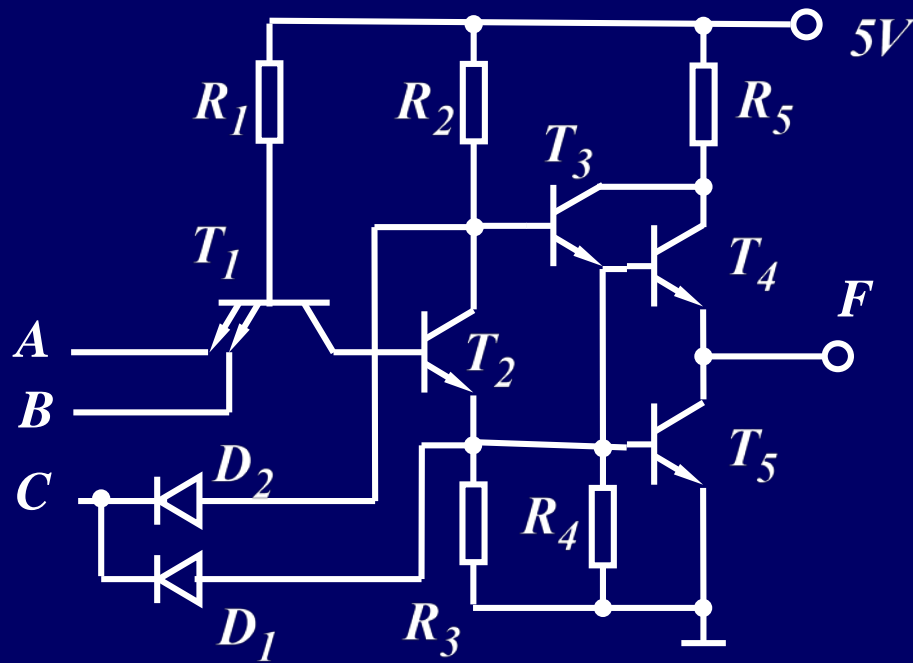
可以进行输出电压的变换；

可以多个输出连接在一起，实现线与的逻辑操作；

.....

4) 三态 (3-State) 门的设计

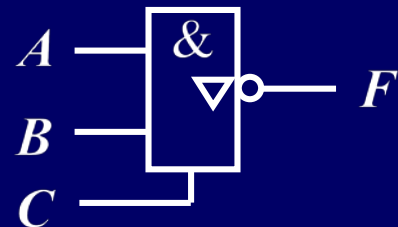
在数字电路中使用的是二进制，有“1”和“0”两种状态。可以用电位的高低表示。实际应用中，人们还使用了第三种状态：高阻状态。即在门电路的输出端，处于非“1”非“0”的全关断状态。



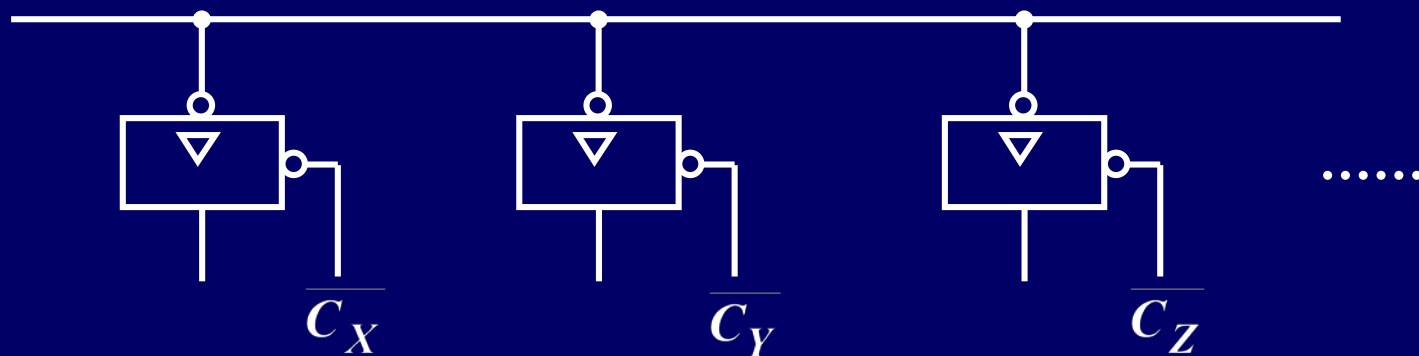
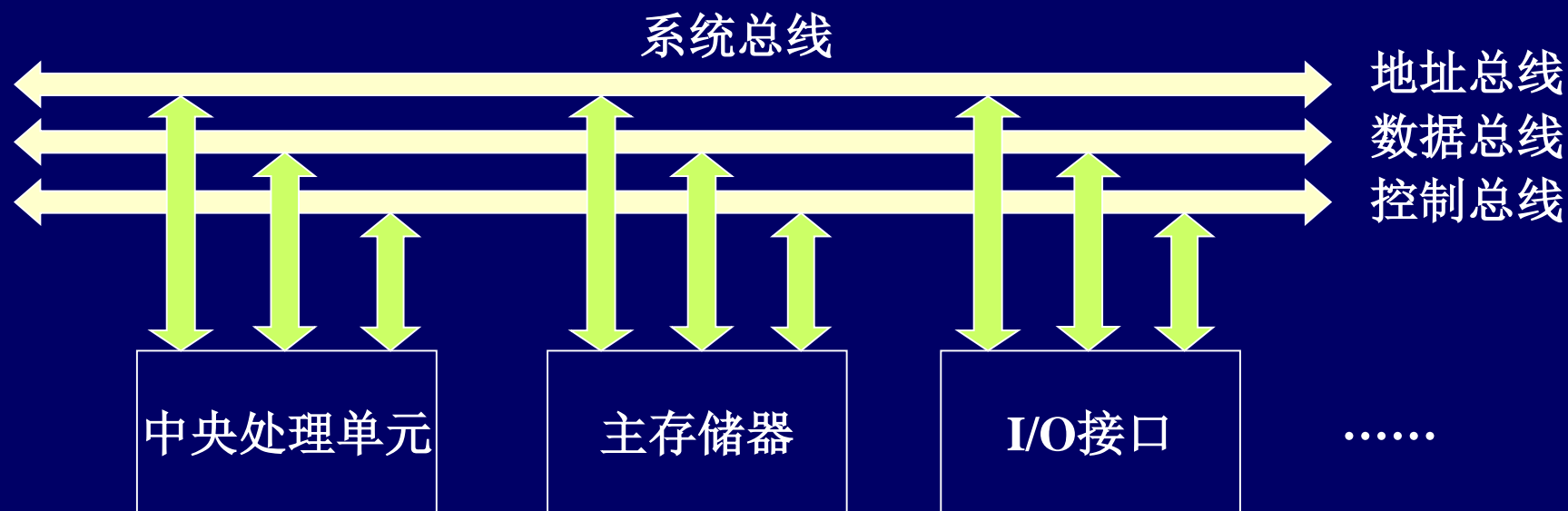
(示意图)

当C为低电位时，则 T_3 、 T_4 和 T_5 都截止，输出F点对电源和地均呈高阻状态，其电位跟随其它相连电路的电位。

与非三态门逻辑符号



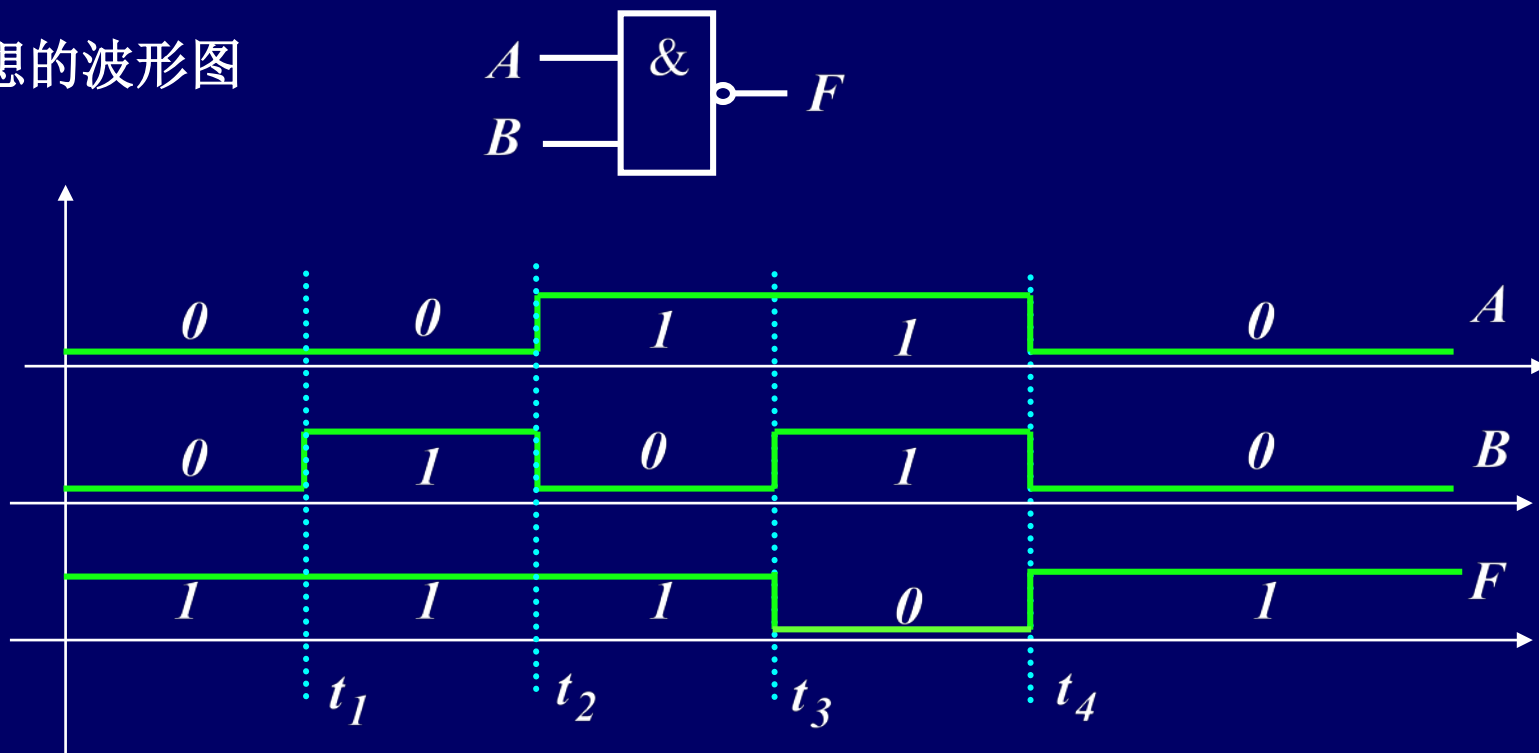
三态门的应用：



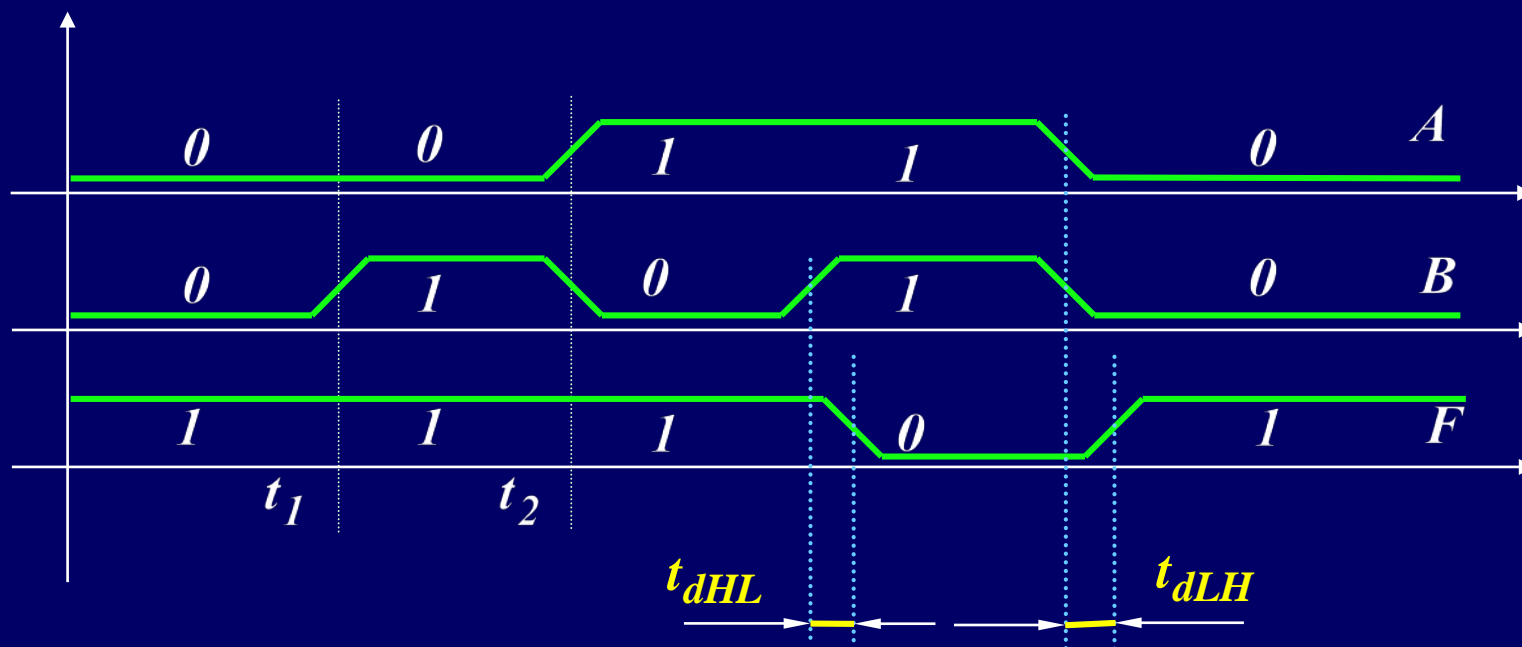
5) 逻辑电路的波形分析

逻辑信号经电子线路从输入端到输出端会有延时。若这个延时不会影响逻辑关系，则可以用理想的波形图来进行逻辑分析。若这个延时会给系统带来不稳定，则可以用示意的波形图来进行延时分析。实际中的波形图需要用仪器观察记录。

理想的波形图



有延时示意的波形图：



4.4 组合电路中的竞争（Race）与险象（Hazard）

4.4.1 竞争现象

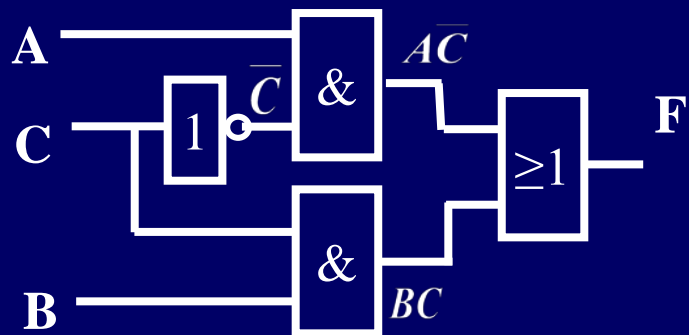
在组合电路中，同一信号或同时变化的某些信号，经过不同路径到达某一点的时间有先有后，这种现象称为竞争。

由于竞争而引起电路输出发生瞬间错误的现象称为险象（冒险）。表现为输出端出现了原设计中没有的窄脉冲，常称为“毛刺”。

竞争是逻辑电路正常工作时也会出现的现象，有竞争的地方不一定会出现险象，而险象一定是竞争的结果。

引起错误输出的竞争称为临界竞争；没产生错误输出的竞争称为非临界竞争。

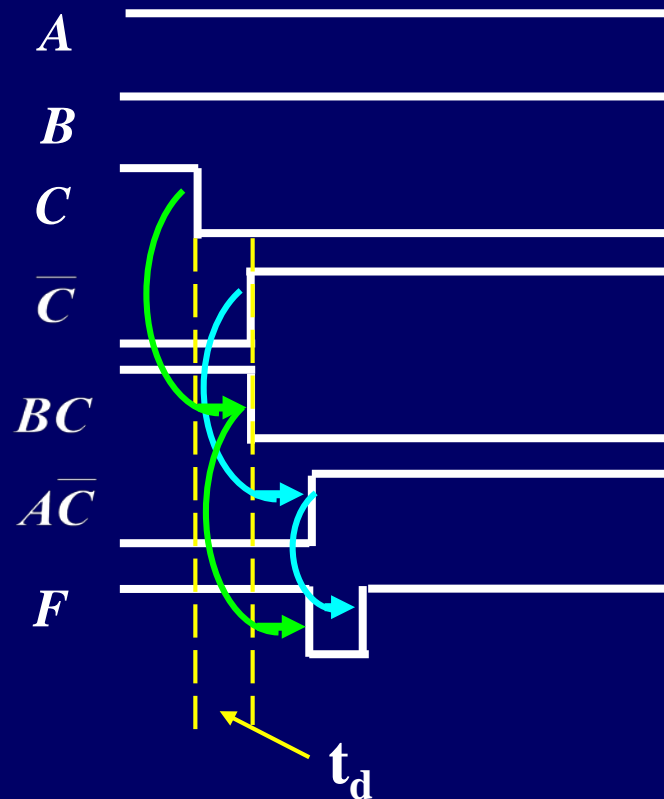
例：图示为两级与—或电路。



$$F = A\bar{C} + BC$$

$AB \backslash C$					
		00	01	11	10
C	0			1	1
	1		1	1	

设：信号变化的边沿为0，
每个门的延迟时间均为 t_d ，
 $A=B=1$ ， C 从1→0，
画波形。



出现竞争、险象的电路图及时间图

4.4.2 险象

从上面的波形图可看出，由于临界竞争的存在，在输出端得到稳定输出之前，有一个短暂的错误输出（干扰），形成险象。

险象分为静态险象和动态险象。

一. 静态险象

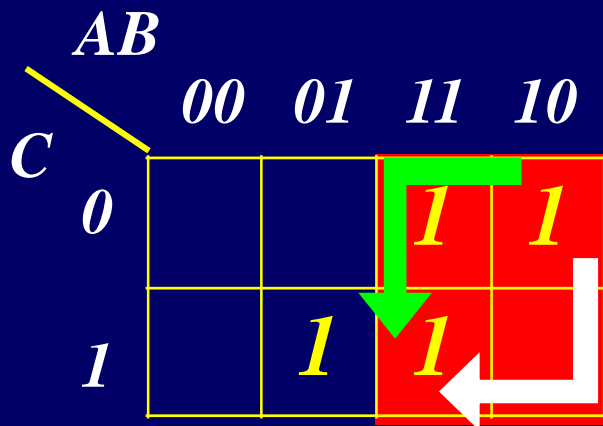
在组合电路中，若输入信号变化前、后的稳态输出值相同，但在输出端产生一个“1”或“0”的窄脉冲，这种险象称之为静态险象。

按产生条件，静态险象又分为功能险象和逻辑险象。

功能险象

- (1) K 个输入信号同时发生变化 ($K > 1$)
- (2) 变化的 K 个变量组合，对应应在卡诺图上所占有的 2^K 个方格中，必定既有1，又有0。
- (3) 输入信号变化前、后的稳态输出值相同

例：上例电路的卡诺图如下，设 $A=1$ ， BC 同时从 $00 \rightarrow 11$ 。



符合条件 (2)， B 、 C 的四种组合使 F 的取值既有1，又有0。

BC 同时从 $00 \rightarrow 11$ ，有两个变化路径

变量 ABC

组合变化顺序： $100 \rightarrow 110 \rightarrow 111$

输出 F ： $1 \rightarrow 1 \rightarrow 1$

无险象发生。

变量 ABC

组合变化顺序： $100 \rightarrow 101 \rightarrow 111$

输出 F ： $1 \rightarrow 0 \rightarrow 1$

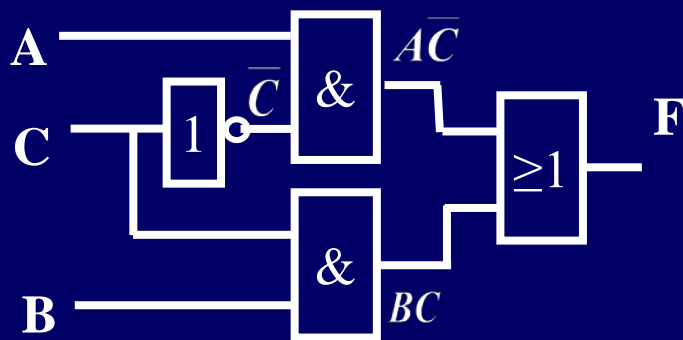
险象发生。

功能险象是逻辑函数的功能所固有的，无法通过改变设计来消除，只能通过控制输入信号的变化顺序来避免。

逻辑险象

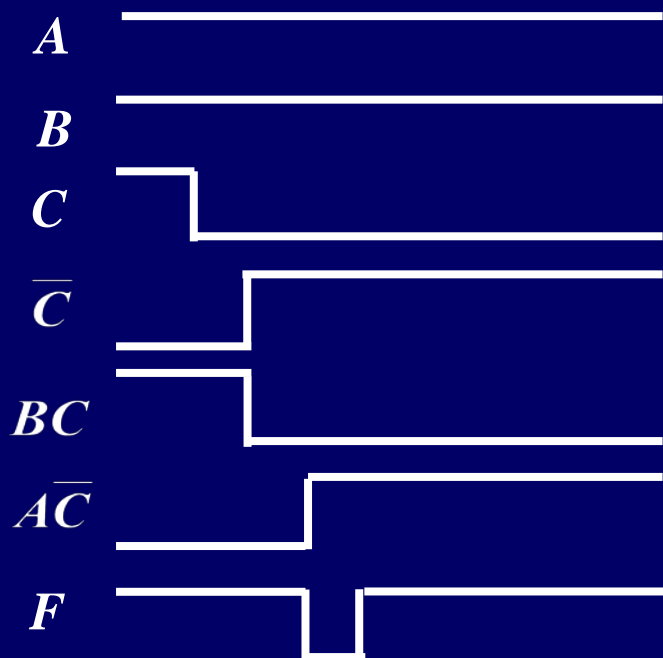
- (1) 仅有一个输入信号发生变化
- (2) 变化的变量，对应应在卡诺图上所占有的2个方格中，全为1 或全为0。
- (3) 输入信号变化前、后的稳态输出值相同

仍以前面的电路为例。当 $A=B=1$ ， C 从 $1 \rightarrow 0$ ，发生险象。

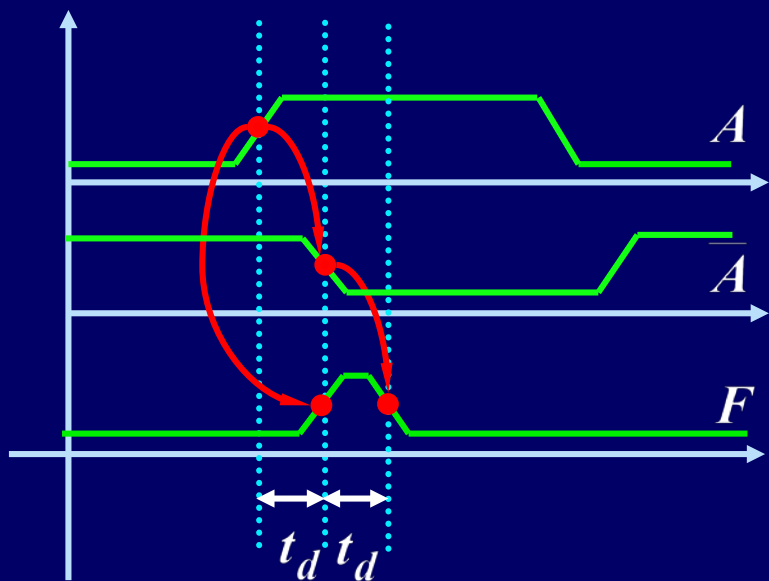
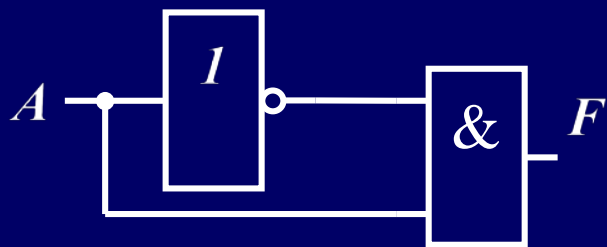


AB					
C		00	01	11	10
	0			1	1
	1		1	1	

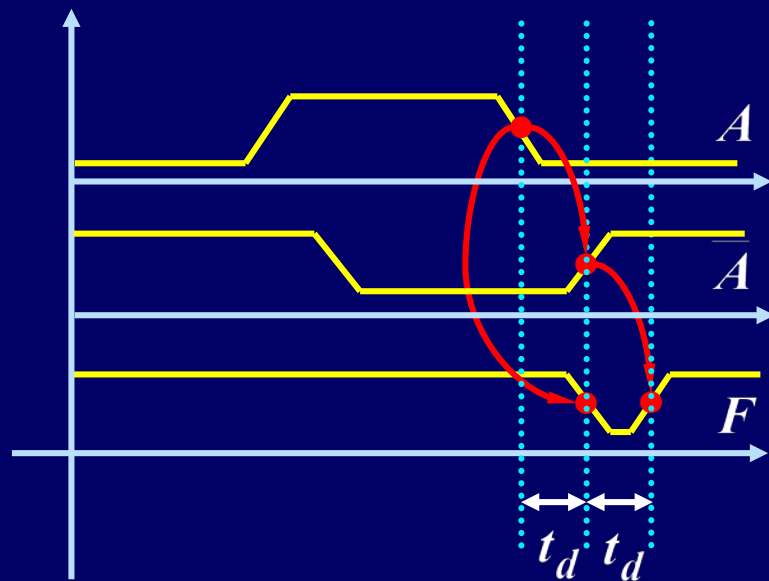
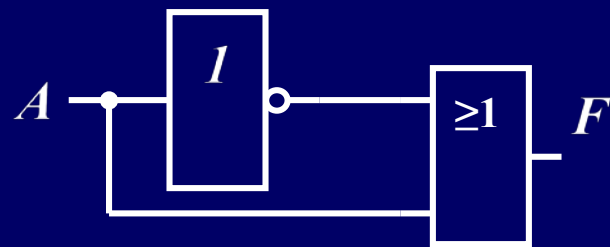
符合条件 (2)



静态险象根据稳态输出是“0”还是“1”，又分为静0险象和静1险象。



静“0”险象 (0-1-0)



静“1”险象 (1-0-1)

组合电路的逻辑险象是指由于门电路延迟而造成的短暂输出错误，或称冒险，或称暂态解。

$F = A \bullet \bar{A}$ 会造成静“0”险象，对应逻辑运算是与操作。当用最大项（或与）表达式实现电路时，有产生静“0”险象的可能。

例如： $G = (A + B)(\bar{A} + C)$ 当 $B = C = 0$ 时

$$= A \bullet \bar{A}$$

$F = A + \bar{A}$ 会造成静“1”险象，对应逻辑运算是或操作。当用最小项（与或）表达式实现电路时，有产生静“1”险象的可能。

例如： $P = AB + \bar{A}C$ 当 $B = C = 1$ 时

$$= A + \bar{A}$$

二. 动态险象

动态险象是由静态险象引起的，也是竞争的结果。

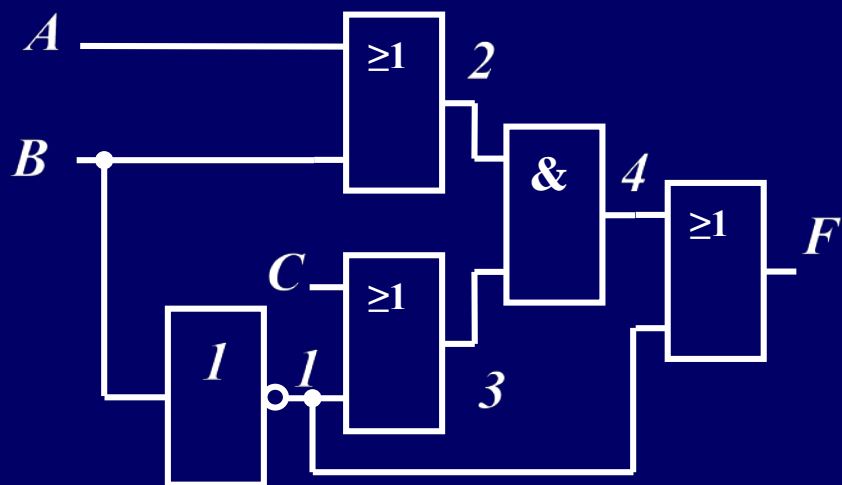
在组合逻辑电路中，若输入信号变化前后的稳态输出值不同，且在输出稳定之前，输出端经过暂时的01或10状态（即输出出现 $1 \rightarrow 0 \rightarrow 1 \rightarrow 0$ 或 $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ ），这种险象称之为动态险象。

在两级与或电路和两级或与电路中，只有可能发生静态险象，不会发生动态险象。动态险象只有可能发生在出现了静态险象的两级以上的电路中。

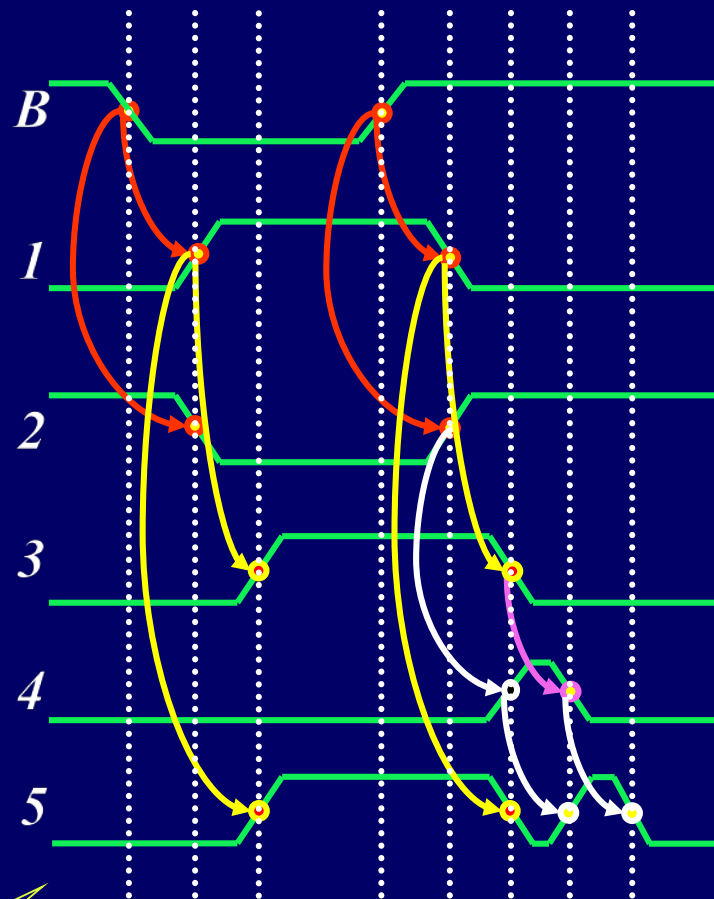
换言之，输入变化的第一次会合只可能产生静态险象，只有产生了静态险象，输入变化的再一次会合才有可能产生动态险象。

结论：如果消除了静态险象，则动态险象就不会出现。

将有静态险象的电路组合在一起，可能产生“0-1-0-1”或“1-0-1-0”的动态险象。



当A=C=0时，此电路会由静态险象产生动态险象。



B从1→0，
无险象。

B从0→1，1-0-1-0险象。

4.4.3 险象的判别

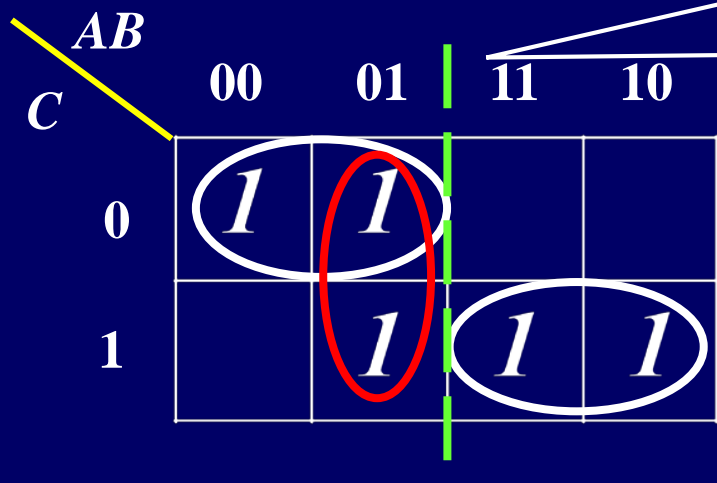
一. 卡诺图判别法

1. 用卡诺图判别两级与或电路中的静 1 险象

静 1 险象只可能出现在两级与或电路和两级与非—与非电路中。

在卡诺图中，如果两个圈“1”的卡诺圈存在着部分相切，且这个相切部分又没有被其它的圈“1”卡诺圈包含，则该电路必然存在险象。

$$F = \overline{A}\overline{C} + \overline{A}B + AC$$



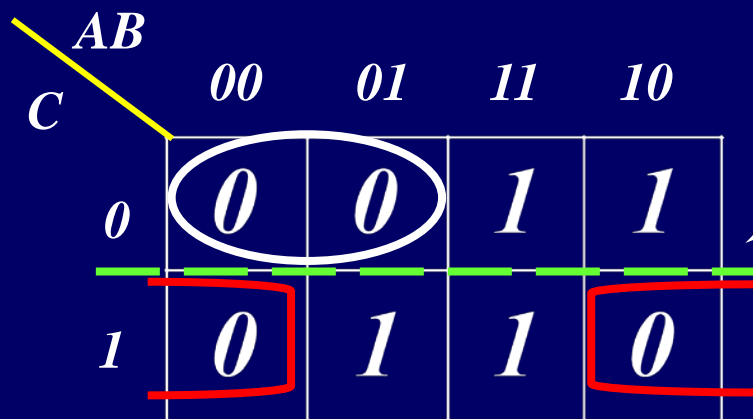
相切处是哪个变量的交替界面，就是该变量由1→0，引起险象的发生。

2. 用卡诺图判别两级或与电路中的静 0 险象

静 0 险象只可能出现在两级或与电路和两级或非—或非电路中。

在卡诺图中，如果两个圈“0”的卡诺圈存在着部分相切，且这个相切部分又没有被其它的圈“0”卡诺圈包含，则该电路必然存在险象。

$$F = (A + C)(B + \bar{C})$$



相切处是哪个变量的交替界面，就是该变量由 0→1，引起险象发生。

二. 逻辑表达式判别法

$$F = A + \overline{A}$$

静1险象 (如A从1 → 0)

$$F = A \bullet \overline{A}$$

静0险象 (如A从0 → 1)

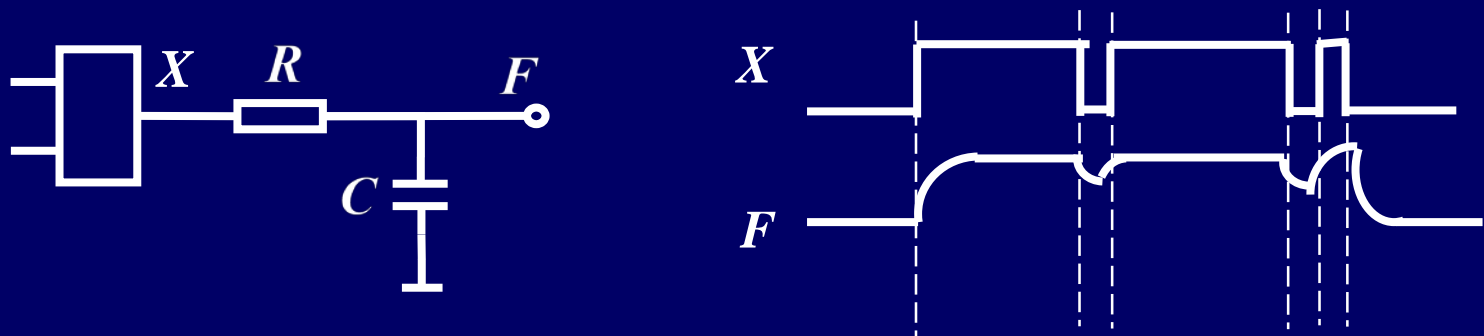
$$F = \left\{ \begin{array}{l} A \bullet (A + \overline{A}) \\ \overline{A} \bullet (A + \overline{A}) \\ A + A \bullet \overline{A} \\ \overline{A} + A \bullet \overline{A} \end{array} \right\}$$

动态险象

例: $F = (A + B + \overline{C})(C + D)(\overline{B} + \overline{D})$

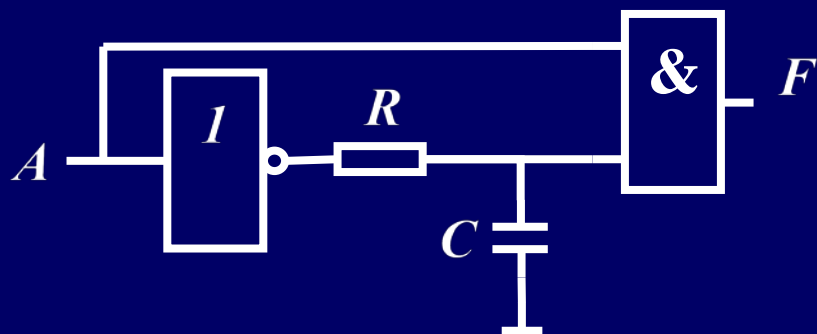
4.4.4 险象的消除

(1) 在输出端连接阻容惯性（低通）环节以减弱干扰。

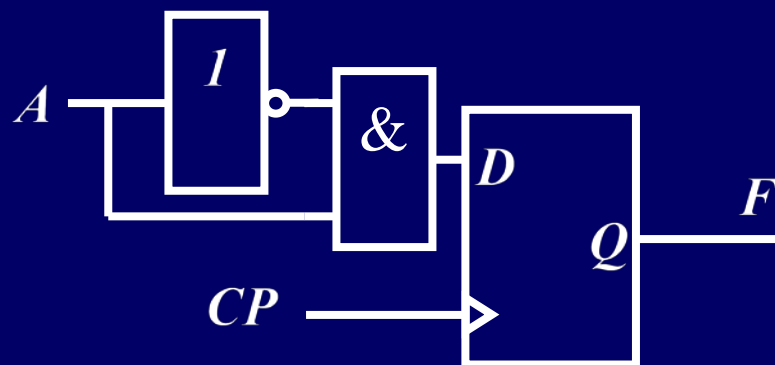
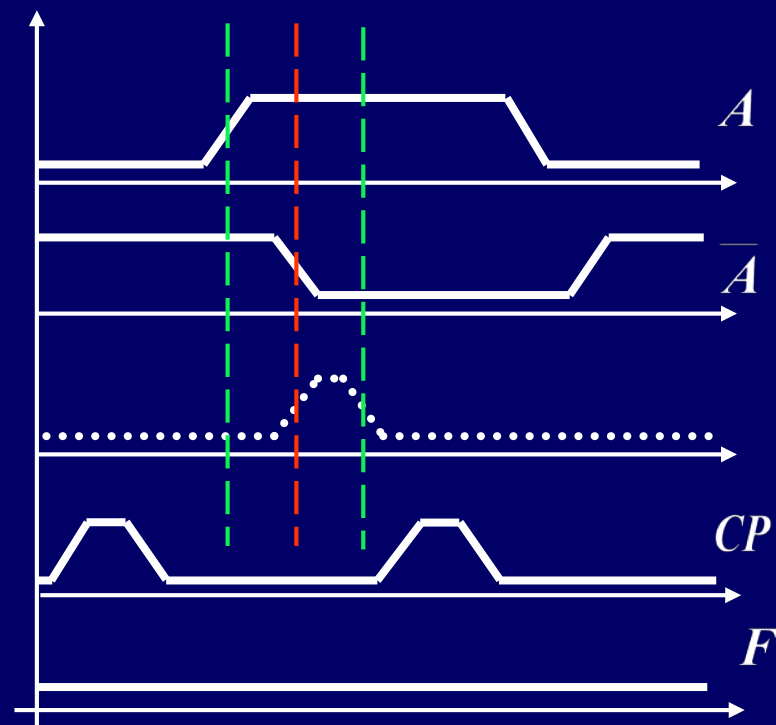
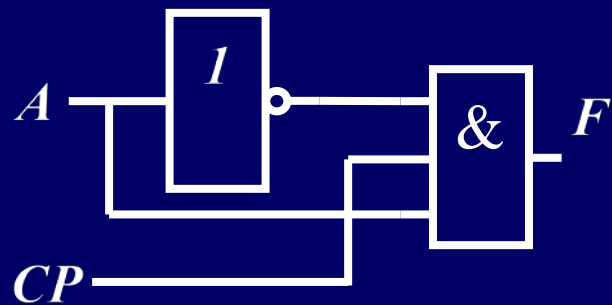


阻容惯性环节会使输出波形变坏，仅适用于低速系统。

险象可以被利用，增加阻容惯性环节，加大延迟，形成特定时刻的微分脉冲（可作为选通脉冲）



(2) 加选通脉冲



(3) 加冗余项

例: $F = AB + \overline{A}C$, 当 $B=C=1$ 时, 有静1险象。

$\backslash AB$					
C		00	01	11	10
		0	0	1	0
0	0	0	0	1	0
1	1	1	1	1	0

$$F = AB + \overline{A}C + BC$$

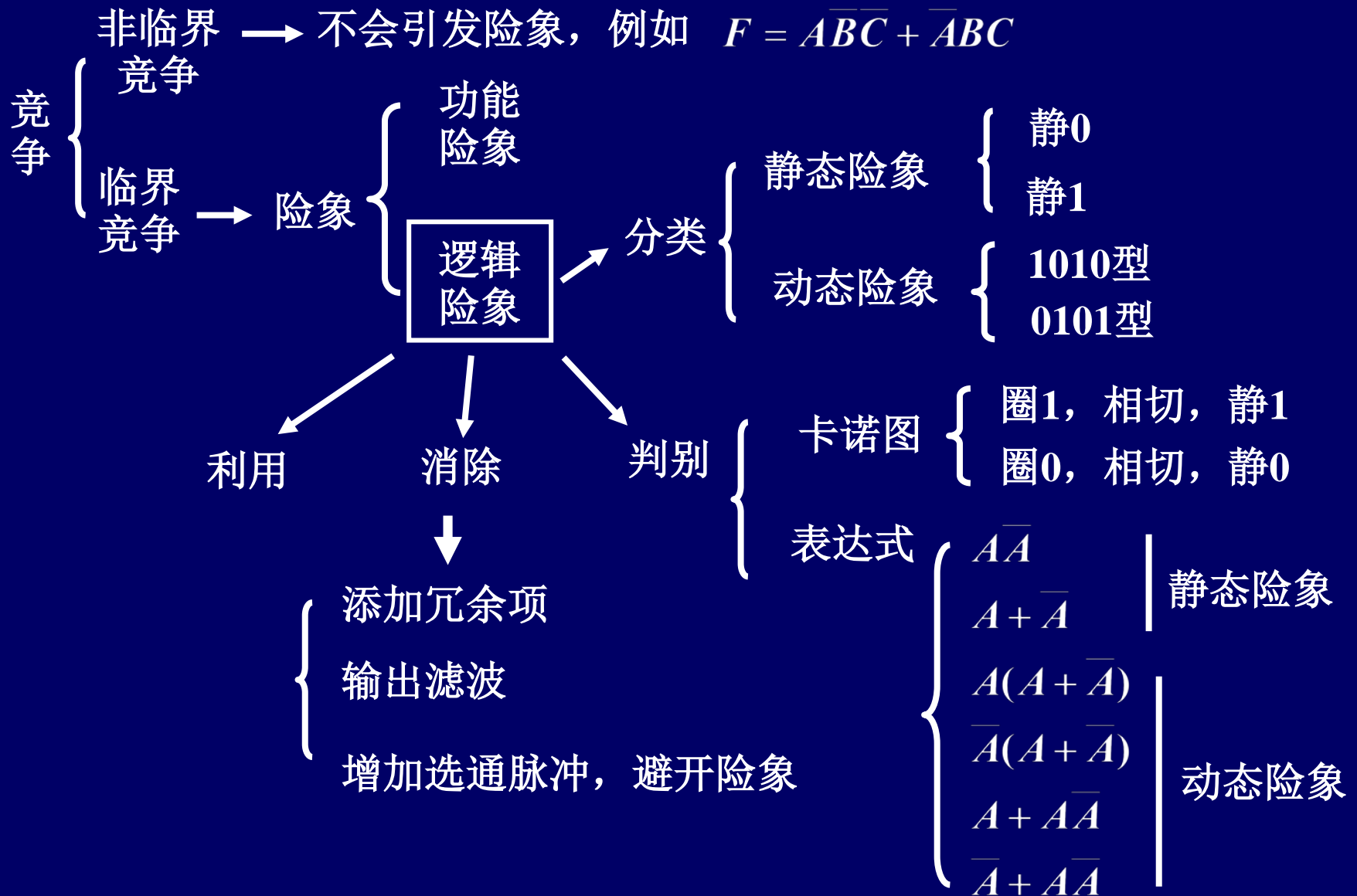
例: $F = (A + C)(\bar{A} + B)$, 当 $B=C=0$ 时, 有静0险象。

$\begin{array}{c} \diagdown \\ AB \\ C \end{array}$		00	01	11	10
0	0	0	0	1	0
1	1	1	1	1	0

$$F = (A + C)(\bar{A} + B)(B + C)$$

显然, 利用冗余项消除逻辑险象的方法是以增加器件为代价的。

竞争与险象小结



作业9:

4.24 (1)