

数字 3 代表第 3 组，根据实际组号双击后修改

根据实验序号修改

数字逻辑实验报告

实验 1

学 期	2022-2023 学年第 1 学期		实验日期	学生填写	
学 院	学生填写		专 业	学生填写	
班 级	学生填写	学 号	学生填写	姓 名	学生填写
组 号	学生填写	学 号	学生填写	姓 名	学生填写
评 阅 内 容 此栏内容由教师填写					
任务一	任务二	总结	格式	成 绩	
题 目	实验 1: XXXXXX (根据具体实验修改)				
<div>一、实验目的</div> <div>(参考实验指导书撰写)</div> <div>1. 掌握计数器的工作原理</div> <div>2. 掌握利用集成器件设计计数器的方法</div> <div>二、任务一设计与实现</div> <div>1. 要求</div> <div>(参考实验指导书撰写)</div> <div>任务: 设计一个十进制计数器</div> <div>要求:</div> <div>(1) 输入端包括: 时钟端、清零端、计数控制端。</div> <div>输出端包括: 4 位计数输出端和 1 位进位输出端。</div> <div>(2) 课前编写好程序。</div> <div>(3) Quartus II 13.0 软件进行编辑、编译、仿真。</div> <div>(4) 根据实验平台进行引脚分配并下载演示实验结果。</div> <div>2. 设计思路</div> <div>(根据要求先用文字进行描述如何实现该电路, 并给出电路的总体框图。)</div> <div>图 1 为十进制计数器原理框图, 本次实验共涉及三个模块。其中输入信号可由拨动开关提供, 显示模块可以由直接由 LED 显示或通过七段译码电路送数码管显示, 计数器模块包括计数逻辑和清零逻辑, 其中计数逻辑完成计数器加 1 的功能, 清零逻辑在计数到 9 时输出清零信号, 在下一个时钟到来时完成计数器清零。</div> <div>报告部分, 尽量格式、字体统一, 减少不要的空行; 各部分要有相应的文字描述, 不能只有图没有文字。</div>					

数字逻辑实验报告

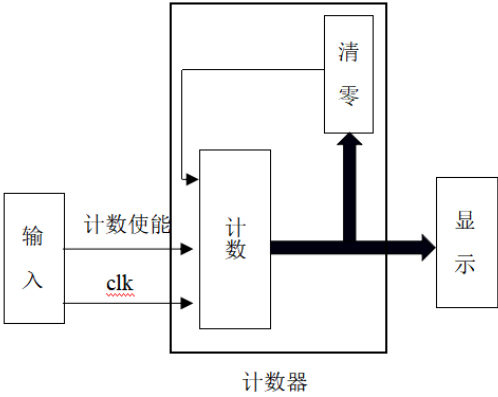


图 1 十进制计数器原理框图

3. 详细设计

（根据总体框图进行设计，要有文字性描述并给出电路原理图或代码。如涉及到有关真值表、化简、状态图等内容，需要列出。）

表 1 74163 功能表

输入控制端					功能
CLR _N	LD _N	EN _P	EN _T	CLK	
0	X	X	X	↑	清零
1	0	X	X	↑	置数（接收输入端 ABCD 数据）
1	1	0	X	X	保持
1	1	X	0	X	保持
1	1	1	1	↑	计数器加 1

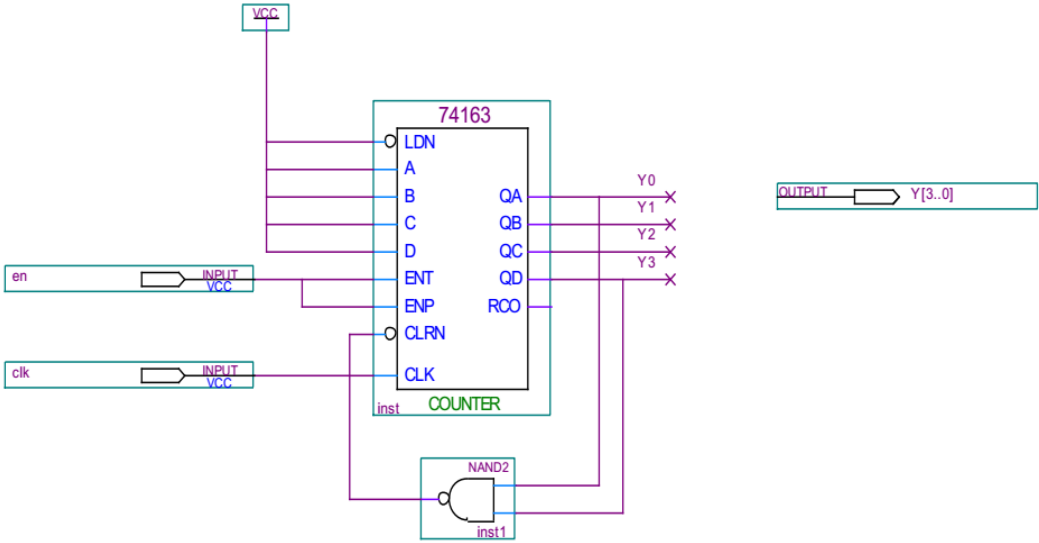


图 2 用 74163 同步清零功能实现的十进制加法计数器

数字逻辑实验报告

4. 仿真验证

对于波形需有文字性描述或解释，说明电路设计的正确性；波形图上测试向量尽量完备，要能看清数据，且在图上能够按测试功能做出标识。

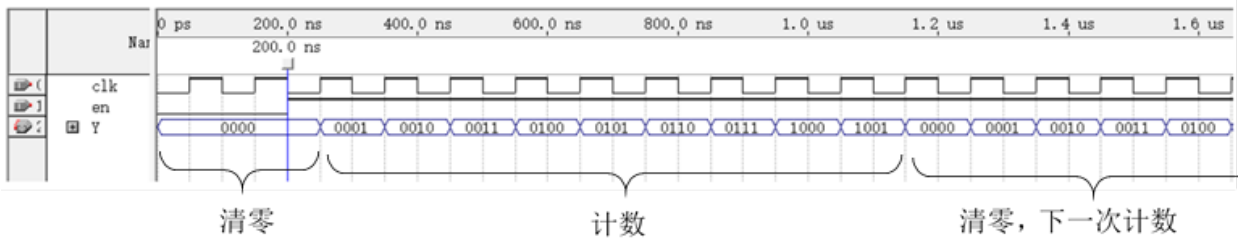


图 3 十进制计数器仿真波形

从仿真波形图上可以看到，en 为低电平时计数器不计数，en 为高电平时进入计数状态，clk 每一个上升沿，计数器加 1；当计数器从 0000 计数到 1001 时，计数器清 0，从波形上可以验证本电路设计符合要求。

5. 引脚分配

说明输入输出引脚分别连接到实验台上的哪些部件，如开关 SW1，LED1、数码管等。

输入端 en 接拨动开关。

输入端的时钟信号 clk，选择 EXTEND-MODULE1 中 FPGA_EA2 上的 PIN_P20；

4 个输出连接红色信号指示灯 D4~D0。

具体引脚分配见表 2。

表 2 十进制计数器所选平台端口及对应引脚编号

平台端口	SW1	EA2	LED1	LED2	LED3	LED4
引脚号	PIN_N18	PIN_P20	PIN_U12	PIN_V12	PIN_V15	PIN_W13
输出端名称	en	clk	y[3]	y[2]	y[1]	y[0]

参考表 2，在 Quartus II 中进行引脚分配并锁定，如图 4 所示

	From	To	Assignment Name	Value	Enabled
1		clk	Location	PIN_P20	Yes
2		en	Location	PIN_N18	Yes
3		Y	Location		Yes
4		Y[0]	Location	PIN_W13	Yes
5		Y[1]	Location	PIN_V15	Yes
6		Y[2]	Location	PIN_V12	Yes
7		Y[3]	Location	PIN_U12	Yes
8	<<new>>	<<new>>	<<new>>		

图 4 引脚分配图

6. 实验现象

(根据输入，记录下观察到的现象；也可用表的形式将现象记录下来)

数字逻辑实验报告

三、任务二设计与实现

1. 要求
2. 设计思路
3. 详细设计
4. 仿真验证
5. 引脚分配
6. 实验现象

四、总结

（本次实验的收获，主要是理论或知识上的收获，可以是电路设计、硬件调试中遇到的一些问题，自己是如何解决的。不用写感想）

如电路设计时的问题

1、语法错误

✖ 10170 Verilog HDL syntax error at vote4_1.v(2) near text "input"; expecting ";"

Module 最后一行需要添加“;”。

10170 Verilog HDL syntax error at vote4_1.v(14) near text "endmodule"; expecting "end"

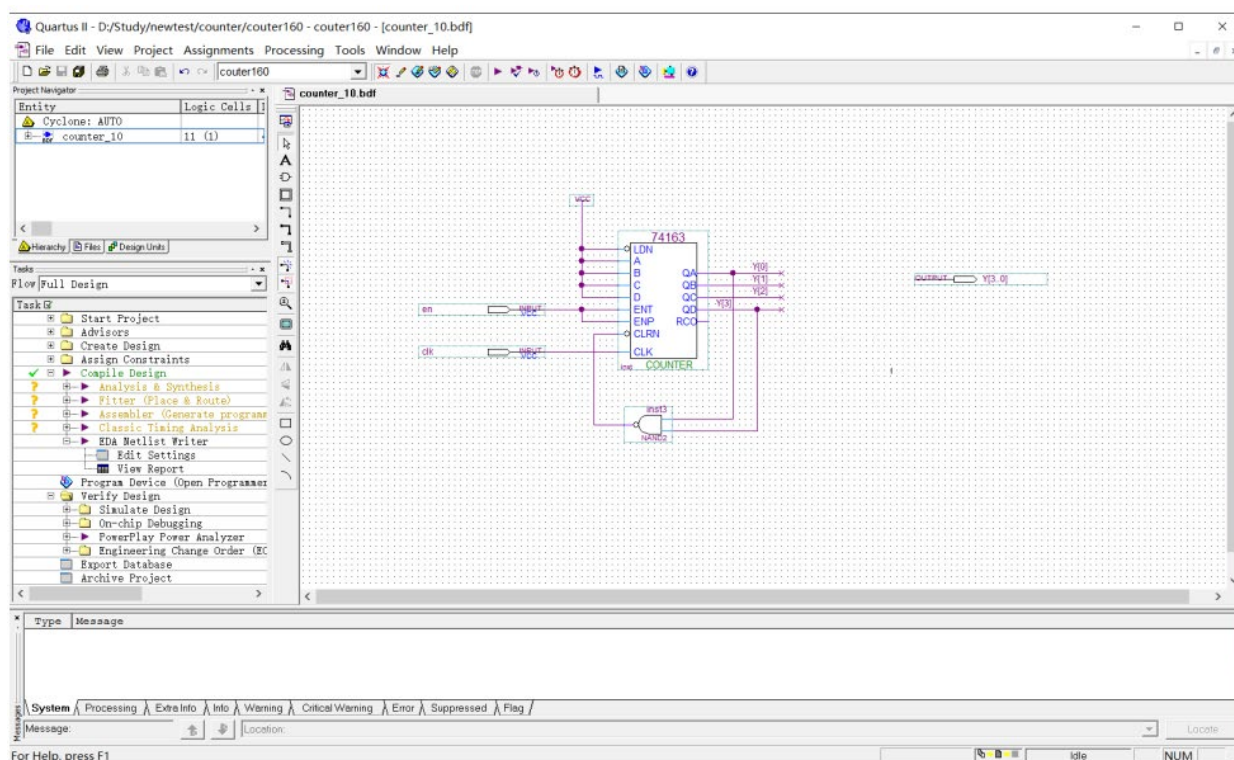
“begin”和“end”需要成对出现，丢掉了一个 end。

.....

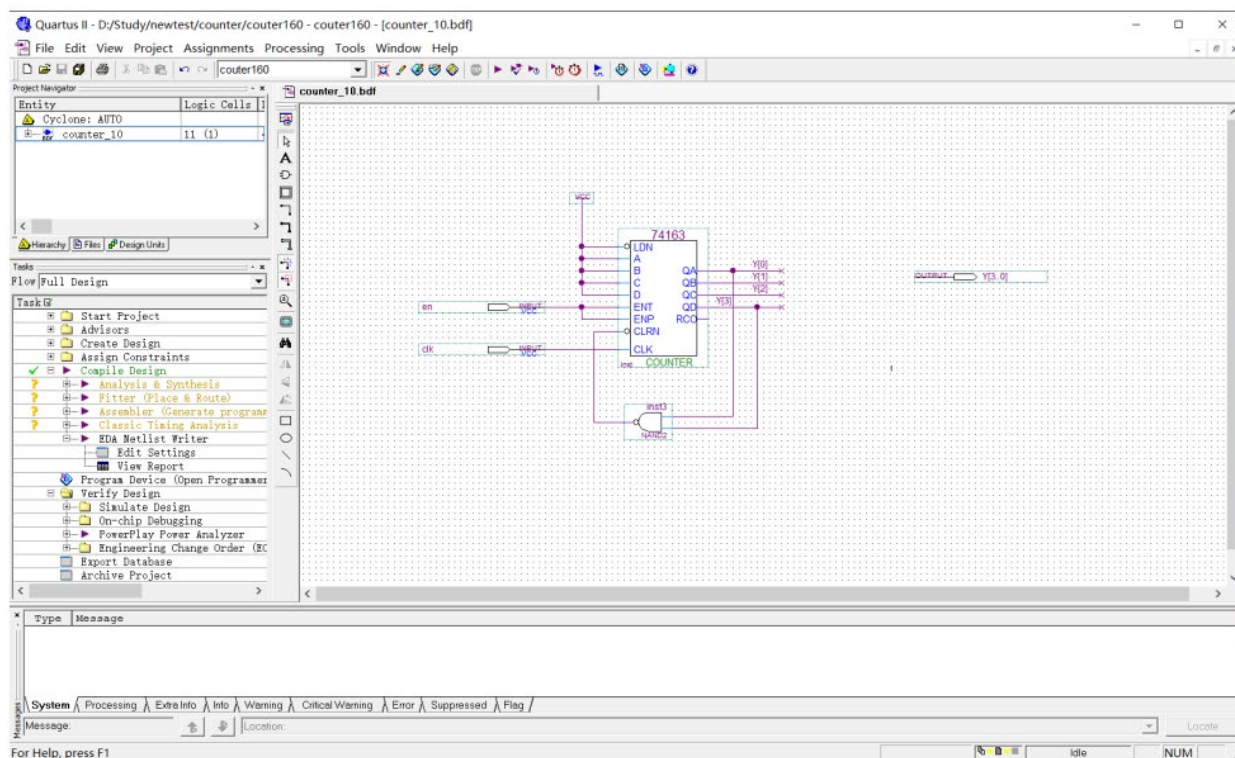
.....

数字逻辑实验报告

(原理图和仿真图全屏截图)



附图 1：任务一原理图或程序代码



附图 2：任务二原理图或程序代码