



# 数字逻辑实验报告

实验 1

学 期	2022-2023 学年第 1 学期		实验日期	2022/10/21	
学 院	信息学院		专 业	计算机科学与技术（实验班）	
班 级	210710	学 号	21071003	姓 名	高立扬
组 号	43	学 号	21071004	姓 名	石昊阳
评 阅 内 容					
任务一	任务二	总结	格式	成 绩	
题 目	实验 1: 组合逻辑电路设计				
<p>一、实验目的</p> <p>通过本实验进一步了解典型组合逻辑电路的功能和特点,掌握使用硬件描述语言设计典型组合逻辑电路的方法,巩固和加深课程基本理论知识的理解。</p> <p>1.通过数据选择器、编码器、译码器等典型组合逻辑电路的设计与测试,掌握典型组合逻辑电路的工作原理及基本分析和设计方法。</p> <p>2.学会使用 Verilog HDL 进行组合逻辑电路设计。</p> <p>3.学习使用 EDA 软件进行电路设计、编译和方针。</p> <p>4.学习实验平台的使用及下载电路的整个过程。</p> <p>二、任务一设计与实现</p> <p>1. 要求</p> <p>（1）输入一个四位二进制数,该数为 0~9 的 BCD 码,经译码后产生对应的字形码,可使七段数码管上显示出对应的十进制数,即数码管上显示出 0~9.具备使能端控制信号,使能端有效时按上述要求显示字形码,无效时数码管不显示。</p> <p>（2）用 Verilog 描述该电路,编码规范参考附录 B</p> <p>（3）使用 QuartusII13.0 软件进行编辑、编译、仿真</p> <p>（4）根据综合实验平台进行引脚分配并下载演示实验结果</p> <p>2. 设计思路</p> <p>如图 1 所示,本实验的设计思路如下:电路设计为低使能,输入一段 8421BCD 码,通过电路内部逻辑,根据书上给的数字和数字管的对应关系,输出并使数码管显示出相应的数字。同时电路还会输出 sel 至数码管,当 sel 为 0,数码管才会亮起。</p>					

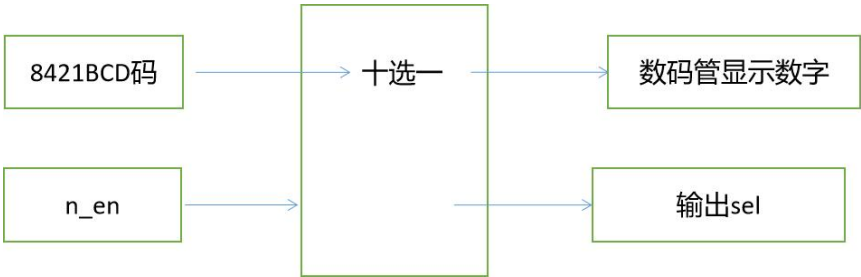


图 1.七段数字显示译码器思路

3. 详细设计

表 1.译码器功能表

使能	输入	输出	显示
n_en	in	out	
0	0000	111_1110	0
0	0001	011_0000	1
0	0010	110_1101	2
0	0011	111_1001	3
0	0100	011_0011	4
0	0101	101_1011	5
0	0110	101_1111	6
0	0111	111_0000	7
0	1000	111_1111	8
0	1001	111_1011	9
1	dddd	000_0000	全灭
0	1010~1111	000_0000	全灭

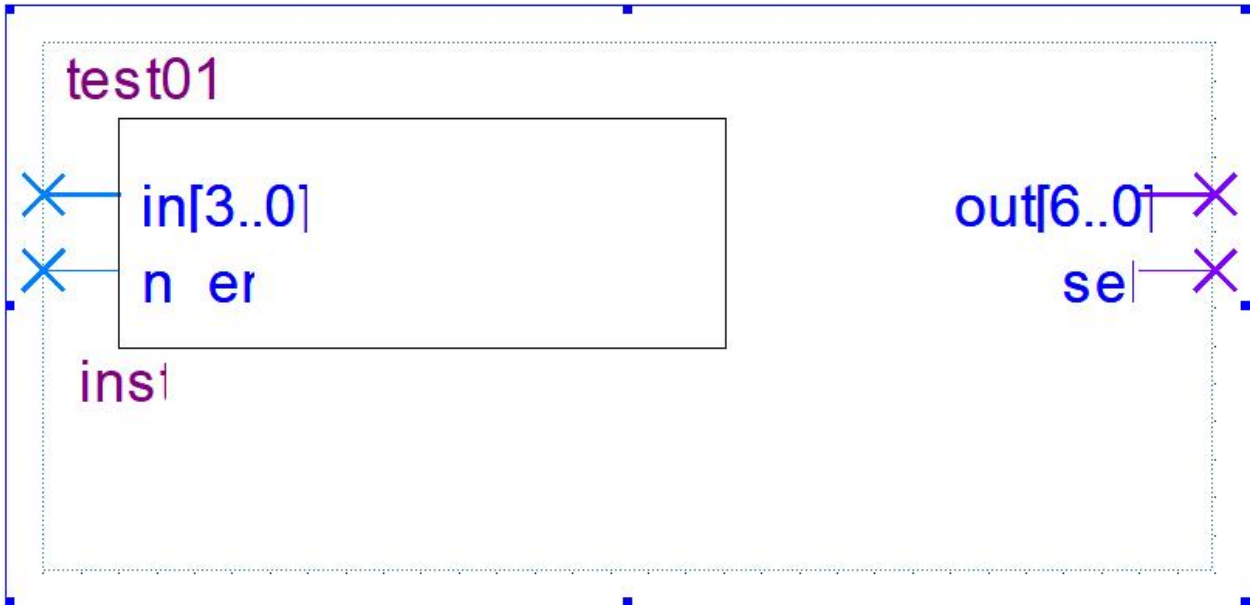


图 2.功能实现的七段数字显示译码器

4. 仿真验证

数字逻辑实验报告

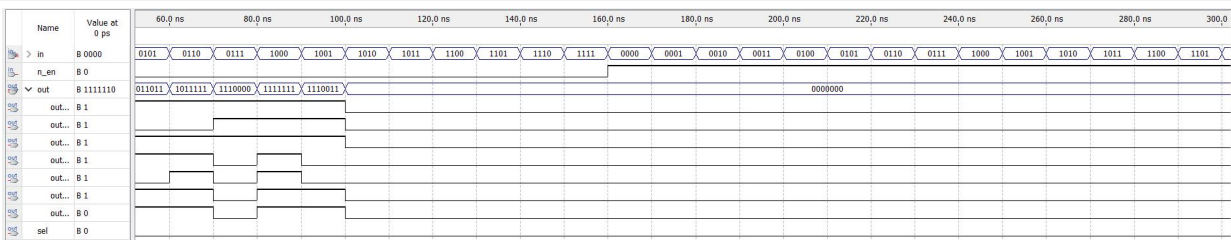


图 3.仿真验证

如图 3。输入为 0000~1001 的时候，输出的数字和预期相同，当输入为 1010~1111 的时候，灯全灭。当 n\_en 高电平的时候，输出均为我们编程的时候设置的全灭。

5. 引脚分配

引脚分配见下表

表 2.引脚分配表

端口名称	输入端					输出端							
	待显示数据				使能端	数码管段选信号							位选
	in[3]	in[2]	in[1]	in[0]	n_en	out[6]	out[5]	out[4]	out[3]	out[2]	out[1]	out[0]	del
引脚编号	V13	AA15	M20	N18	D6	AA20	W20	R21	P21	N21	N20	M21	V16
平台端口	SW4	SW3	SW2	SW1	SW9	LA	LB	LC	LD	LE	LF	LG	DS8

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
in[3]	Input	PIN_V13	4	B4_N1	PIN_V13	2.5 V (default)		8mA (default)		
in[2]	Input	PIN_AA15	4	B4_N1	PIN_AA15	2.5 V (default)		8mA (default)		
in[1]	Input	PIN_M20	5	B5_N0	PIN_M20	2.5 V (default)		8mA (default)		
in[0]	Input	PIN_N18	5	B5_N0	PIN_N18	2.5 V (default)		8mA (default)		
n_en	Input	PIN_D6	8	B8_N1	PIN_D6	2.5 V (default)		8mA (default)		
out[6]	Output	PIN_AA20	4	B4_N0	PIN_AA20	2.5 V (default)		8mA (default)	2 (default)	
out[5]	Output	PIN_W20	5	B5_N1	PIN_W20	2.5 V (default)		8mA (default)	2 (default)	
out[4]	Output	PIN_R21	5	B5_N0	PIN_R21	2.5 V (default)		8mA (default)	2 (default)	
out[3]	Output	PIN_P21	5	B5_N0	PIN_P21	2.5 V (default)		8mA (default)	2 (default)	
out[2]	Output	PIN_N21	5	B5_N0	PIN_N21	2.5 V (default)		8mA (default)	2 (default)	
out[1]	Output	PIN_N20	5	B5_N0	PIN_N20	2.5 V (default)		8mA (default)	2 (default)	
out[0]	Output	PIN_M21	5	B5_N0	PIN_M21	2.5 V (default)		8mA (default)	2 (default)	
sel	Output	PIN_V16	4	B4_N0	PIN_V16	2.5 V (default)		8mA (default)	2 (default)	

图 4.quartus 引脚分配图

6. 实验现象

首先使能端置 1，观察到数码管全灭；使能端置 0，in 从 0000 依次拨到 1001，看到数码管显示的数字分别是 0 到 9，符合预期；in 从 1010 拨弄到 1111，看到了怪异的图形，根据波形图也可以找到怪异图形的对应关系，比如 1010 对应一个左右颠倒的“9”。本次实验符合所有输出预期。

三、任务二设计与实现

1. 要求

用 Verilog 实现一个 4 位八选一数据选择器，仿真验证通过后将该电路封装成电路符号。编码规范参考附录 B。控制数据选择端，将个人学号按 8421 BCD 码依次输出到 LED 灯上。

# 数字逻辑实验报告

2. 设计思路

本实验的设计思路如下：电路设计为低使能，输入自己的学号，其中每一位学号用四位的 8421bcd 码表示。再用一个三位的 sel 输入选择输出学号的某一位。考虑到实验台上拨动开关的个数限制，只用输入其中的两位学号即可，其他位学号已经通过 parameter 的形式固定。

3. 详细设计

表 3.选择器功能表

使能	输入			输出
n_en	sel	in1	in2	out
0	000	0000	dddd	0000
		0001	dddd	0001
		0010	dddd	0010
		0011	dddd	0011
		0100	dddd	0100
		0101	dddd	0101
		0110	dddd	0110
		0111	dddd	0111
		1000	dddd	1000
		1001	dddd	1001
		1010	dddd	1010
		1011	dddd	1011
		1100	dddd	1100
		1101	dddd	1101
		1110	dddd	1110
		1111	dddd	1111
	001	dddd	0000	0000
		dddd	0001	0001
		dddd	0010	0010
		dddd	0011	0011
		dddd	0100	0100
		dddd	0101	0101
		dddd	0110	0110
		dddd	0111	0111
		dddd	1000	1000
		dddd	1001	1001
		dddd	1010	1010
		dddd	1011	1011
		dddd	1100	1100
		dddd	1101	1101
		dddd	1110	1110
		dddd	1111	1111
	010	dddd	dddd	1111
	011	dddd	dddd	1110

	100	dddd	dddd	1000
	101	dddd	dddd	1111
	110	dddd	dddd	1110
	111	dddd	dddd	1101
1	ddd	dddd	dddd	0000

4. 仿真验证

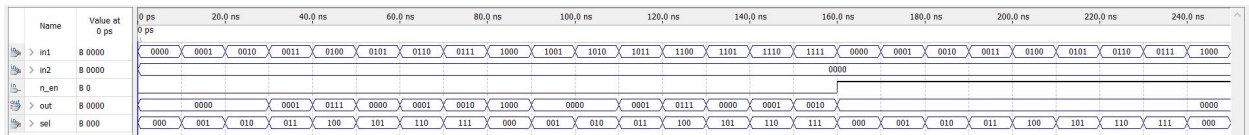


图 6.仿真图

in8~in3 都是 parameter 变量，是 210710，in1 和 in2 是手动输入的学号。由于是低有效，可见 n\_en 为 1 的时候，输出统一为 0000。否则，电路将根据 sel 选择对应的 in 进行输出，如 in1 为 0000，sel 为 000，输出为 0000，以此类推即可。图中只给出了 in2 为 0000 的情况，其他情况以此类推。经验证，均符合预期。

5. 引脚分配

引脚分配见下表

表 4.引脚分配表

端口名称	输入端											
	待显示数据											
	in1[3]	in1[2]	in1[1]	in1[0]	in2[3]	in2[2]	in2[1]	in2[0]	sel[2]	sel[1]	sel[0]	n_en
引脚编号	V13	AA15	M20	N18	F8	E7	C8	D6	A3	F7	E6	AB17
平台端口	SW4	SW3	SW2	SW1	SW8	SW7	SW6	SW5	SW16	SW15	SW14	SW9
端口名称	输出端											
	out[3]	out[2]				out[1]				out[0]		
引脚编号	W13	V15				V12				U12		
平台端口	LED4	LED3				LED2				LED1		

Node Name	Direction	Location	I/O Bank	REF Group	Port Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
in1[3]	Input	PIN_V13	4	B4_N1	PIN_V13	2.5 ...ult)		8mA ...ult)		
in1[2]	Input	PIN_AA15	4	B4_N1	PIN_AA15	2.5 ...ult)		8mA ...ult)		
in1[1]	Input	PIN_M20	5	B5_N0	PIN_M20	2.5 ...ult)		8mA ...ult)		
in1[0]	Input	PIN_N18	5	B5_N0	PIN_N18	2.5 ...ult)		8mA ...ult)		
in2[3]	Input	PIN_F8	8	B8_N1	PIN_F8	2.5 ...ult)		8mA ...ult)		
in2[2]	Input	PIN_E7	8	B8_N1	PIN_E7	2.5 ...ult)		8mA ...ult)		
in2[1]	Input	PIN_C8	8	B8_N0	PIN_C8	2.5 ...ult)		8mA ...ult)		
in2[0]	Input	PIN_D6	8	B8_N1	PIN_D6	2.5 ...ult)		8mA ...ult)		
n_en	Input	PIN_AB17	4	B4_N0	PIN_AB17	2.5 ...ult)		8mA ...ult)		
out[3]	Output	PIN_W13	4	B4_N1	PIN_W13	2.5 ...ult)		8mA ...ult)	2 (default)	
out[2]	Output	PIN_V15	4	B4_N0	PIN_V15	2.5 ...ult)		8mA ...ult)	2 (default)	
out[1]	Output	PIN_V12	4	B4_N1	PIN_V12	2.5 ...ult)		8mA ...ult)	2 (default)	
out[0]	Output	PIN_U12	4	B4_N1	PIN_U12	2.5 ...ult)		8mA ...ult)	2 (default)	
sel[2]	Input	PIN_A3	8	B8_N1	PIN_A3	2.5 ...ult)		8mA ...ult)		
sel[1]	Input	PIN_F7	8	B8_N1	PIN_F7	2.5 ...ult)		8mA ...ult)		
sel[0]	Input	PIN_E6	8	B8_N1	PIN_E6	2.5 ...ult)		8mA ...ult)		
<<new node>>										

图 7 引脚分配

6. 实验现象

当使能端置于高电平时，四个 LED 灯全亮，与预期输出相反。当时能端置于低电平时，sel 选择 000，in1 分别从 0000 拨至 1001，观察 LED 灯，亮灭情况与预期输出相反。sel 选择 001，in2 分别从 0000 拨至 1001，观察 LED 灯，亮灭情况与预期输出相反。sel 选择 010 至 111，观察 LED 灯，亮灭情况与预期输出相反。其原因是实验台的二极管灯泡后边接了个反。

四、拓展实验设计与实现

1. 设计思路

将两个封装好的电路连接到一起，四位八选一数据选择器的输出端连至七段数字显示密码器的输入端。并将两个封装好的电路的使能端连到一起，共用一个使能端。即可实现输入 in 、in 2 和 sel，输出七段数字显示的功能。

2. 详细设计

表 5.译码器功能表

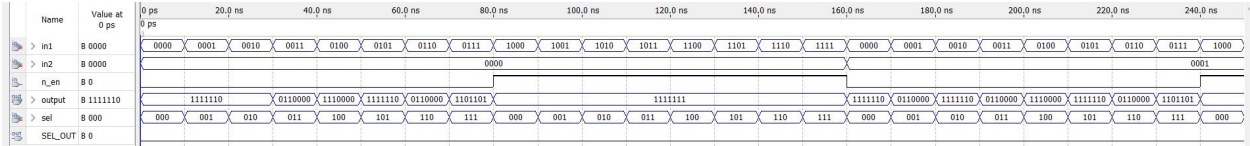
使能	输入			输出
n_en	sel	in1	in2	out
0	000	0000	dddd	111_1110
		0001	dddd	011_0000
		0010	dddd	110_1101
		0011	dddd	111_1001
		0100	dddd	011_0011
		0101	dddd	101_1011
		0110	dddd	101_1111
		0111	dddd	111_0000
		1000	dddd	111_1111
		1001	dddd	111_1011
	001	dddd	0000	111_1110
		dddd	0001	011_0000
		dddd	0010	110_1101
		dddd	0011	111_1001
		dddd	0100	011_0011

数字逻辑实验报告

实验 1

		dddd	0101	101_1011
		dddd	0110	101_1111
		dddd	0111	111_0000
		dddd	1000	111_1111
		dddd	1001	111_1011
	010	dddd	dddd	111_1110
	011	dddd	dddd	011_0000
	100	dddd	dddd	111_0000
	101	dddd	dddd	111_1110
	110	dddd	dddd	011_1111
	111	dddd	dddd	110_1101
1	ddd	dddd	dddd	111_1111

3. 仿真验证



先看 in2 为 0000，输入 in1 的情况，图中已经给出。可见 sel 从 000 到 111，输出是 00012071。in2 为 0001 的时候，输出是 01021071，符合预期结果。

4. 引脚分配

引脚分配见下表

表 6.引脚分配表

端口名称	输入端															
	待显示数据															
	in1[3]	in1[2]	in1[1]	in1[0]	in2[3]	in2[2]	in2[1]	in2[0]	sel[2]	sel[1]	sel[0]	n_en				
引脚编号	V13	AA15	M20	N18	F8	E7	C8	D6	A3	F7	E6	AB17				
平台端口	SW4	SW3	SW2	SW1	SW8	SW7	SW6	SW5	SW16	SW15	SW14	SW9				
端口名称	输出端															
	output[6]		output[5]		output[4]		output[3]		output[2]		output[1]		output[0]		SEL_OUT	
引脚编号	AA20		W20		R21		P21		N21		N20		M21		V16	
平台	LA		LB		LC		LD		LE		LF		LG		DS8	

端口

Node Name	Direction	Location	I/O Bank	REF Group	Port Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential P
in1[3]	Input	PIN_V13	4	B4_N1	PIN_V13	2.5 ...ult)		8mA ...ult)		
in1[2]	Input	PIN_AA15	4	B4_N1	PIN_AA15	2.5 ...ult)		8mA ...ult)		
in1[1]	Input	PIN_M20	5	B5_N0	PIN_M20	2.5 ...ult)		8mA ...ult)		
in1[0]	Input	PIN_N18	5	B5_N0	PIN_N18	2.5 ...ult)		8mA ...ult)		
in2[3]	Input	PIN_F8	8	B8_N1	PIN_F8	2.5 ...ult)		8mA ...ult)		
in2[2]	Input	PIN_E7	8	B8_N1	PIN_E7	2.5 ...ult)		8mA ...ult)		
in2[1]	Input	PIN_C8	8	B8_N0	PIN_C8	2.5 ...ult)		8mA ...ult)		
in2[0]	Input	PIN_D6	8	B8_N1	PIN_D6	2.5 ...ult)		8mA ...ult)		
n_en	Input	PIN_AB17	4	B4_N0	PIN_AB17	2.5 ...ult)		8mA ...ult)		
out[3]	Output	PIN_W13	4	B4_N1	PIN_W13	2.5 ...ult)		8mA ...ult)	2 (default)	
out[2]	Output	PIN_V15	4	B4_N0	PIN_V15	2.5 ...ult)		8mA ...ult)	2 (default)	
out[1]	Output	PIN_V12	4	B4_N1	PIN_V12	2.5 ...ult)		8mA ...ult)	2 (default)	
out[0]	Output	PIN_U12	4	B4_N1	PIN_U12	2.5 ...ult)		8mA ...ult)	2 (default)	
sel[2]	Input	PIN_A3	8	B8_N1	PIN_A3	2.5 ...ult)		8mA ...ult)		
sel[1]	Input	PIN_F7	8	B8_N1	PIN_F7	2.5 ...ult)		8mA ...ult)		
sel[0]	Input	PIN_E6	8	B8_N1	PIN_E6	2.5 ...ult)		8mA ...ult)		
<<new node>>										

图 8 引脚分配

5. 实验现象

当使能端置于高电平时，数码管全亮。当时能端置于低电平时，sel 选择 000，in1 分别从 0000 拨至 1001，看到数码管显示的数字分别是 0 到 9，符合预期；sel 选择 001，in2 分别从 0000 拨至 1001，看到数码管显示的数字分别是 0 到 9，符合预期；sel 选择 010 至 111，看到数码管显示的数字分别为 0、1、7、0、1、2，符合预期。本次实验符合所有输出预期。

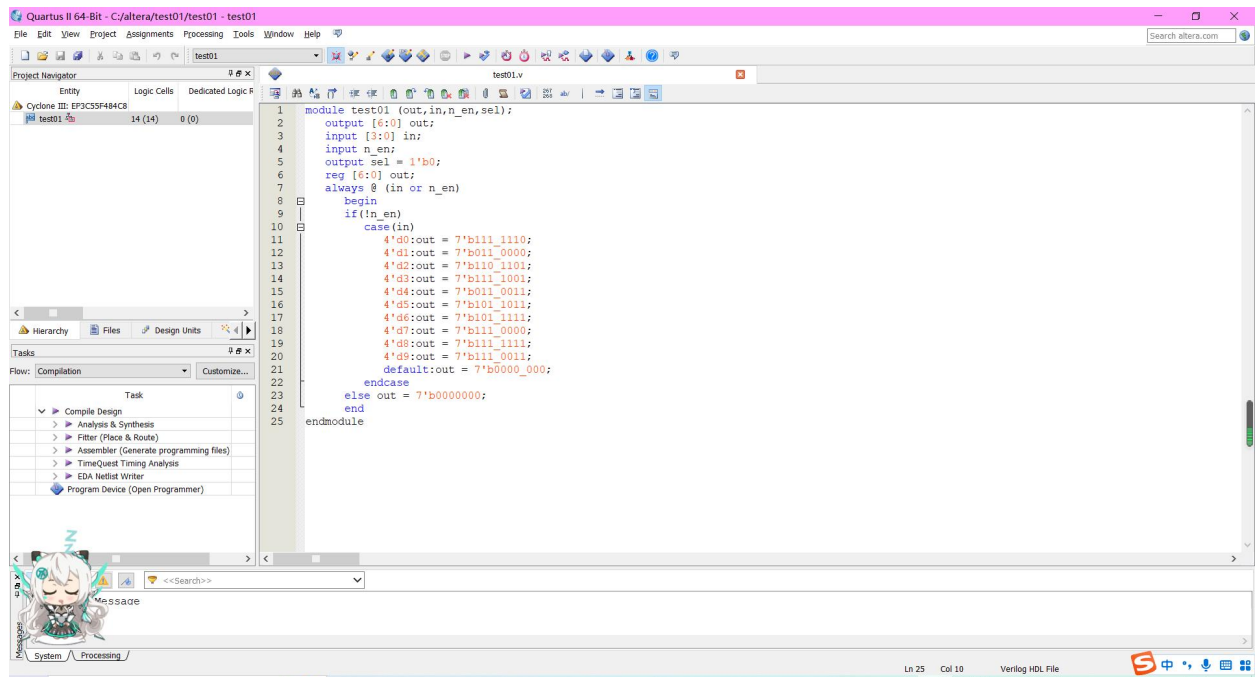
五、总结

收获：通过本次实验，我们巩固了数逻理论课上学到的七段数码管显示器，还有 4 位 8 选 1 器，通过实践体会到了数字逻辑在实际中的应用过程。

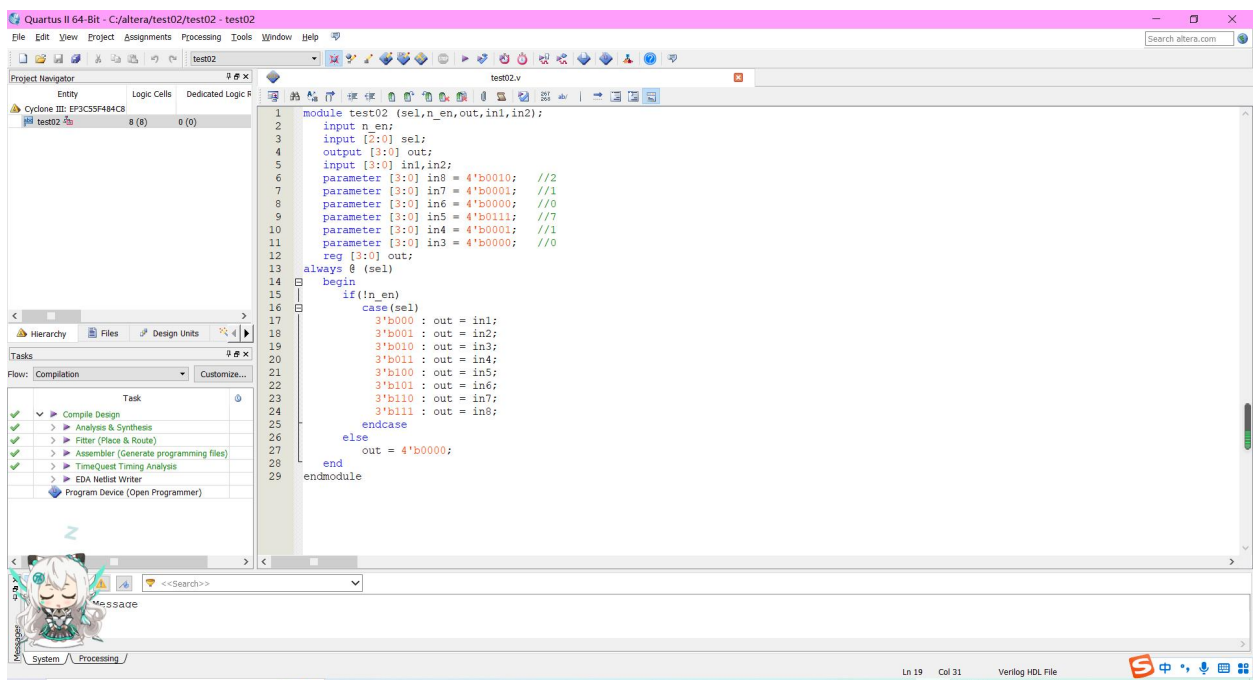
遇到的问题以及解决办法：

- ①实验台的 LED 灯管，输出的时候取了一个反。一开始我们没有注意到这个问题，以为是程序编写有问题，所以程序的输出全部取反，导致了扩展作业一度无法进行。后来及时改正，保证了扩展实验按时完成。
- ②图形编程时，输入量输出量如果位数大于 1，那么命名的时候末尾应当注明。一开始我们写成了[3:0]，但是编译一直报错，之后经过老师的帮助，发现应当写为[3..0]。成功解决问题。
- ③任务 2 一开始理解错了题意，把 8 个输入全编写成了需要输入的变量，而实验台只有 20 个拨动开关，显然是不够的。所以 210710xx 的前 6 位应当设置为固定的 parameter。
- ④扩展任务的 in1~in8 和手动输入 0000~1001 的对应关系是完全颠倒的，这源于任务 2 代码的编写逻辑有问题，由于修改很繁琐而且不影响结果，没有加以调整，下次编写的时候会注意此问题。
- ⑤任务 1 一开始，BCD 码输入超出 1001 的时候，系统输出的 7 位 x 实际上是伪随机数，导致伪随机的过程恰好出现了数字，因此改为了输出 0000000



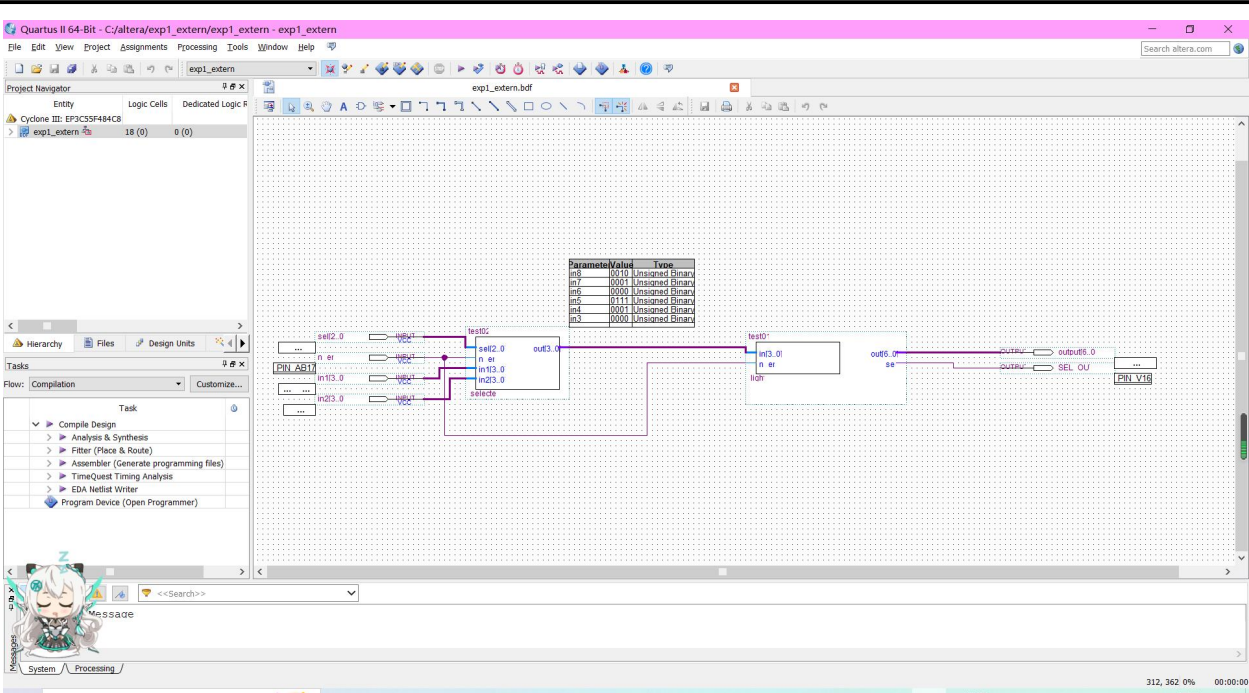


附图 1：任务 1 程序代码

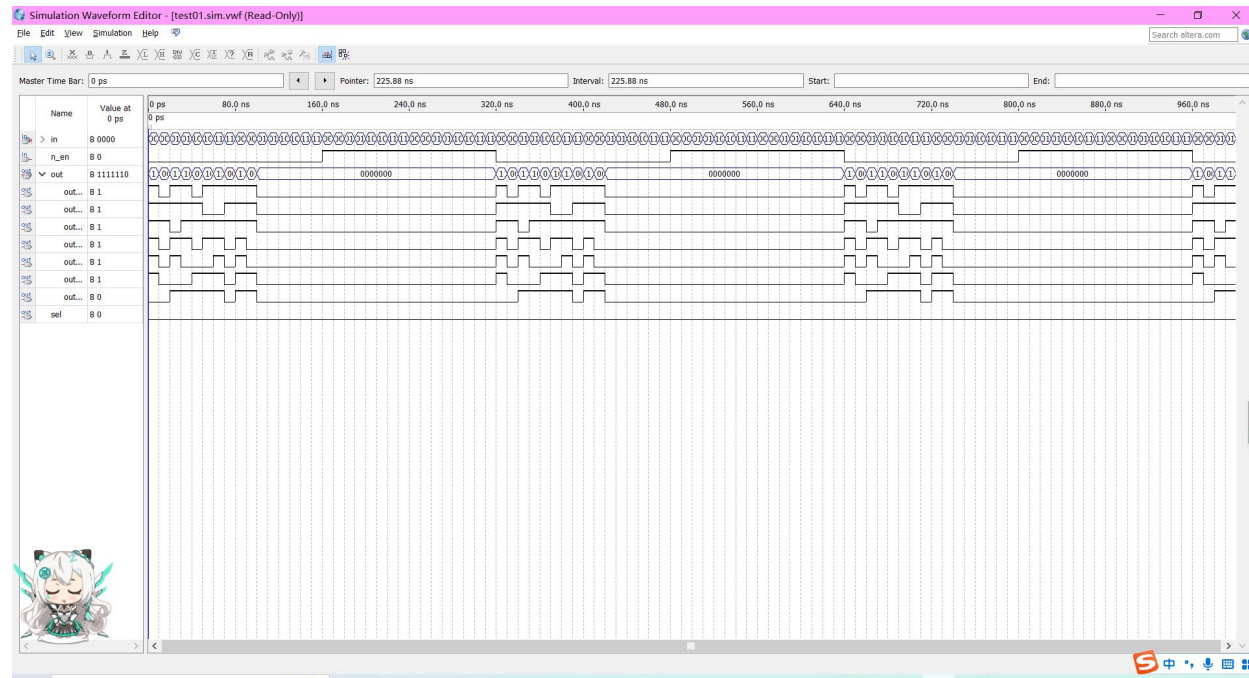


附图 2：任务 2 程序代码

# 数字逻辑实验报告



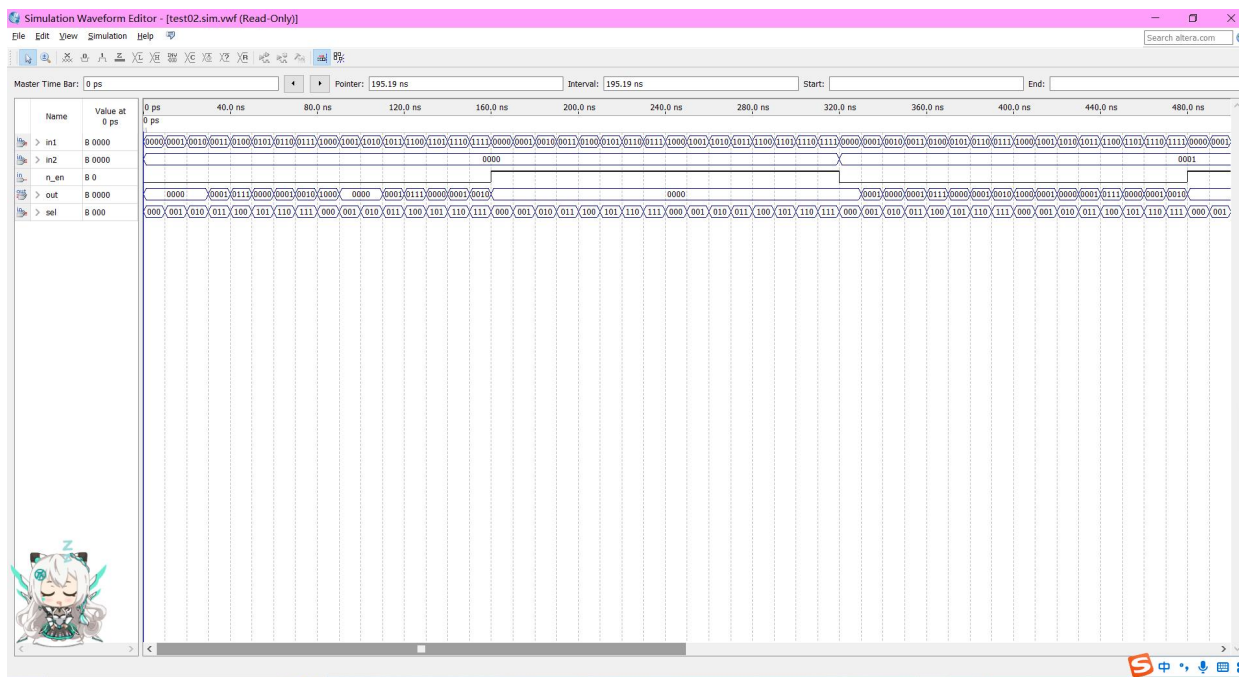
附图 3：扩展任务原理图



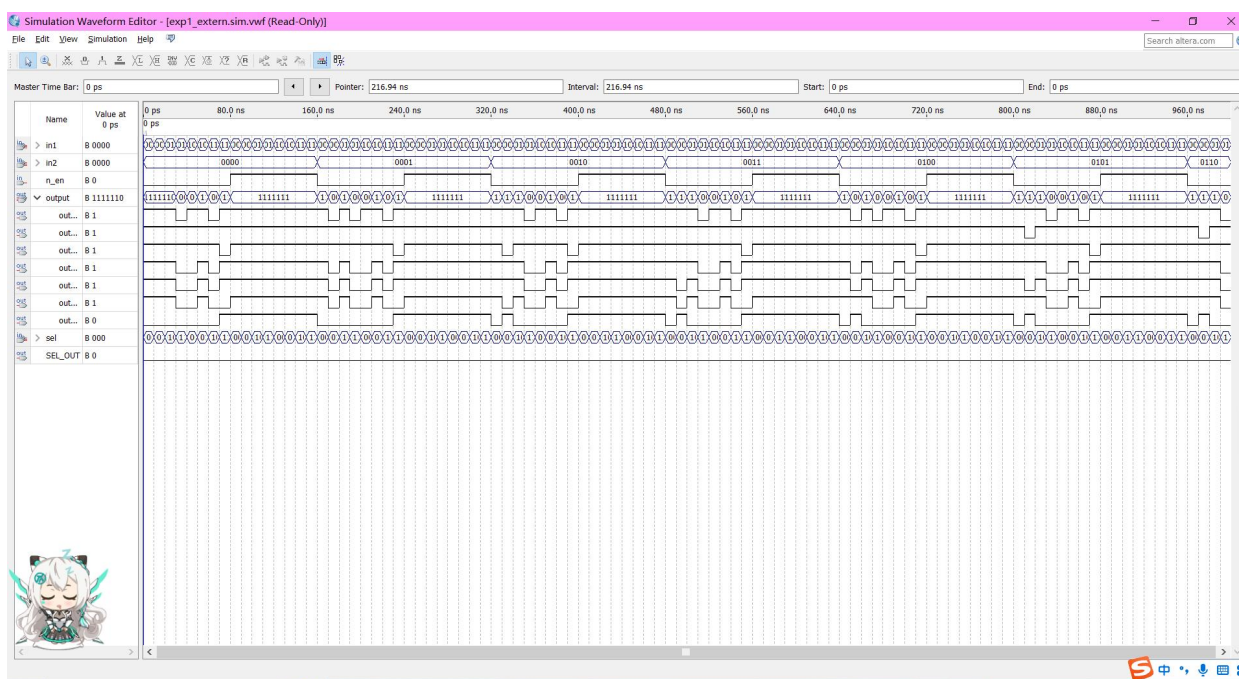
附图 4：任务 1 波形图

# 数字逻辑实验报告

## 实验 1



附图 5：任务 2 波形图



附图 6：扩展任务波形图