|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2022-2023学年第1学期 | | | | **实验日期** | | 2022/10/21 | | |
| **学 院** | 信息学院 | | | | **专 业** | | 计算机科学与技术（实验班） | | |
| **班 级** | 210710 | | **学 号** | | 21071003 | | **姓 名** | | 高立扬 |
| **组 号** | 43 | | **学 号** | | 21071004 | | **姓 名** | | 石昊阳 |
| **评 阅 内 容** | | | | | | | | | |
| **任务一** | | **任务二** | | **总结** | | **格式** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验1：组合逻辑电路设计 | | | | | | | | |

1. **实验目的**

通过本实验进一步了解典型组合逻辑电路的功能和特点，掌握使用硬件描述语言设计典型组合逻辑电路的方法，巩固和加深课程基本理论知识的理解。

1.通过数据选择器、编码器、译码器等典型组合逻辑电路的设计与测试，掌握典型组合逻辑电路的工作原理及基本分析和设计方法。

2.学会使用Verilog HDL进行组合逻辑电路设计。

3.学习使用EDA软件进行电路设计、编译和方针。

4.学习实验平台的使用及下载电路的整个过程。

1. **任务一设计与实现**
2. 要求
3. 输入一个四位二进制数，该数为0~9的BCD码，经译码后产生对应的字形码，可使七段数码管上显示出对应的十进制数，即数码管上显示出0~9.具备使能端控制信号，使能端有效时按上述要求显示字形码，无效时数码管不显示。
4. 用Verilog描述该电路，编码规范参考附录B
5. 使用QuartusII13.0软件进行编辑、编译、仿真
6. 根据综合实验平台进行引脚分配并下载演示实验结果
7. 设计思路

如图1所示，本实验的设计思路如下：电路设计为低使能，输入一段8421BCD码，通过电路内部逻辑，根据书上给的数字和数字管的对应关系，输出并使数码管显示出相应的数字。同时电路还会输出sel至数码管，当sel为0，数码管才会亮起。

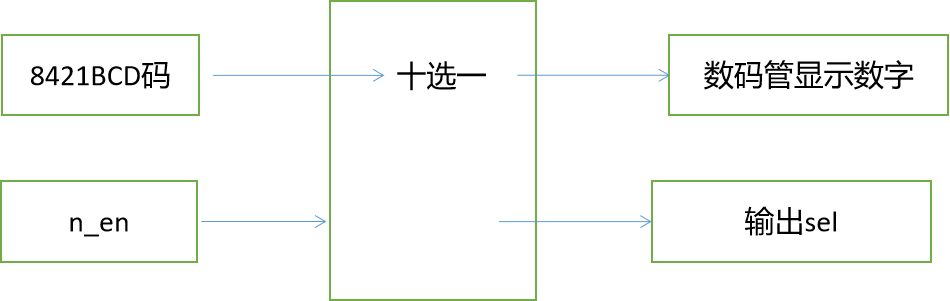


图1.七段数字显示译码器思路

1. 详细设计

表1.译码器功能表

|  |  |  |  |
| --- | --- | --- | --- |
| 使能 | 输入 | 输出 | 显示 |
| n\_en | in | out |
| 0 | 0000 | 111\_1110 | 0 |
| 0 | 0001 | 011\_0000 | 1 |
| 0 | 0010 | 110\_1101 | 2 |
| 0 | 0011 | 111\_1001 | 3 |
| 0 | 0100 | 011\_0011 | 4 |
| 0 | 0101 | 101\_1011 | 5 |
| 0 | 0110 | 101\_1111 | 6 |
| 0 | 0111 | 111\_0000 | 7 |
| 0 | 1000 | 111\_1111 | 8 |
| 0 | 1001 | 111\_1011 | 9 |
| 1 | dddd | 000\_0000 | 全灭 |
| 0 | 1010~1111 | 000\_0000 | 全灭 |

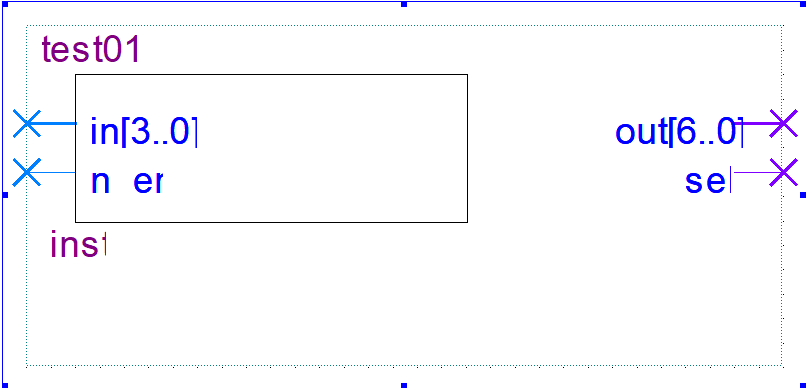


图2.功能实现的七段数字显示译码器

1. 仿真验证

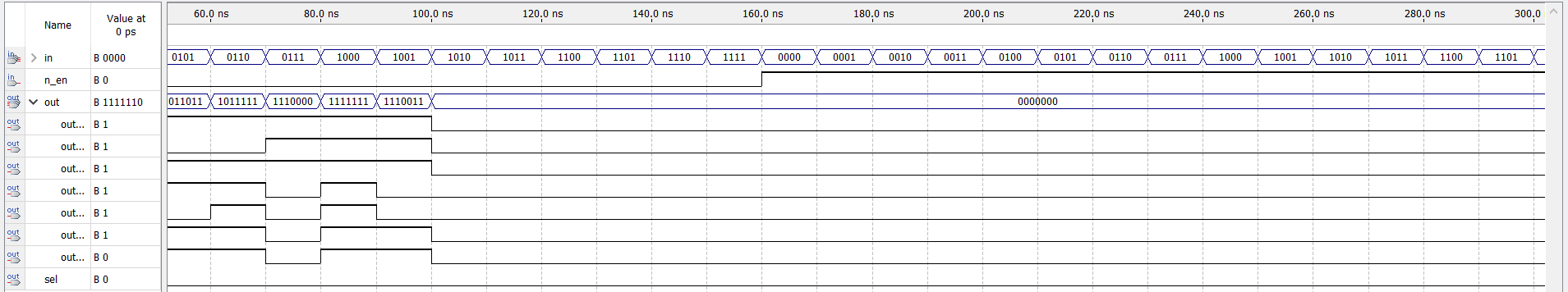


图3.仿真验证

如图3。输入为0000~1001的时候，输出的数字和预期相同，当输入为1010~1111的时候，灯全灭。当n\_en高电平的时候，输出均为我们编程的时候设置的全灭。

1. 引脚分配

引脚分配见下表

表2.引脚分配表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | 输出端 | | | | | | | |
| 待显示数据 | | | | 使能端 | LED | | | | | | | 位选 |
| in[3] | in[2] | in[1] | in[0] | n\_en | out[6] | out[5] | out[4] | out[3] | out[2] | out[1] | out[0] | del |
| 引脚编号 | V13 | AA15 | M20 | N18 | D6 | AA20 | W20 | R21 | P21 | N21 | N20 | M21 | V16 |
| 平台端口 | SW4 | SW3 | SW2 | SW1 | SW9 | LA | LB | LC | LD | LE | LF | LG | DS8 |

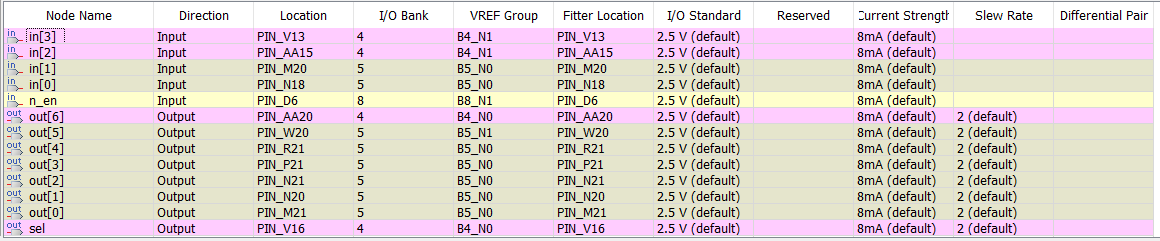


图4.quartus引脚分配图

1. 实验现象

首先使能端置1，观察到数码管全灭；使能端置0，in从0000依次拨到1001，看到数码管显示的数字分别是0到9，符合预期；in从1010拨弄到1111，看到了怪异的图形，根据波形图也可以找到怪异图形的对应关系，比如1010对应一个左右颠倒的“9”。本次实验符合所有输出预期。

1. **任务二设计与实现**
2. 要求

用Verilog实现一个4位八选一数据选择器，仿真验证通过后将该电路封装成电路符号。编码规范参考附录B。控制数据选择端，将个人学号按8421 BCD码依次输出到LED 灯上。

1. 设计思路

本实验的设计思路如下：电路设计为低使能，输入自己的学号，其中每一位学号用四位的8421bcd码表示。再用一个三位的sel输入选择输出学号的某一位。考虑到实验台上拨动开关的个数限制，只用输入其中的两位学号即可，其他位学号已经通过parameter的形式固定。

1. 详细设计

表3.选择器功能表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 使能 | 输入 | | | 输出 |
| n\_en | sel | in1 | in2 | out |
| 0 | 000 | 0000 | dddd | 0000 |
| 0001 | dddd | 0001 |
| 0010 | dddd | 0010 |
| 0011 | dddd | 0011 |
| 0100 | dddd | 0100 |
| 0101 | dddd | 0101 |
| 0110 | dddd | 0110 |
| 0111 | dddd | 0111 |
| 1000 | dddd | 1000 |
| 1001 | dddd | 1001 |
| 1010 | dddd | 1010 |
| 1011 | dddd | 1011 |
| 1100 | dddd | 1100 |
| 1101 | dddd | 1101 |
| 1110 | dddd | 1110 |
| 1111 | dddd | 1111 |
| 001 | dddd | 0000 | 0000 |
| dddd | 0001 | 0001 |
| dddd | 0010 | 0010 |
| dddd | 0011 | 0011 |
| dddd | 0100 | 0100 |
| dddd | 0101 | 0101 |
| dddd | 0110 | 0110 |
| dddd | 0111 | 0111 |
| dddd | 1000 | 1000 |
| dddd | 1001 | 1001 |
| dddd | 1010 | 1010 |
| dddd | 1011 | 1011 |
| dddd | 1100 | 1100 |
| dddd | 1101 | 1101 |
| dddd | 1110 | 1110 |
| dddd | 1111 | 1111 |
| 010 | dddd | dddd | 1111 |
| 011 | dddd | dddd | 1110 |
| 100 | dddd | dddd | 1000 |
| 101 | dddd | dddd | 1111 |
| 110 | dddd | dddd | 1110 |
| 111 | dddd | dddd | 1101 |
| 1 | ddd | dddd | dddd | 0000 |

1. 仿真验证

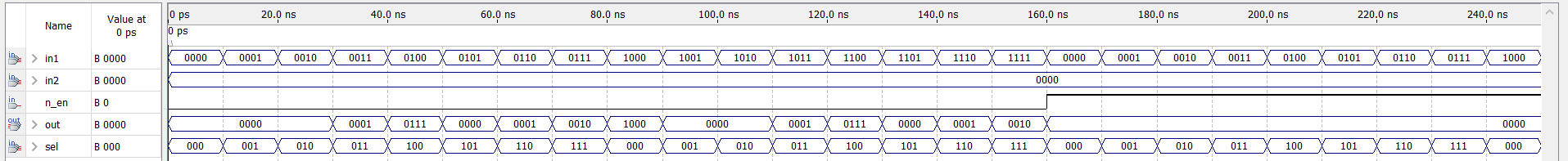


图6.仿真图

In8~in3都是parameter变量，是210710，in1和in2是手动输入的学号。由于是低有效，可见n\_en为1的时候，输出统一为0000。否则，电路将根据sel选择对应的in进行输出，如in1为0000，sel为000，输出为0000，以此类推即可。图中只给出了in2为0000的情况，其他情况以此类推。经验证，均符合预期。

1. 引脚分配

引脚分配见下表

表4.引脚分配表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | | | | | | | | | |
| 待显示数据 | | | | | | | | |  | | | | |
| in1[3] | | in1[2] | in1[1] | in1[0] | in2[3] | in2[2] | in2[1] | in2[0] | sel[2] | | sel[1] | sel[0] | n\_en |
| 引脚编号 | V13 | | AA15 | M20 | N18 | F8 | E7 | C8 | D6 | A3 | | F7 | E6 | AB17 |
| 平台端口 | SW4 | | SW3 | SW2 | SW1 | SW8 | SW7 | SW6 | SW5 | SW16 | | SW15 | SW14 | SW9 |
| 端口名称 | 输出端 | | | | | | | | | | | | | |
|  | | | | | | | | | | | | | |
| out[3] | out[2] | | | | | | out[1] | | | out[0] | | | |
| 引脚编号 | W13 | V15 | | | | | | V12 | | | U12 | | | |
| 平台端口 | LED4 | LED3 | | | | | | LED2 | | | LED1 | | | |

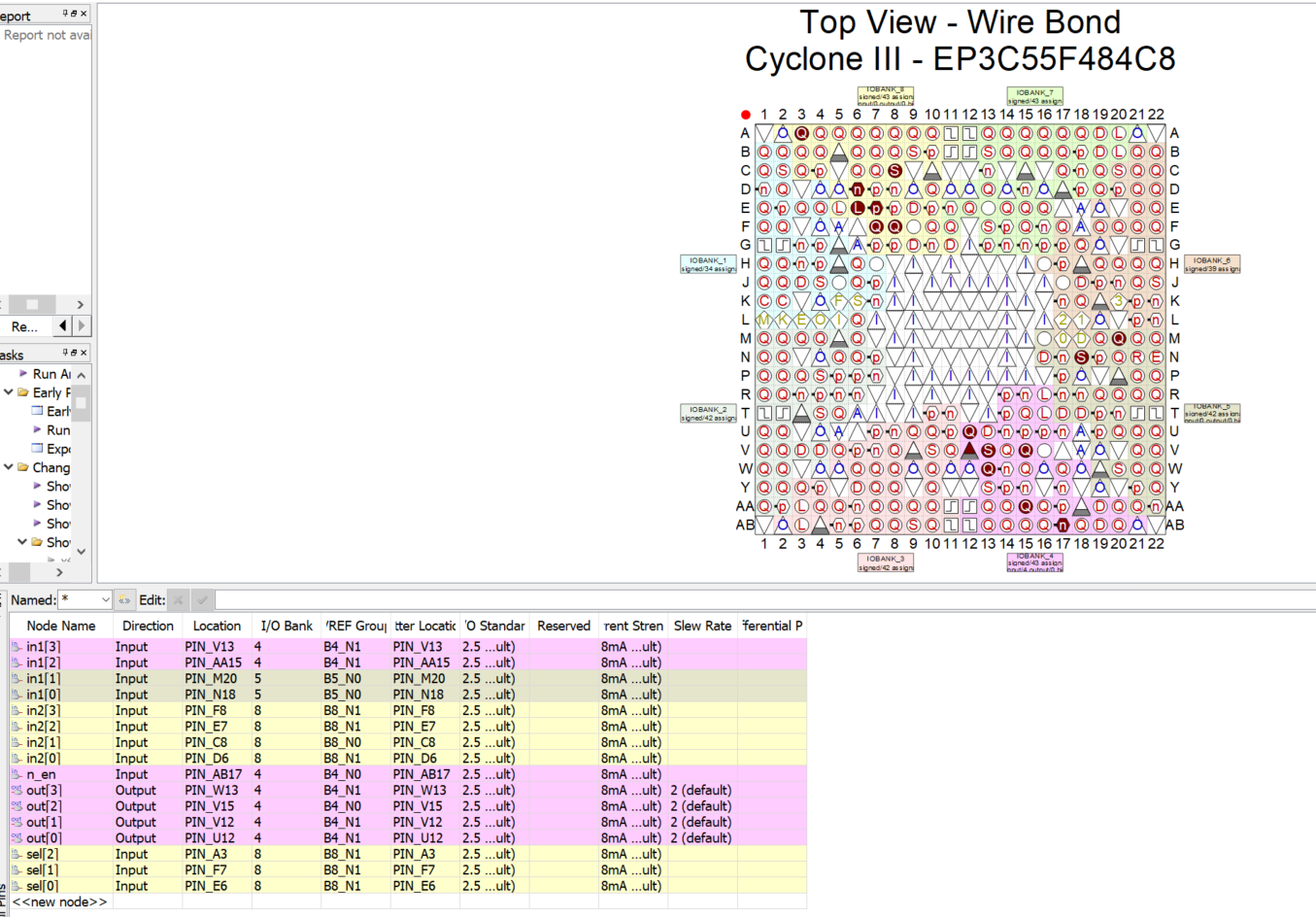


图7 引脚分配

1. 实验现象

当使能端置于高电平时，四个LED灯全亮，与预期输出相反。当时能端置于低电平时，sel选择000，in1分别从0000拨至1001，观察LED灯，亮灭情况与预期输出相反。sel选择001，in2分别从0000拨至1001，观察LED灯，亮灭情况与预期输出相反。sel选择010至111，观察LED灯，亮灭情况与预期输出相反。其原因是实验台的二极管灯泡后边接了个反。

1. **拓展实验设计与实现**
2. 设计思路

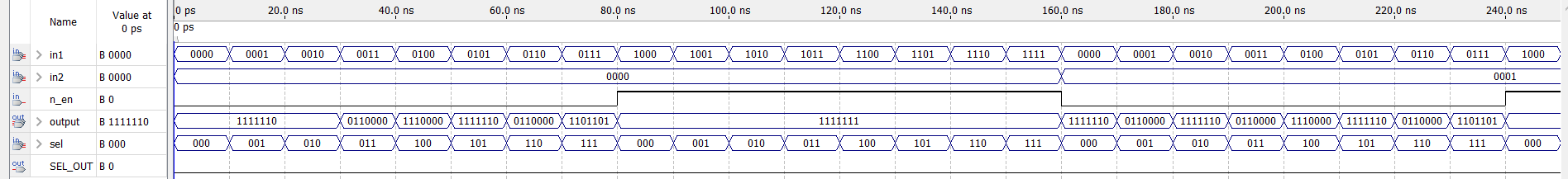
将两个封装好的电路连接到一起，四位八选一数据选择器的输出端连至七段数字显示密码器的输入端。并将两个封装好的电路的使能端连到一起，共用一个使能端。即可实现输入in 、in 2和sel，输出七段数字显示的功能。

1. 详细设计

表5.译码器功能表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 使能 | 输入 | | | 输出 |
| n\_en | sel | in1 | in2 | out |
| 0 | 000 | 0000 | dddd | 111\_1110 |
| 0001 | dddd | 011\_0000 |
| 0010 | dddd | 110\_1101 |
| 0011 | dddd | 111\_1001 |
| 0100 | dddd | 011\_0011 |
| 0101 | dddd | 101\_1011 |
| 0110 | dddd | 101\_1111 |
| 0111 | dddd | 111\_0000 |
| 1000 | dddd | 111\_1111 |
| 1001 | dddd | 111\_1011 |
| 001 | dddd | 0000 | 111\_1110 |
| dddd | 0001 | 011\_0000 |
| dddd | 0010 | 110\_1101 |
| dddd | 0011 | 111\_1001 |
| dddd | 0100 | 011\_0011 |
| dddd | 0101 | 101\_1011 |
| dddd | 0110 | 101\_1111 |
| dddd | 0111 | 111\_0000 |
| dddd | 1000 | 111\_1111 |
| dddd | 1001 | 111\_1011 |
| 010 | dddd | dddd | 111\_1110 |
| 011 | dddd | dddd | 011\_0000 |
| 100 | dddd | dddd | 111\_0000 |
| 101 | dddd | dddd | 111\_1110 |
| 110 | dddd | dddd | 011\_1111 |
| 111 | dddd | dddd | 110\_1101 |
| 1 | ddd | dddd | dddd | 111\_1111 |

1. 仿真验证



先看in2为0000，输入in1的情况，图中已经给出。可见sel从000到111，输出是00012071。in2为0001的时候，输出是01021071，符合预期结果。

1. 引脚分配

引脚分配见下表

表6.引脚分配表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | | | | | | | | | | | | | | |
| 待显示数据 | | | | | | | | | | | | |  | | | | | |
| in1[3] | in1[2] | | in1[1] | in1[0] | | in2[3] | | in2[2] | in2[1] | | in2[0] | | sel[2] | sel[1] | | sel[0] | | n\_en |
| 引脚编号 | V13 | AA15 | | M20 | N18 | | F8 | | E7 | C8 | | D6 | | A3 | F7 | | E6 | | AB17 |
| 平台端口 | SW4 | SW3 | | SW2 | SW1 | | SW8 | | SW7 | SW6 | | SW5 | | SW16 | SW15 | | SW14 | | SW9 |
| 端口名称 | 输出端 | | | | | | | | | | | | | | | | | | |
|  | | | | | | | | | | | | | | | | | | |
| output[6] | | output[5] | | | output[4] | | output[3] | | | output[2] | | output[1] | | | output[0] | | SEL\_OUT | |
| 引脚编号 | AA20 | | W20 | | | R21 | | P21 | | | N21 | | N20 | | | M21 | | V16 | |
| 平台端口 | LA | | LB | | | LC | | LD | | | LE | | LF | | | LG | | DS8 | |

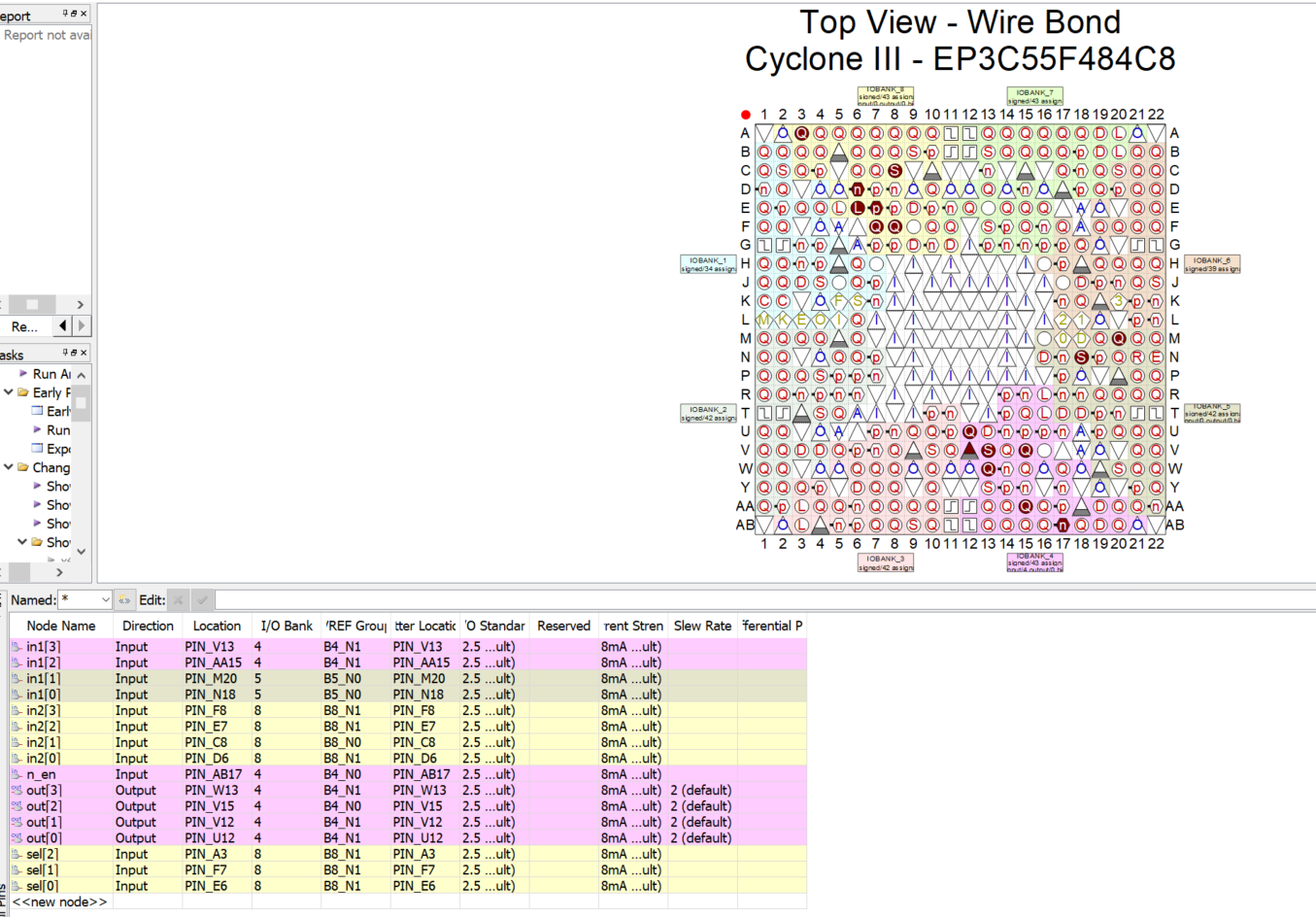


图8 引脚分配

1. 实验现象

当使能端置于高电平时，数码管全亮。当时能端置于低电平时，sel选择000，in1分别从0000拨至1001，看到数码管显示的数字分别是0到9，符合预期；sel选择001，in2分别从0000拨至1001，看到数码管显示的数字分别是0到9，符合预期；sel选择010至111，看到数码管显示的数字分别为0、1、7、0、1、2，符合预期。本次实验符合所有输出预期。

1. **总结**

收获：通过本次实验，我们巩固了数逻理论课上学到的七段数码管显示器，还有4位8选1器，通过实践体会到了数字逻辑在实际中的应用过程。

遇到的问题以及解决办法：

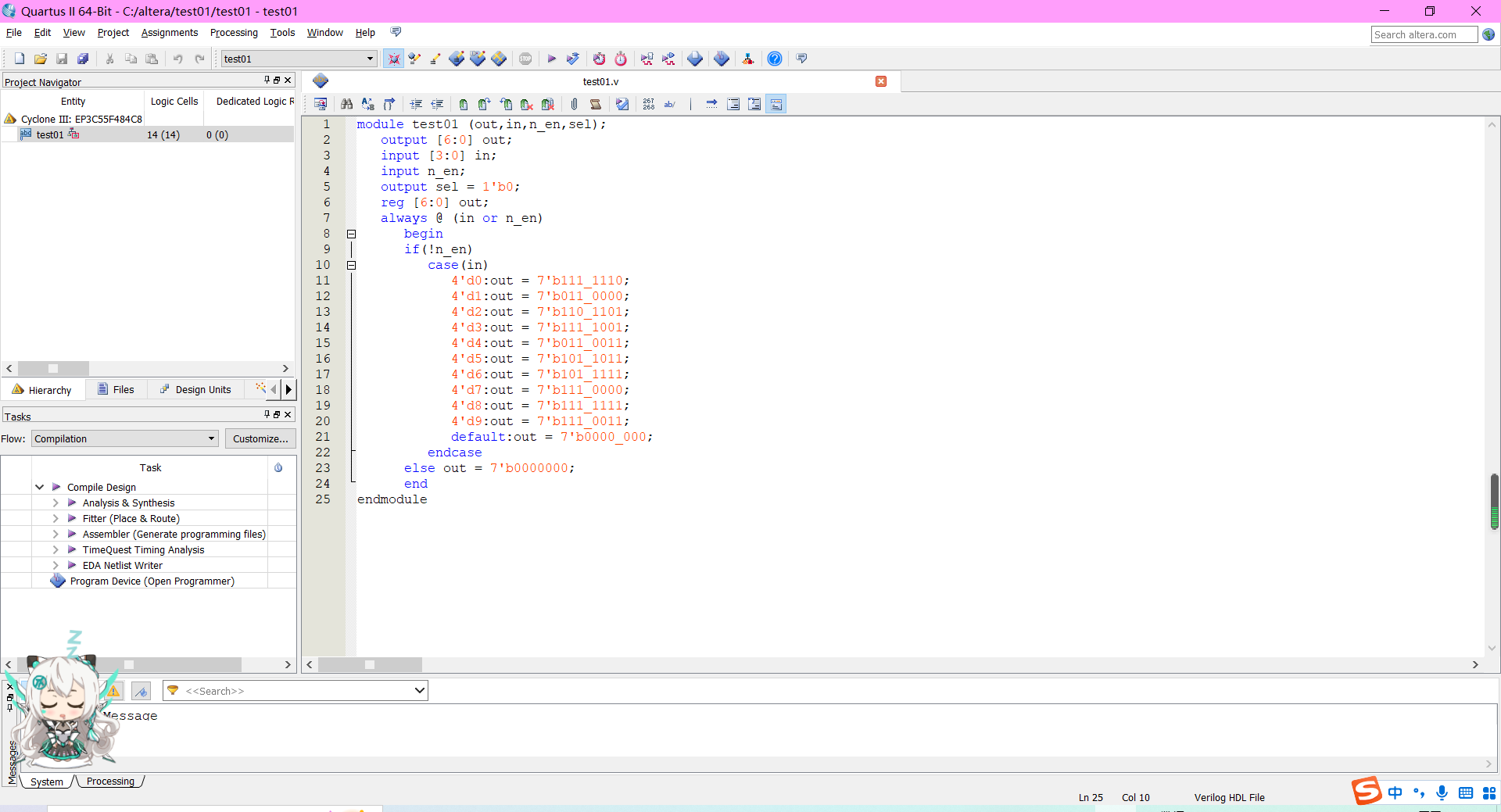
①实验台的LED灯管，输出的时候取了一个反。一开始我们没有注意到这个问题，以为是程序编写有问题，所以程序的输出全部取反，导致了扩展作业一度无法进行。后来及时改正，保证了扩展实验按时完成。

②图形编程时，输入量输出量如果位数大于1，那么命名的时候末尾应当注明。一开始我们写成了[3:0]，但是编译一直报错，之后经过老师的帮助，发现应当写为[3..0]。成功解决问题。

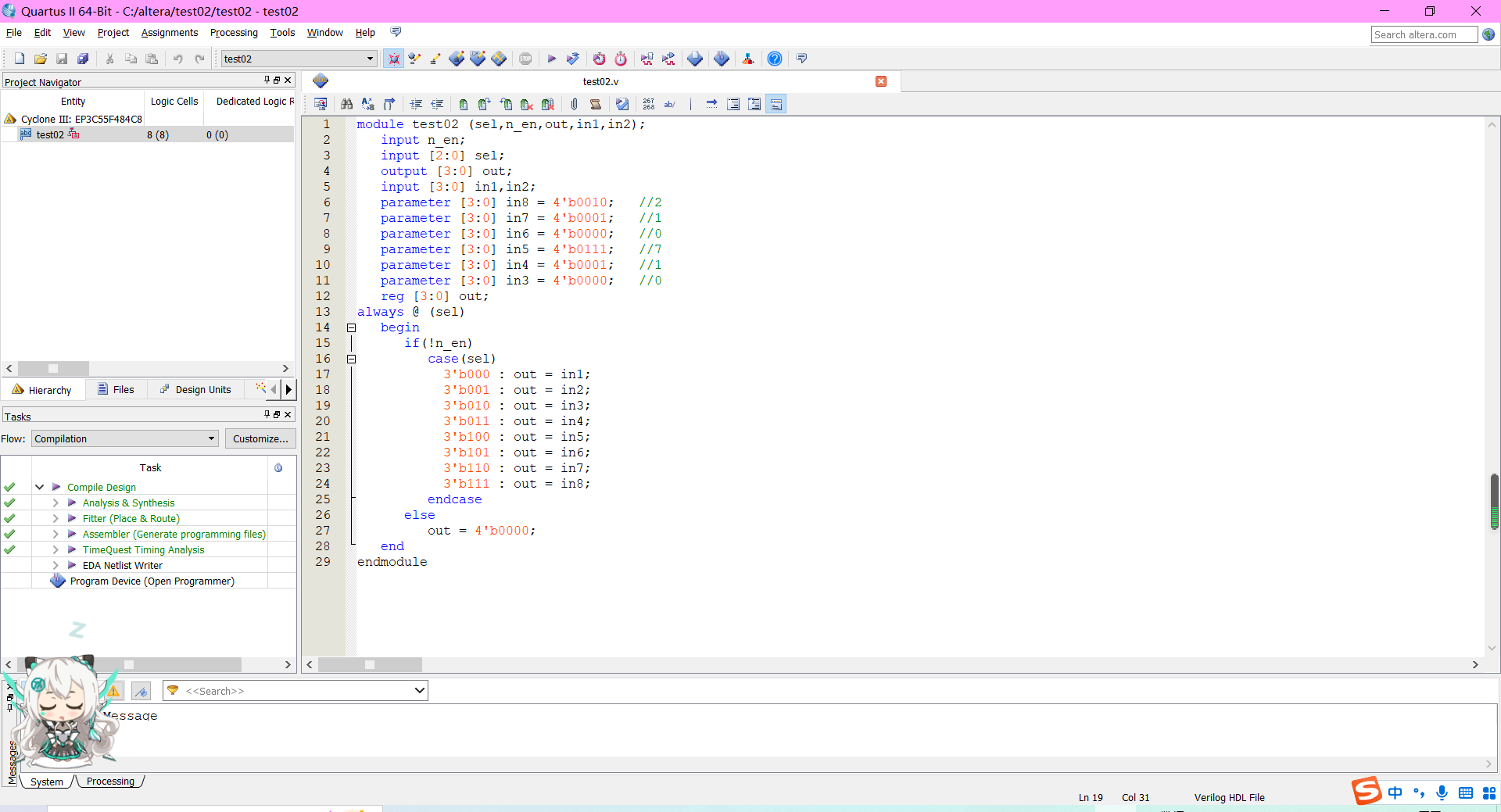
③任务2一开始理解错了题意，把8个输入全编写成了需要输入的变量，而实验台只有20个拨动开关，显然是不够的。所以210710xx的前6位应当设置为固定的parameter。

④扩展任务的in1~in8和手动输入0000~1001的对应关系是完全颠倒的，这源于任务2代码的编写逻辑有问题，由于修改很繁琐而且不影响结果，没有加以调整，下次编写的时候会注意此问题。

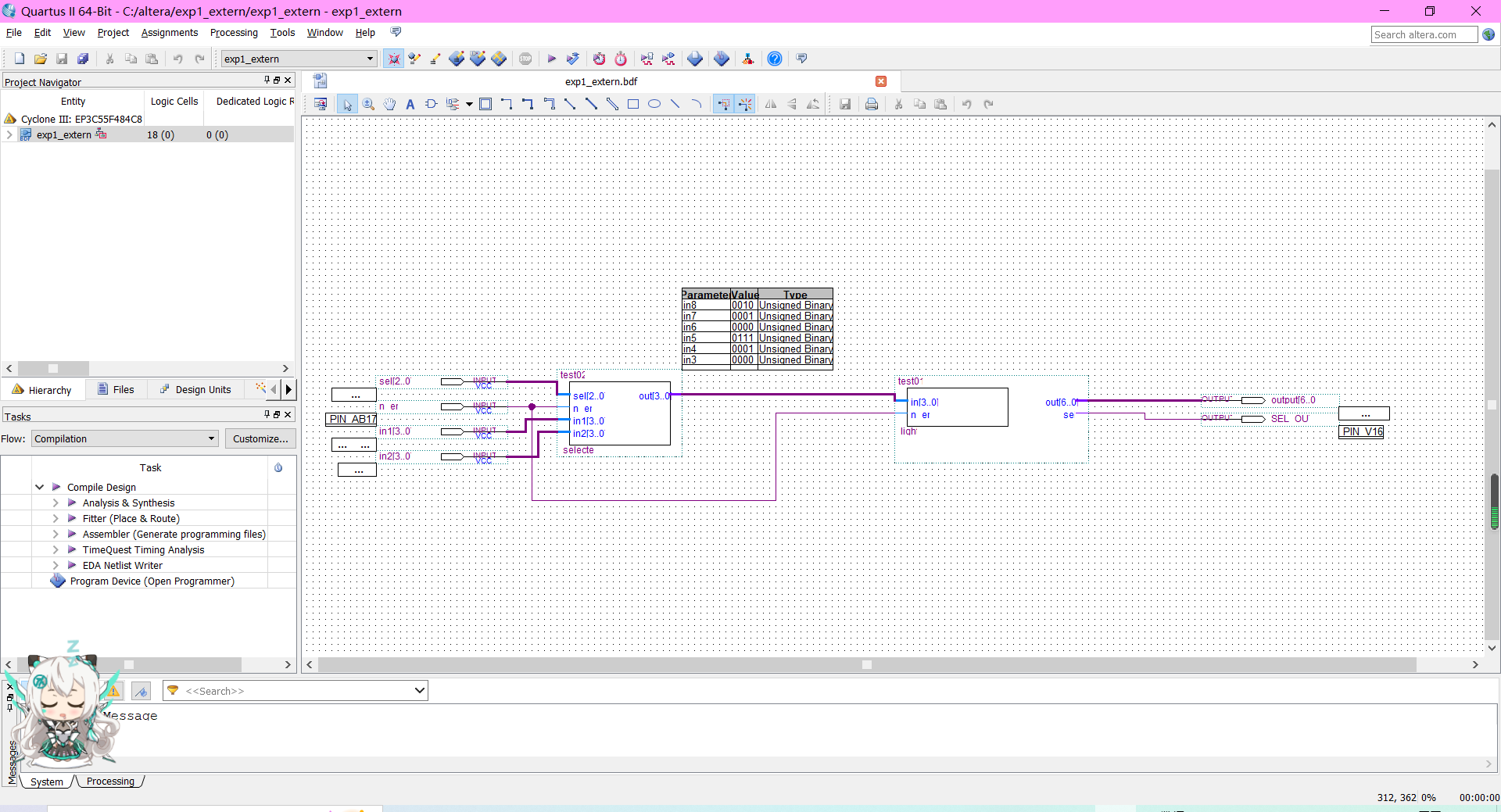
⑤任务1一开始，BCD码输入超出1001的时候，系统输出的7位x实际上是伪随机数，导致伪随机的过程恰好出现了数字，因此改为了输出0000000



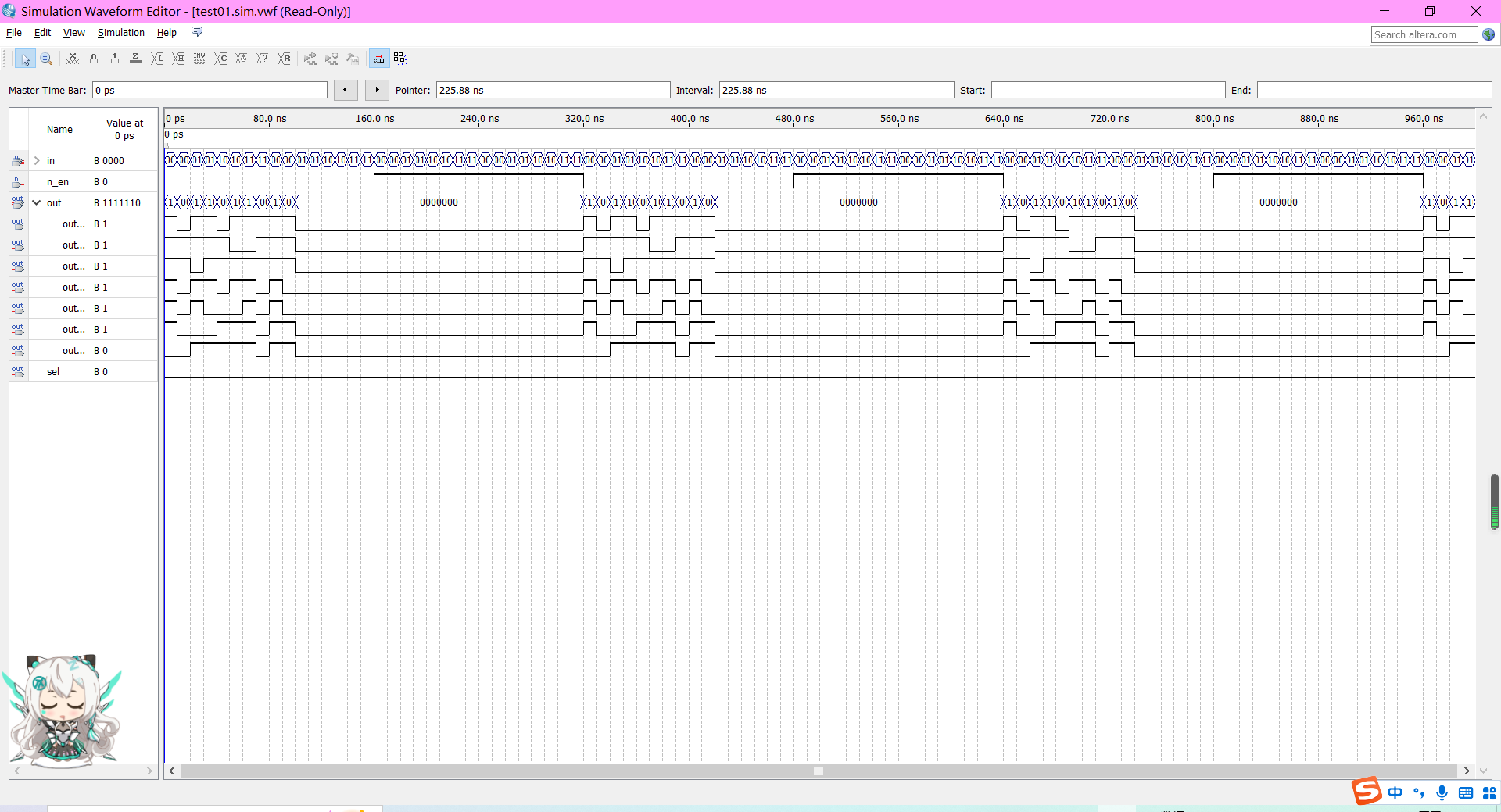
附图1：任务1程序代码



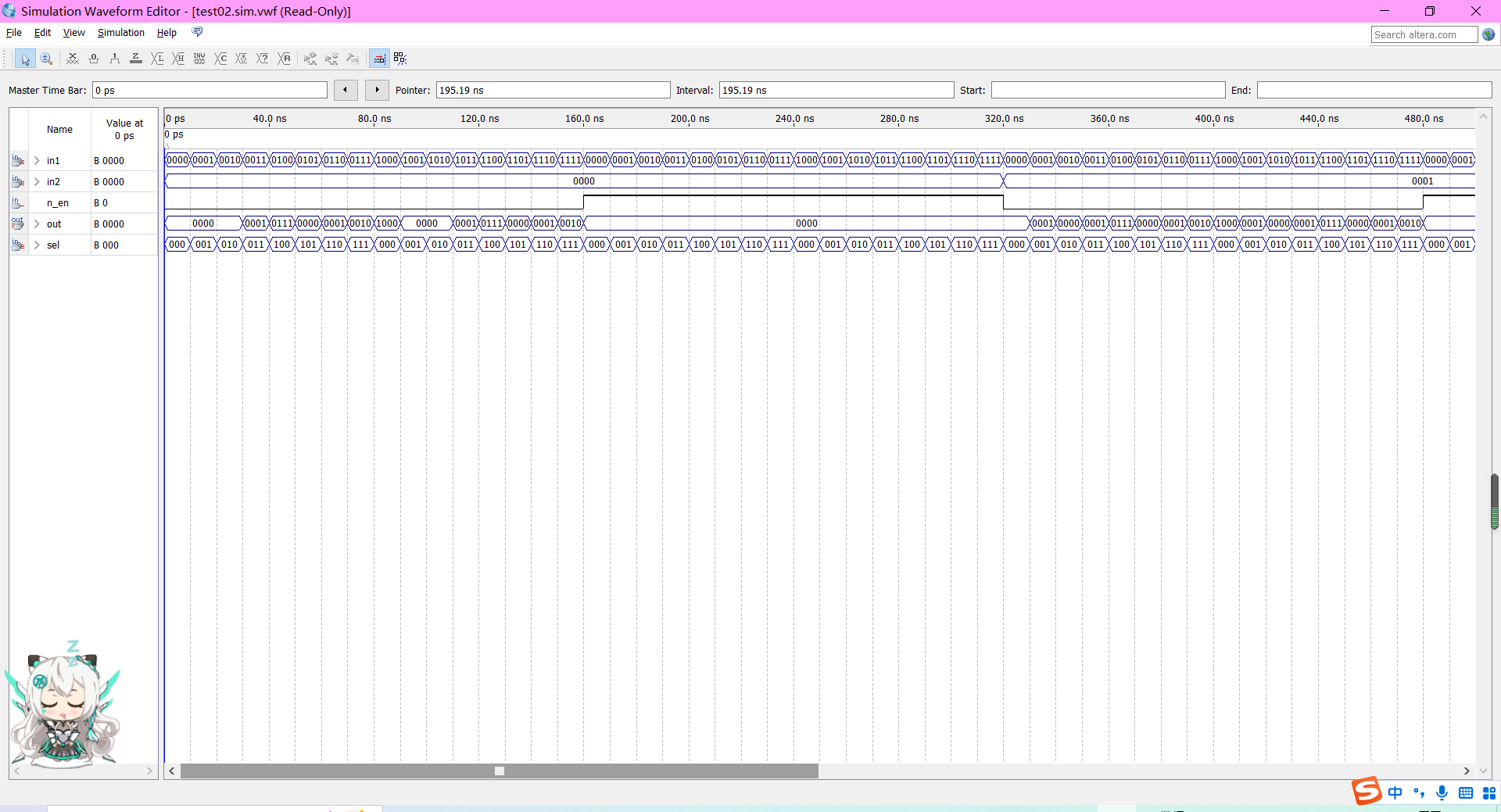
附图2：任务2程序代码



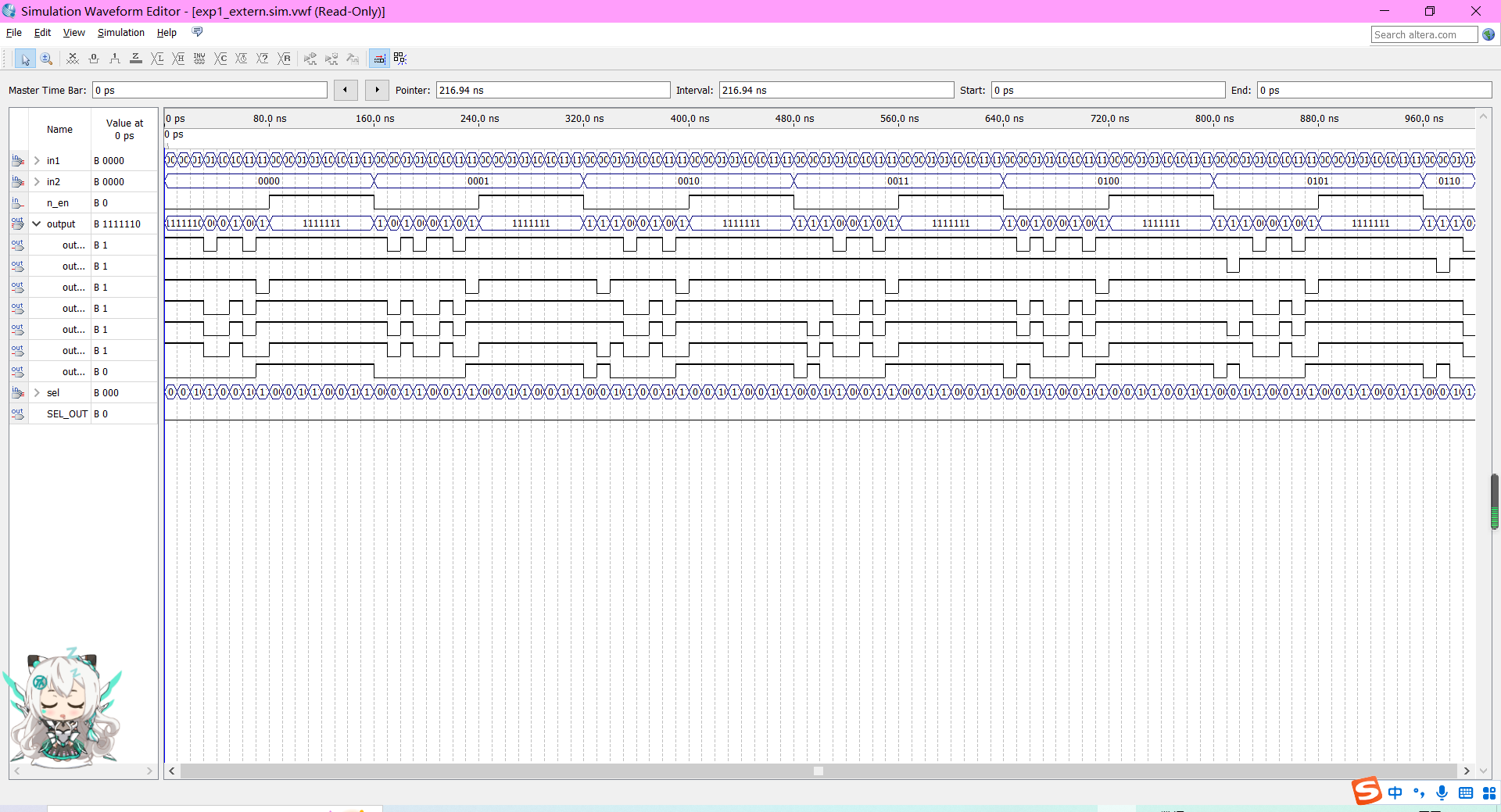
附图3：扩展任务原理图



附图4：任务1波形图



附图5：任务2波形图



附图6：扩展任务波形图