|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2022-2023学年第1学期 | | | | **实验日期** | | 2022/11/4 | | |
| **学 院** | 信息学部 | | | | **专 业** | | 计算机科学与技术（实验班） | | |
| **班 级** | 210710 | | **学 号** | | 21071003 | | **姓 名** | | 高立扬 |
| **组 号** | 43 | | **学 号** | | 21071004 | | **姓 名** | | 石昊阳 |
| **评 阅 内 容** | | | | | | | | | |
| **任务一** | | **任务二** | | **总结** | | **格式** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验3：计数器电路设计 | | | | | | | | |

1. **实验目的**

通过本实验，进一步了解典型时序逻辑电路的功能和特点；掌握计数器电路的基本分析方法和设计方法；掌握使用硬件描述语言设计计数器的方法。

1. 通过计数器、分频器等时序电路的设计与测试，掌握计数器电路的基本分析方法和设计方法。

2. 学会使用硬件描述语言编写计数器电路，并利用计数器电路解决实际问题。

1. **任务一设计与实现**
2. 要求

(1)用硬件描述语言设计一个与74LS163功能一致的计数器。

(2)清零和置数均为同步方式。

(3)采用结构化描述方式将计数器IP和数码管IP相连，将计数结果显示在数码管上。

1. 设计思路

任务一要求设计一个具有清零、置数、加一、保持、进位功能的计数器，并将其用结构化描述方式将其与数码管相连。通过思考发现，用if语句很容易将上述计数器功能实现。再用结构化描述方式将其之前写完的数码管相连。

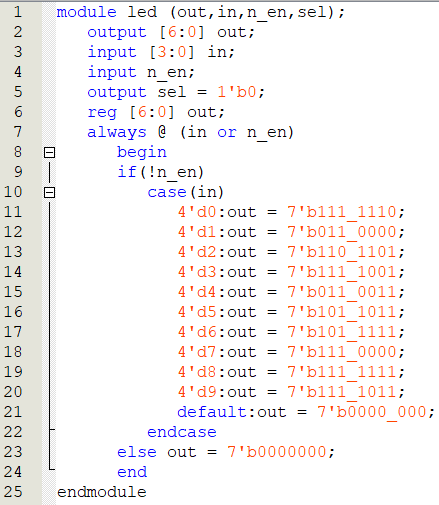
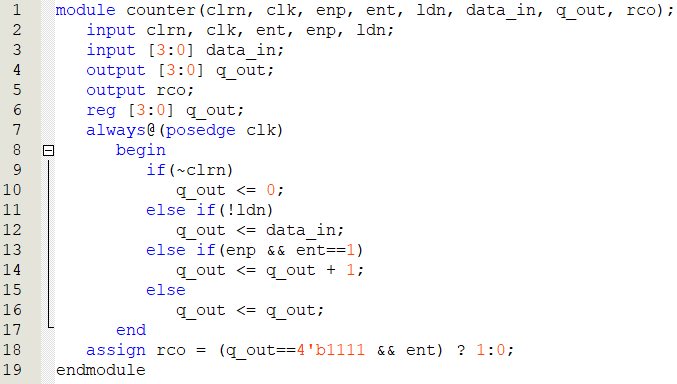


图1.模10计数器设计思路

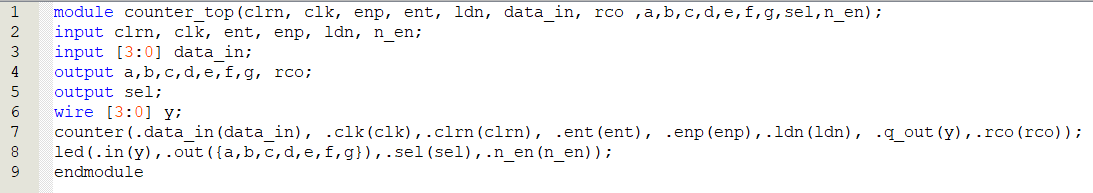
1. 详细设计

表1.计数器功能表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | 输出 | | | | | 说明 |
| CLRN | LDN | ENP | ENT | CLK | QD | QC | QB | QA | RCO |
| 0 | x | x | x | ↑ | 0 | 0 | 0 | 0 | 0 | 置零 |
| 1 | 0 | x | x | ↑ | D | C | B | A | \* | 置数 |
| 1 | 1 | 1 | 1 | ↑ | 计数 | | | | \* | 加1 |
| 1 | 1 | 0 | x | x | QD | QC | QB | QA | \* | 保持 |
| 1 | 1 | x | 0 | x | QD | QC | QB | QA | 0 | 保持 |



计数器 数码管



顶层文件

图2-4.计数器和数码管的代码以及顶层文件的代码

1. 仿真验证

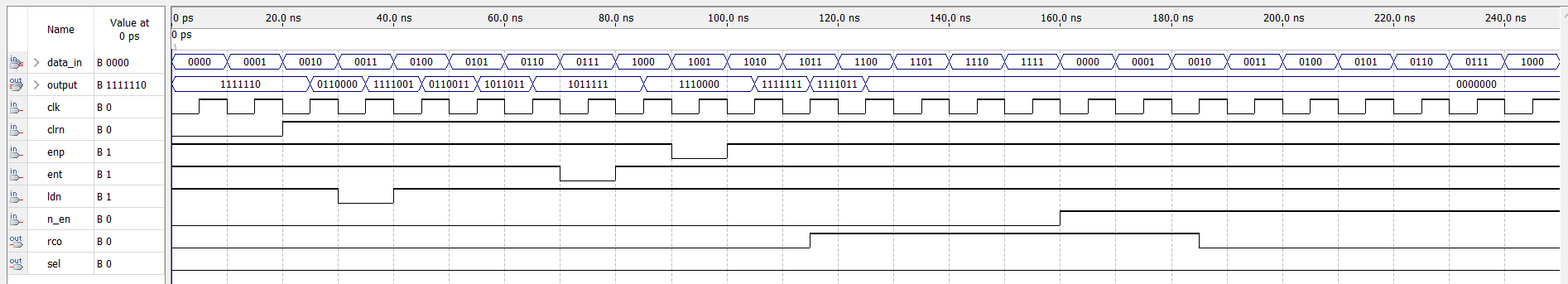


图5.波形图

由图，一开始计数器因clrn为0所以无法计数，从20ns开始，clrn置1，开始计数。可见35ns时，写入权限ldn激活，clk又是上升沿，因此data的0011被写入，数码管显示3，并且正常计时。在75ns的时候ENT为0，因此计数器锁定，85ns的时候全为1，clk上升沿继续计数，90ns的时候ENP为0，计数器依然是锁定。计数为9的时候，rco变为1，数码管也按照预期做出了对应的反应。

1. 引脚分配

表2.引脚分配

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | | | | | |
| 使能端n\_en | 时钟信号clk | ENT | ENP | 置零  CLRN | 读取  LDN | data\_in[3] | data\_in[2] | data\_in[1] | data\_in[0] |
| 引脚编号 | A3 | AB15 | E5 | C3 | AB17 | AB18 | N18 | M20 | AA15 | V13 |
| 平台端口 | SW16 | F1 | SW12 | SW11 | SW9 | SW10 | SW1 | SW2 | SW3 | SW4 |

表2续表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输出端 | | | | | | | | |
| LED | | | | | | | 选位 | 进位 |
| output[6] | output[5] | output[4] | output[3] | output[2] | output[1] | output[0] | sel | RCO |
| AA20 | W20 | R21 | P21 | N21 | N20 | M21 | V16 | - |
| LA | LB | LC | LD | LE | LF | LG | DS8 | - |

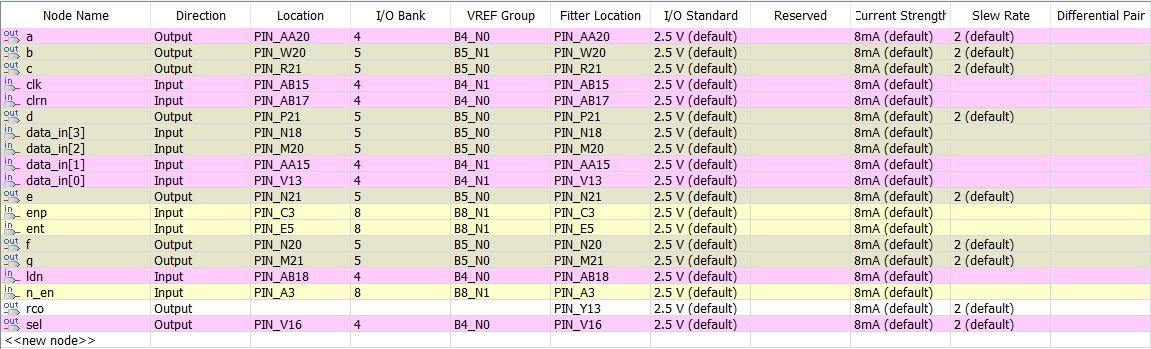


图6.引脚锁定

1. 实验现象

按一次按钮，LED显示的数字就+1，因为没有消除按钮防抖，因此按一次按钮，LED的数字不一定加1，甚至还出现了加9的偶然现象。但是通过n\_e，clrn，ldn的功能和波形图，可以验证逻辑电路的设计是没问题的。因为LED模块没有考虑10-15的LED显示，计数器加到9之后没有写归零代码，因此计数器加到9之后，还要按下6次才能到1.

1. **任务二设计与实现**
2. 要求

(1) 基准频率为50MHz。

(2)要求从四个输出端分别输出频率1Hz、10Hz、100Hz和1KHz。

(3)将设计好的分频器 1hz频率与计数器电路的时钟信号相连，要求采用结构化描述龙式:其它频率接至未用到的LED灯。

1. 设计思路

任务要求设计一个拥有一输入四输出的分频器，并将其1hz输出端与计数器电路的时钟信号相连。通过思考发现可以用四个always语句实现。

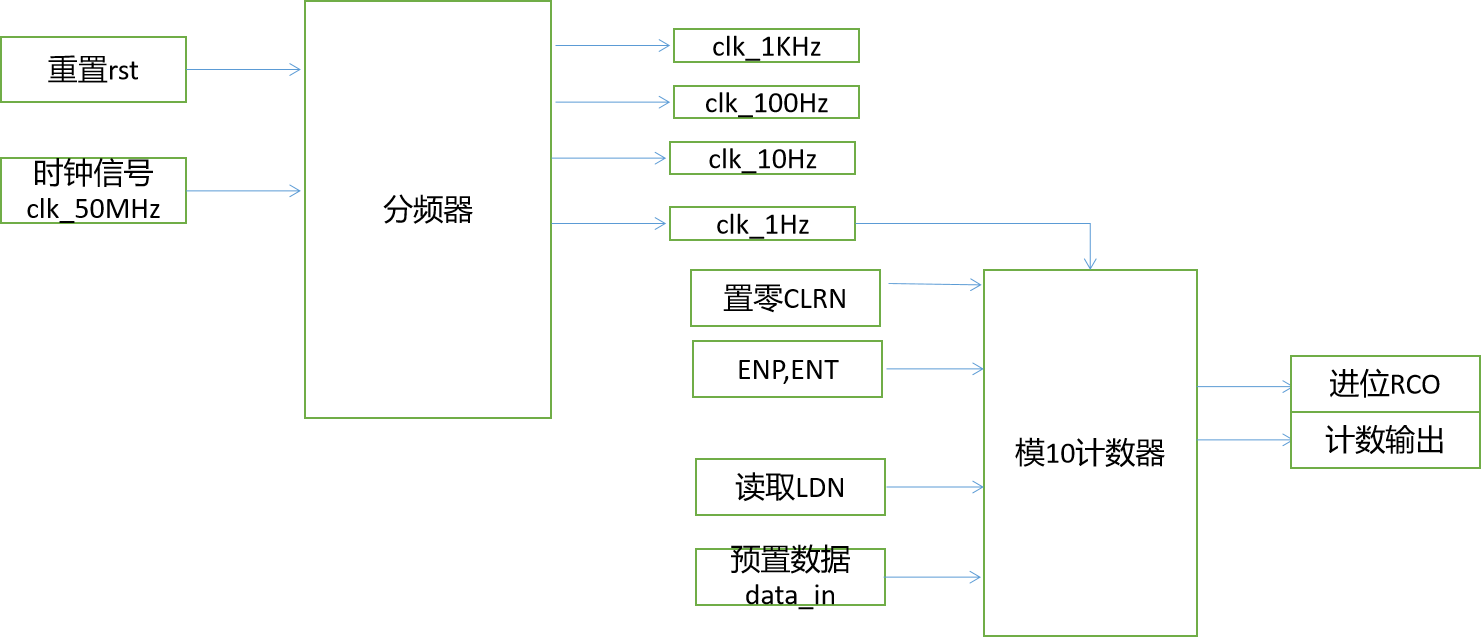


图7.分频器电路设计思路

1. 详细设计

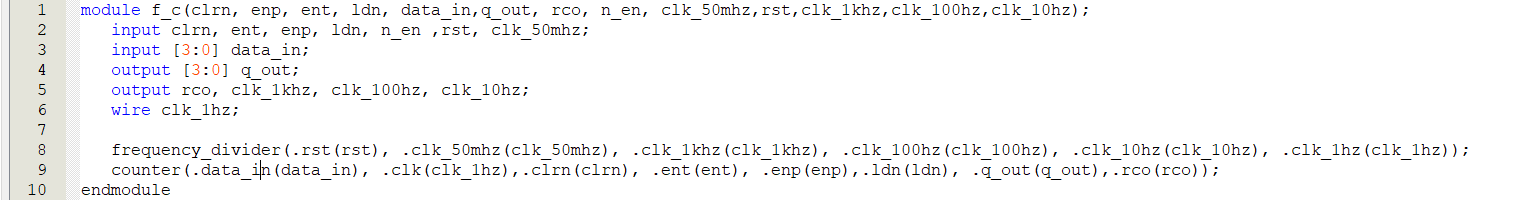
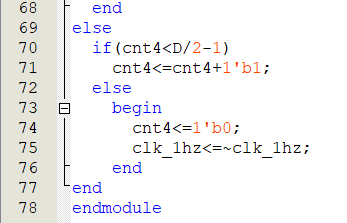
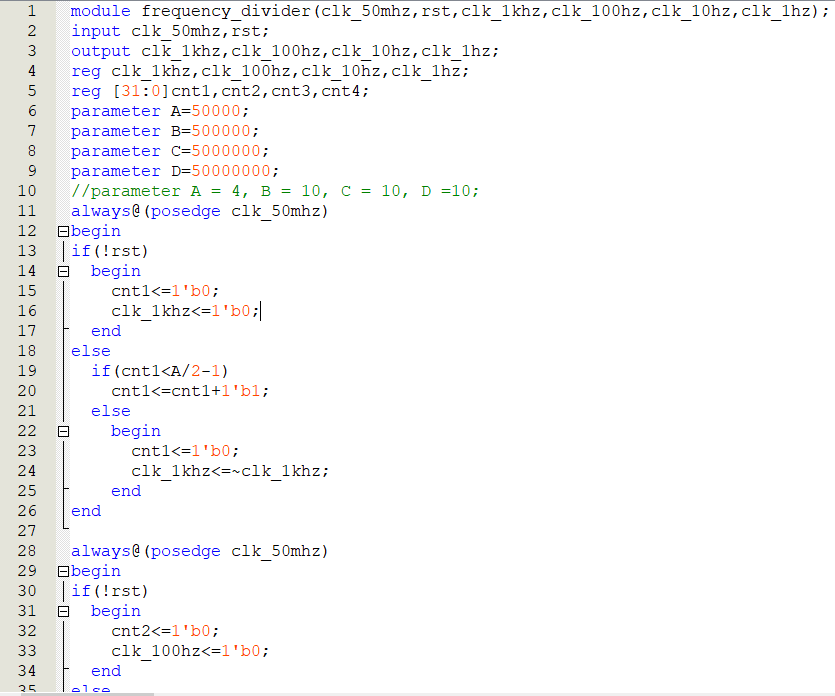


图8-10.分频器和顶层文件的代码

1. 仿真验证

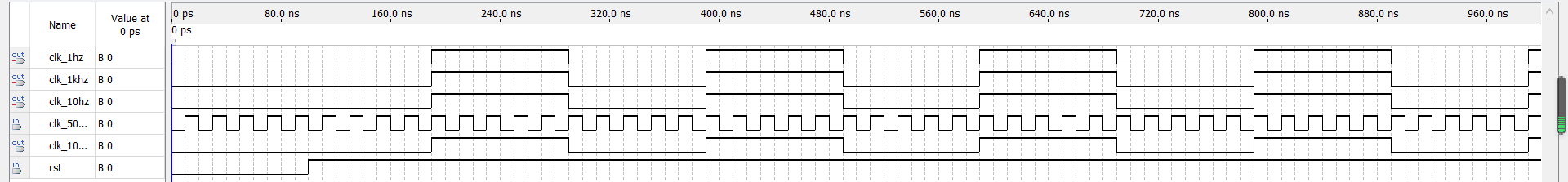


图11.波形图仿真

为了方便观察代码逻辑的正确与否，因此频率均设置为10倍缩放。由图可见，四个clk输出，频率确实被缩放了10倍，因此验证了代码的准确性。把parameter注释掉，重新写为五千万，五百万，五十万，五万，即可按照预期分频了。其中1Hz的信号接到计数器的clk输入口上。

1. 引脚分配

表3.引脚分配

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | | | | | | |
| 重置  rst | 时钟信号clk\_50mhz | data\_in[0] | data\_in[1] | data\_in[2] | data\_in[3] | ENT | ENP | 置零  CLRN | 读取  LDN |
| 引脚编号 | R18 | T1 | V13 | AA15 | M20 | N18 | E5 | C3 | AB17 | AB18 |
| 平台端口 | F10 | T1 | SW4 | SW3 | SW2 | SW1 | SW12 | SW11 | SW9 | SW10 |

表3续表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输出端 | | | | | | | |
| RCO | clk\_1Khz | clk\_10hz | clk\_100hz | 计数输出  q\_out[3] | 计数输出  q\_out[2] | 计数输出  q\_out[1] | 计数输出  q\_out[0] |
| - | U12 | V12 | V15 | W15 | Y17 | R16 | T17 |
| - | LED1 | LED2 | LED3 | LED5 | LED6 | LED7 | LED8 |

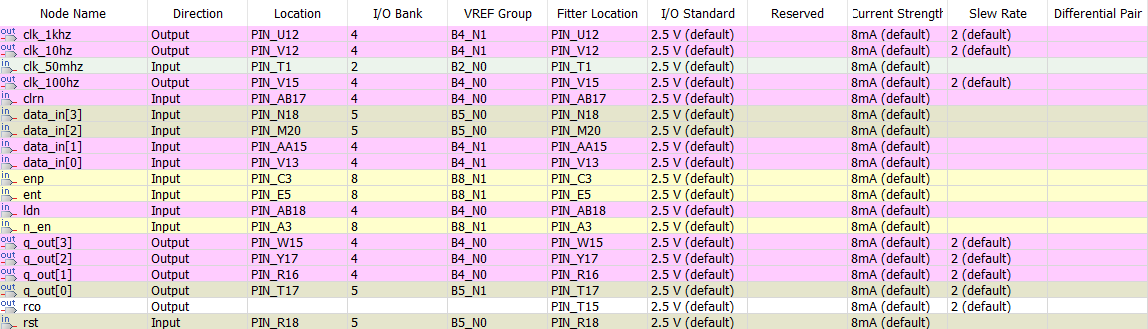


图12.引脚锁定

1. 实验现象

本任务，我们将10Hz,100Hz,1kHz的信号分别接在了LED1~3上，计数器的输出从高位到低位接到了LED5~8上。实验开始之后，10Hz的LED开始闪动，1秒一闪，而另两个LED则纹丝不动。观测LED5~8，它们也1秒一变闪动规律，而且通过观察，是按照0000~1111按顺序变化，再次表明了电路设计无误。

1. **扩展实验**

1.设计思路

我们的想法是，设计一个可以自选频率的分频器，然后通过三个计数器配合，实现模10\*N计数，再通过分别输入三个七段数码管，实现计时器的功能。但是实验进行到引脚分配的时候，发现七段数码管无法分别传入数据，因此我们原本的实验设计（图14）被迫换为了图13所示实验。我们在之后的实验中，会汲取更多经验和思路，来实现我们的想法。

本实验的分频器基于任务二修改而成，由于时间问题，我们的自选频率是一个伪自选：输入三位二进制数，分频器会根据8个数字，选择设定好的对应的八个不同的频率。因为高频信号不便于在实验台观察，因此我们只写了两种频率的频选。

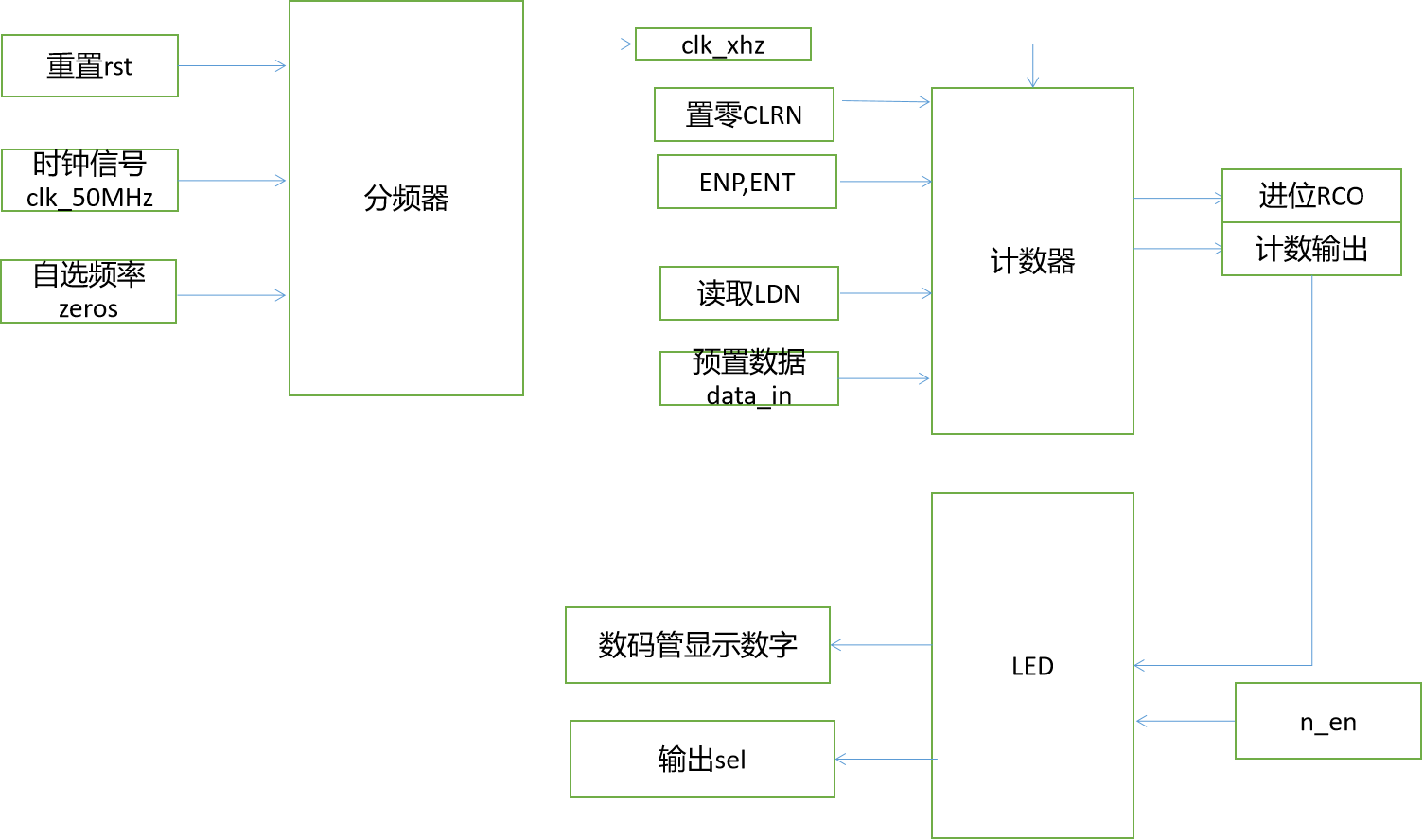


图13.扩展实验设计思路

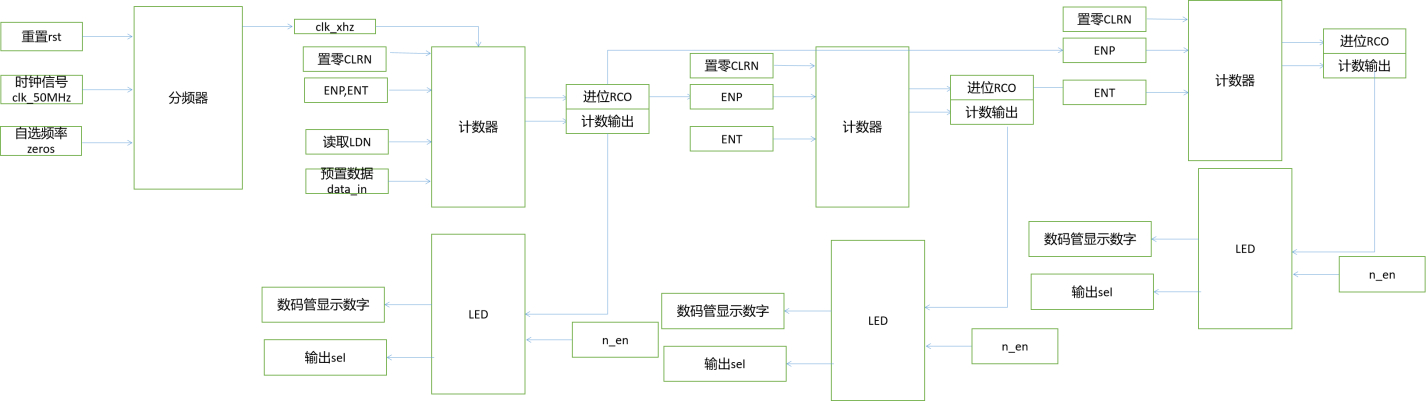


图14.扩展实验原本的设计思路

1. 详细设计

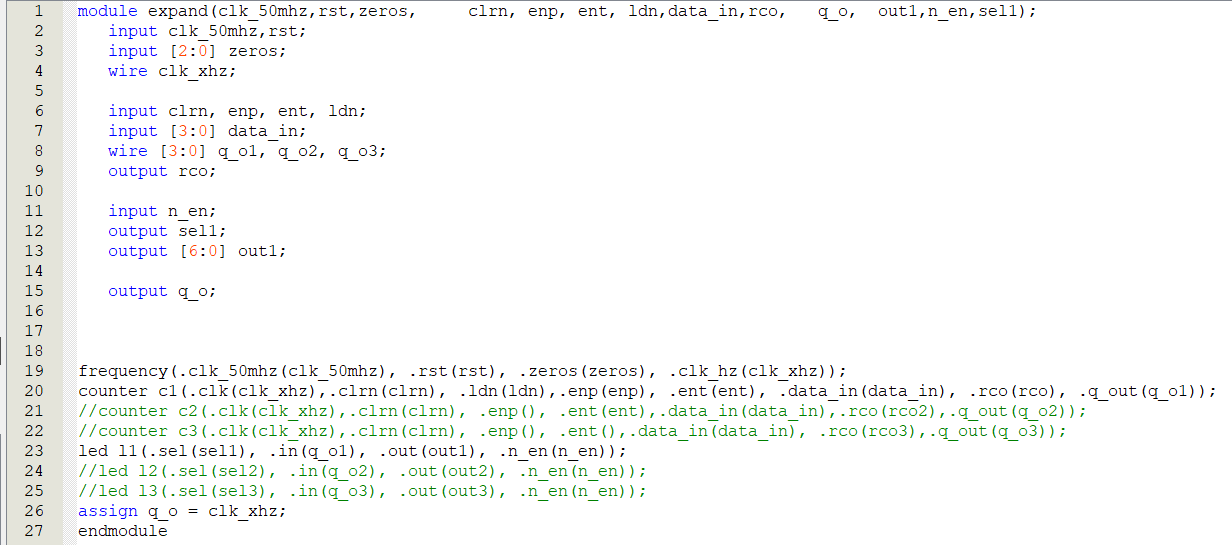
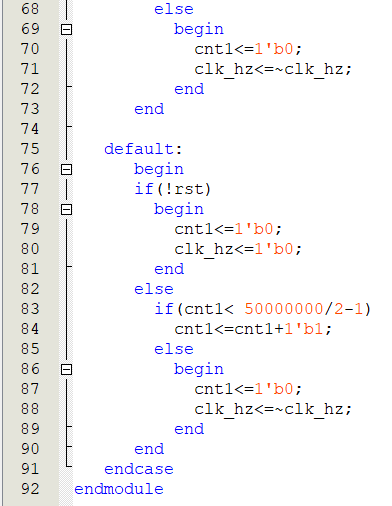
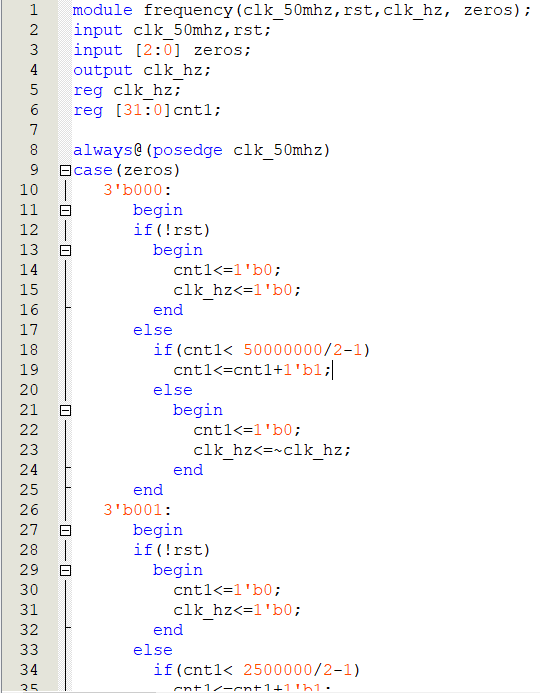


图15-17.扩展实验代码

1. 引脚分配

表4.引脚分配

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | | | | | | | | | | |
| 重置  rst | 时钟信号clk\_50mhz | | data\_in[0] | | data\_in[1] | | data\_in[2] | | data\_in[3] | ENT | ENP | 置零  CLRN | 读取  LDN |
| 引脚编号 | F7 | T1 | | V13 | | AA15 | | M20 | | N18 | E5 | C3 | AB17 | AB18 |
| 平台端口 | SW15 | T1 | | SW4 | | SW3 | | SW2 | | SW1 | SW12 | SW11 | SW9 | SW10 |
| 端口名称 | n\_en | | zeros[0] | | zeros[1] | | zeros[2] | |
| 引脚编号 | A3 | | F8 | | E7 | | C8 | |
| 平台端口 | SW16 | | SW8 | | SW7 | | SW6 | |

表4续表

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输出端 | | | | | | | | | |
| RCO | q\_o | sel1 | q\_out[6] | q\_out[5] | q\_out[4] | q\_out[3] | q\_out[2] | q\_out[1] | q\_out[0] |
| W15 | U12 | AB20 | AA20 | W20 | R21 | P21 | N21 | N20 | M21 |
| LED5 | LED1 | DS1 | LA | LB | LC | LD | LE | LF | LG |

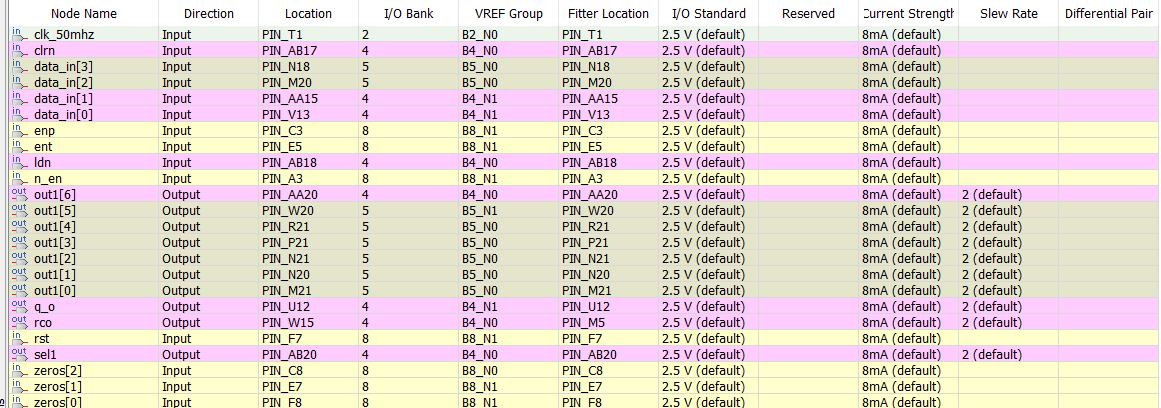


图18.引脚锁定

4.实验现象

LED灯的代码添加了10~15的A-F显示。实验开启的时候，默认为1Hz，因此计数器一秒一变，当计数到9的时候，RCO接的LED灯闪烁。改变频选的时候，七段数码管改变频率明显上升，RCO小灯也如此。ENP,ENT，ldn等功能无误。

1. **总结**

收获：

遇到的问题或现象

①实验一中，出现了按一次按钮，计数器自加若干次的现象，这是因为没有解决键盘抖动的问题。

②实验二中，由于不熟悉代码模块调用，导致我没有更改工程绑定的“.v文件”，导致卡了很久。好在及时发现了问题，进行了改正，顺利完成实验

③实验二中，100Hz和1000Hz的LED没有闪烁，这是因为闪烁频率太高，有可能人眼观测不到闪动，或者实验台为了保护电路，设置了闪动频率阈值。

④扩展实验中，我们本来想设计七段数码管计时器，但是引脚锁定的时候发现，八个七段数码管只能输入同一组数据，因此没有实现预期功能，也说明了我们相关方面的知识仍不足。

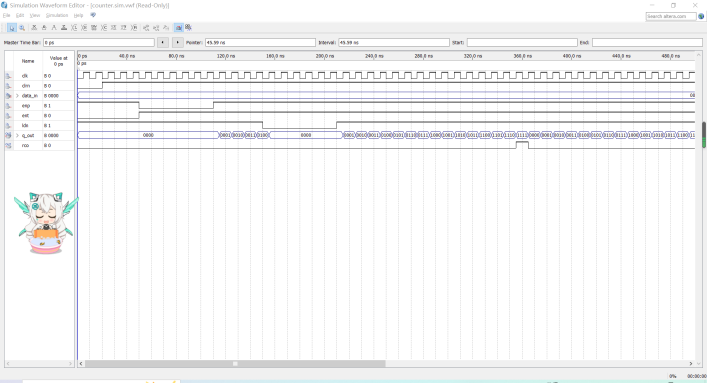
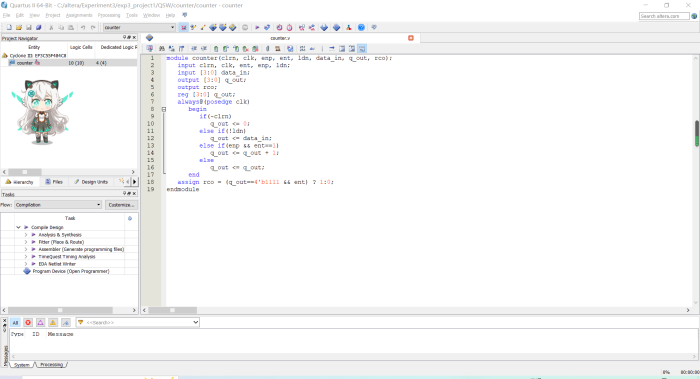


图1-2任务一计数器代码和波形图

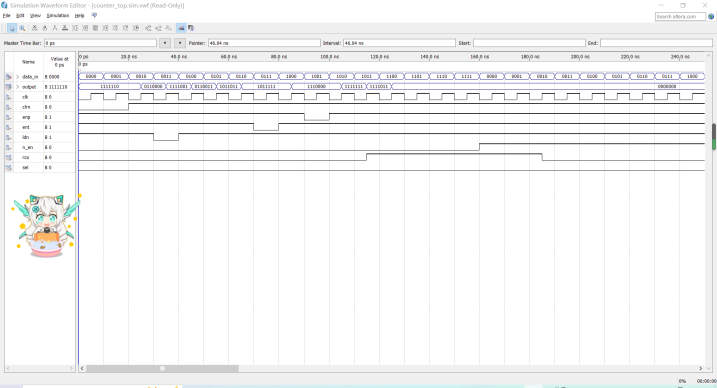
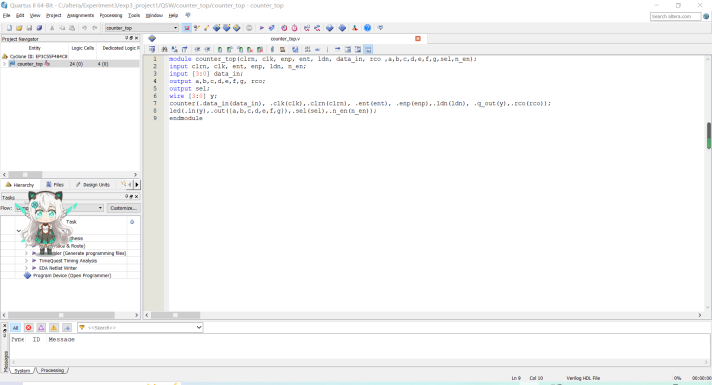
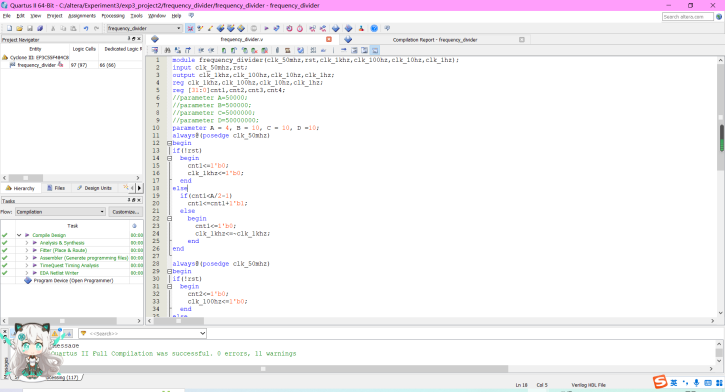
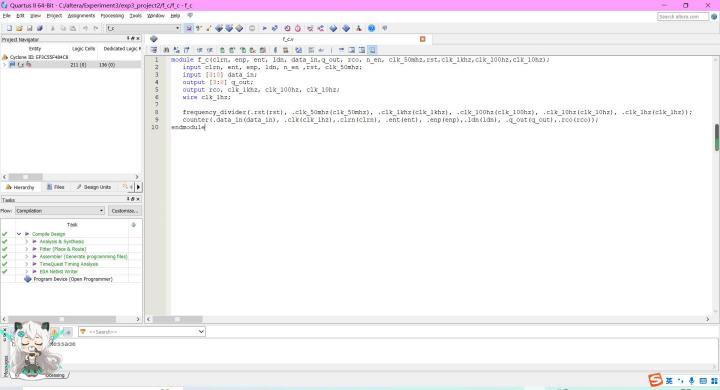


图3-4.任务一顶层文件及波形图



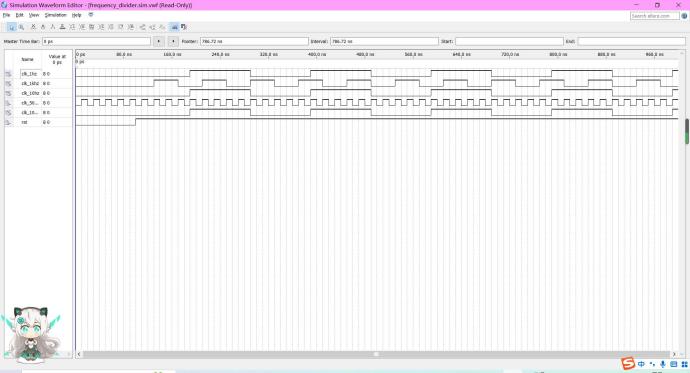


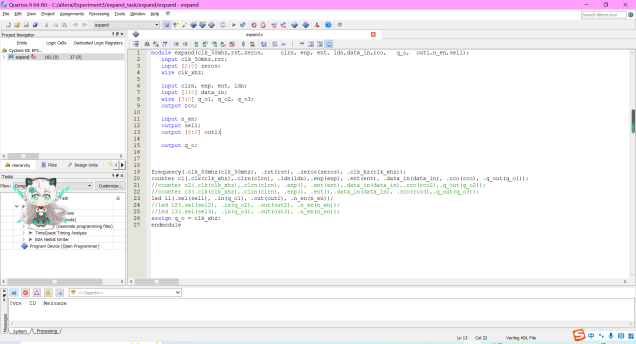
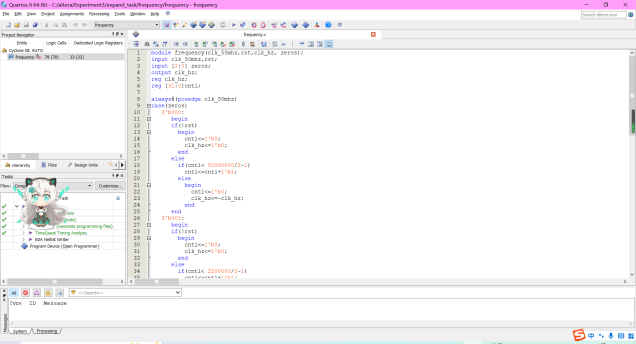
图5-7任务二分频器代码和波形图，以及顶层文件代码

图8-9.扩展任务频选分频器代码和顶层文件代码