|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2022-2023学年第1学期 | | | | **实验日期** | | 2022/10/21 | | |
| **学 院** | 信息学院 | | | | **专 业** | | 计算机科学与技术（实验班） | | |
| **班 级** | 210710 | | **学 号** | | 21071003 | | **姓 名** | | 高立扬 |
| **组 号** | 43 | | **学 号** | | 21071004 | | **姓 名** | | 石昊阳 |
| **评 阅 内 容** | | | | | | | | | |
| **任务一** | | **任务二** | | **总结** | | **格式** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验1：组合逻辑电路设计 | | | | | | | | |

1. **实验目的**

通过本实验进一步了解典型组合逻辑电路的功能和特点，掌握使用硬件描述语言设计典型组合逻辑电路的方法，巩固和加深课程基本理论知识的理解。

1.通过数据选择器、编码器、译码器等典型组合逻辑电路的设计与测试，掌握典型组合逻辑电路的工作原理及基本分析和设计方法。

2.学会使用Verilog HDL进行组合逻辑电路设计。

3.学习使用EDA软件进行电路设计、编译和方针。

4.学习实验平台的使用及下载电路的整个过程。

1. **任务一设计与实现**
2. 要求
3. 输入一个四位二进制数，该数为0~9的BCD码，经译码后产生对应的字形码，可使七段数码管上显示出对应的十进制数，即数码管上显示出0~9.具备使能端控制信号，使能端有效时按上述要求显示字形码，无效时数码管不显示。
4. 用Verilog描述该电路，编码规范参考附录B
5. 使用QuartusII13.0软件进行编辑、编译、仿真
6. 根据综合实验平台进行引脚分配并下载演示实验结果
7. 设计思路

如图1所示，本实验的设计思路如下：电路设计为低使能，输入一段8421BCD码，通过电路内部逻辑，根据书上给的数字和数字管的对应关系，输出并使数码管显示出相应的数字。同时电路还会输出sel至数码管，当sel为0，数码管才会亮起。

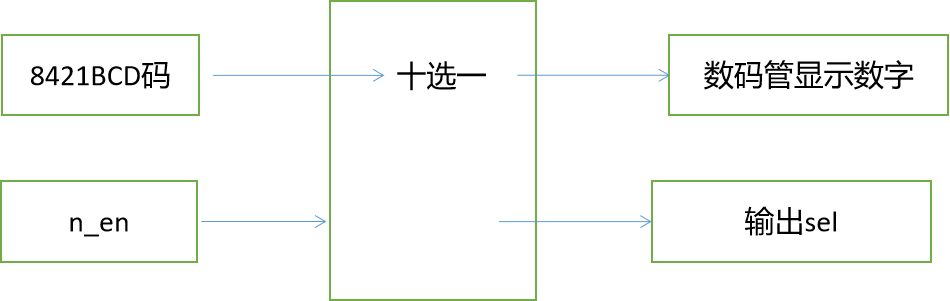


图1.七段数字显示译码器思路

1. 详细设计

表1.译码器功能表

|  |  |  |  |
| --- | --- | --- | --- |
| 使能 | 输入 | 输出 | 显示 |
| n\_en | in | out |
| 0 | 0000 | 111\_1110 | 0 |
| 0 | 0001 | 011\_0000 | 1 |
| 0 | 0010 | 110\_1101 | 2 |
| 0 | 0011 | 111\_1001 | 3 |
| 0 | 0100 | 011\_0011 | 4 |
| 0 | 0101 | 101\_1011 | 5 |
| 0 | 0110 | 101\_1111 | 6 |
| 0 | 0111 | 111\_0000 | 7 |
| 0 | 1000 | 111\_1111 | 8 |
| 0 | 1001 | 111\_1011 | 9 |
| 1 | xxxx | 000\_0000 | 全灭 |
| 0 | 1010~1111 | ddddddd | 随机 |

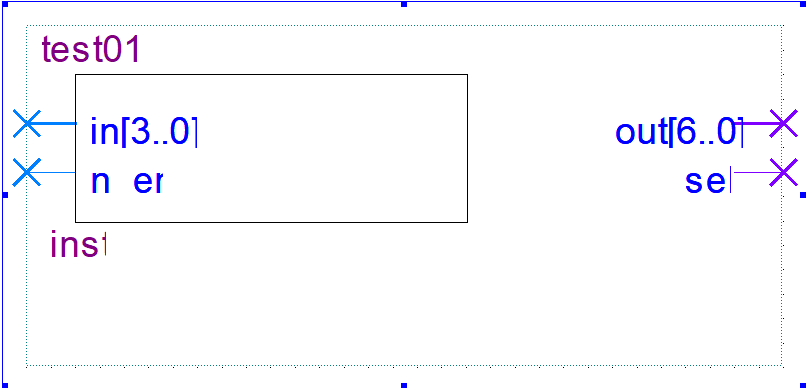


图2.功能实现的七段数字显示译码器

1. 仿真验证

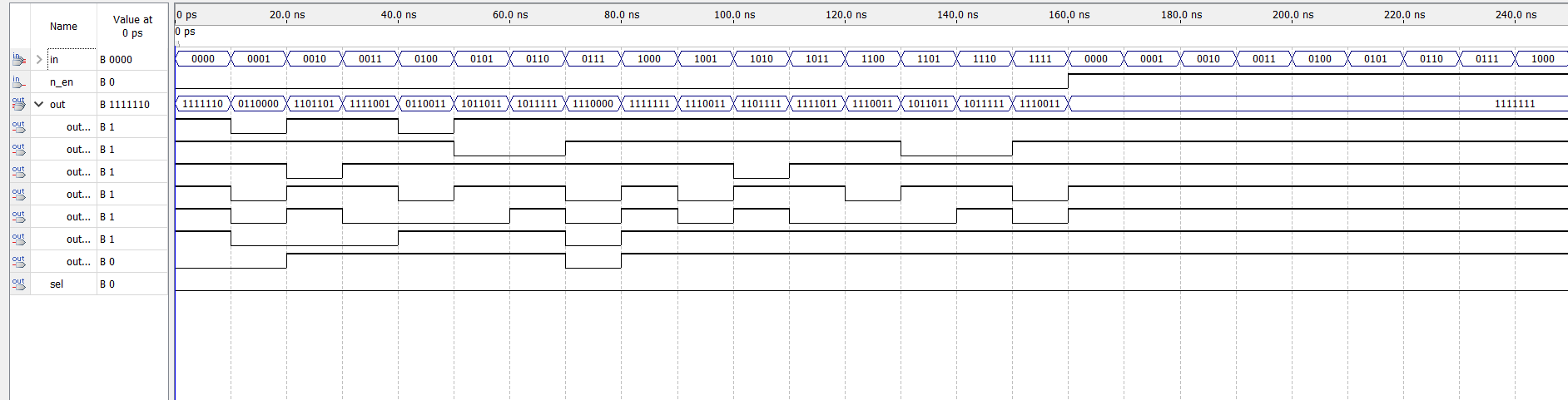


图3.仿真验证

如图3。输入为0000~1001的时候，输出的数字和预期相同，当输入为1010~1111的时候，输出为“xxxx”，因为仿真系统采用伪随机数，所以每次仿真的时候1010~1111对应的输出相同，实际应当为随机输出。当n\_en高电平的时候，输出均为我们编程的时候设置的全灭。

1. 引脚分配

引脚分配见下表

表2.引脚分配表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | 输出端 | | | | | | | |
| 待显示数据 | | | | 使能端 | 数码管段选信号 | | | | | | | 位选 |
| in[3] | in[2] | in[1] | in[0] | n\_en | out[6] | out[5] | out[4] | out[3] | out[2] | out[1] | out[0] | del |
| 引脚编号 | V13 | AA15 | M20 | N18 | D6 | AA20 | W20 | R21 | P21 | N21 | N20 | M21 | V16 |
| 平台端口 | SW4 | SW3 | SW2 | SW1 | SW9 | LA | LB | LC | LD | LE | LF | LG | DS8 |

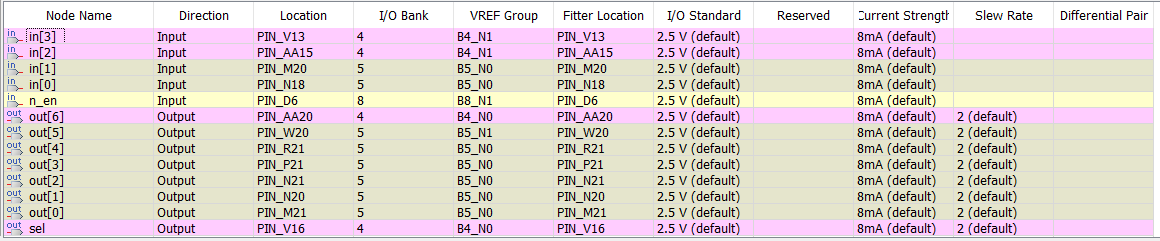


图4.quartus引脚分配图

1. 实验现象

首先使能端置1，观察到数码管全灭；使能端置0，in从0000依次拨到1001，看到数码管显示的数字分别是0到9，符合预期；in从1010拨弄到1111，看到了怪异的图形，根据波形图也可以找到怪异图形的对应关系，比如1010对应一个左右颠倒的“9”。本次实验符合所有输出预期。

1. **任务二设计与实现**
2. 要求

用Verilog实现一个4位八选一数据选择器，仿真验证通过后将该电路封装成电路符号。编码规范参考附录B。控制数据选择端，将个人学号按8421 BCD码依次输出到LED 灯上。

1. 设计思路

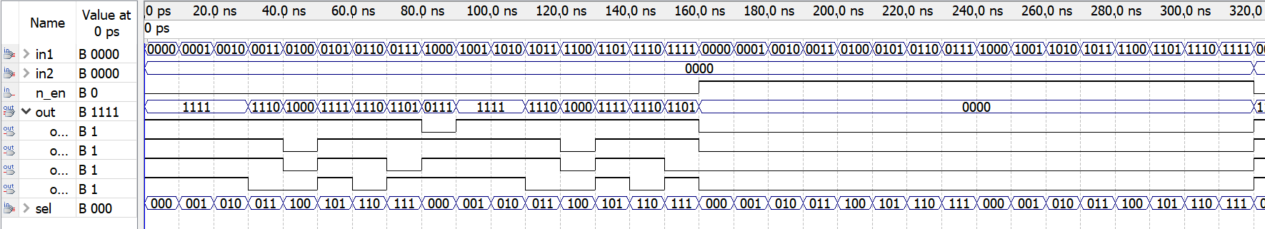
本实验的设计思路如下：电路设计为低使能，输入自己的学号，其中每一位学号用四位的8421bcd码表示。再用一个三位的sel输入选择输出学号的某一位。考虑到实验台上拨动开关的个数限制，只用输入其中的两位学号即可，其他位学号已经通过parameter的形式固定。

1. 详细设计

表3.选择器功能表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 使能 | 输入 | | | 输出 |
| n\_en | sel | in1 | in2 | out |
| 0 | 000 | 0000 | dddd | 0000 |
| 0001 | dddd | 0001 |
| 0010 | dddd | 0010 |
| 0011 | dddd | 0011 |
| 0100 | dddd | 0100 |
| 0101 | dddd | 0101 |
| 0110 | dddd | 0110 |
| 0111 | dddd | 0111 |
| 1000 | dddd | 1000 |
| 1001 | dddd | 1001 |
| 001 | dddd | 0000 | 0000 |
| dddd | 0001 | 0001 |
| dddd | 0010 | 0010 |
| dddd | 0011 | 0011 |
| dddd | 0100 | 0100 |
| dddd | 0101 | 0101 |
| dddd | 0110 | 0110 |
| dddd | 0111 | 0111 |
| dddd | 1000 | 1000 |
| dddd | 1001 | 1001 |
| 010 | dddd | dddd | 1111 |
| 011 | dddd | dddd | 1110 |
| 100 | dddd | dddd | 1000 |
| 101 | dddd | dddd | 1111 |
| 110 | dddd | dddd | 1110 |
| 111 | dddd | dddd | 1101 |
| 1 | ddd | dddd | dddd | 0000 |

1. 仿真验证

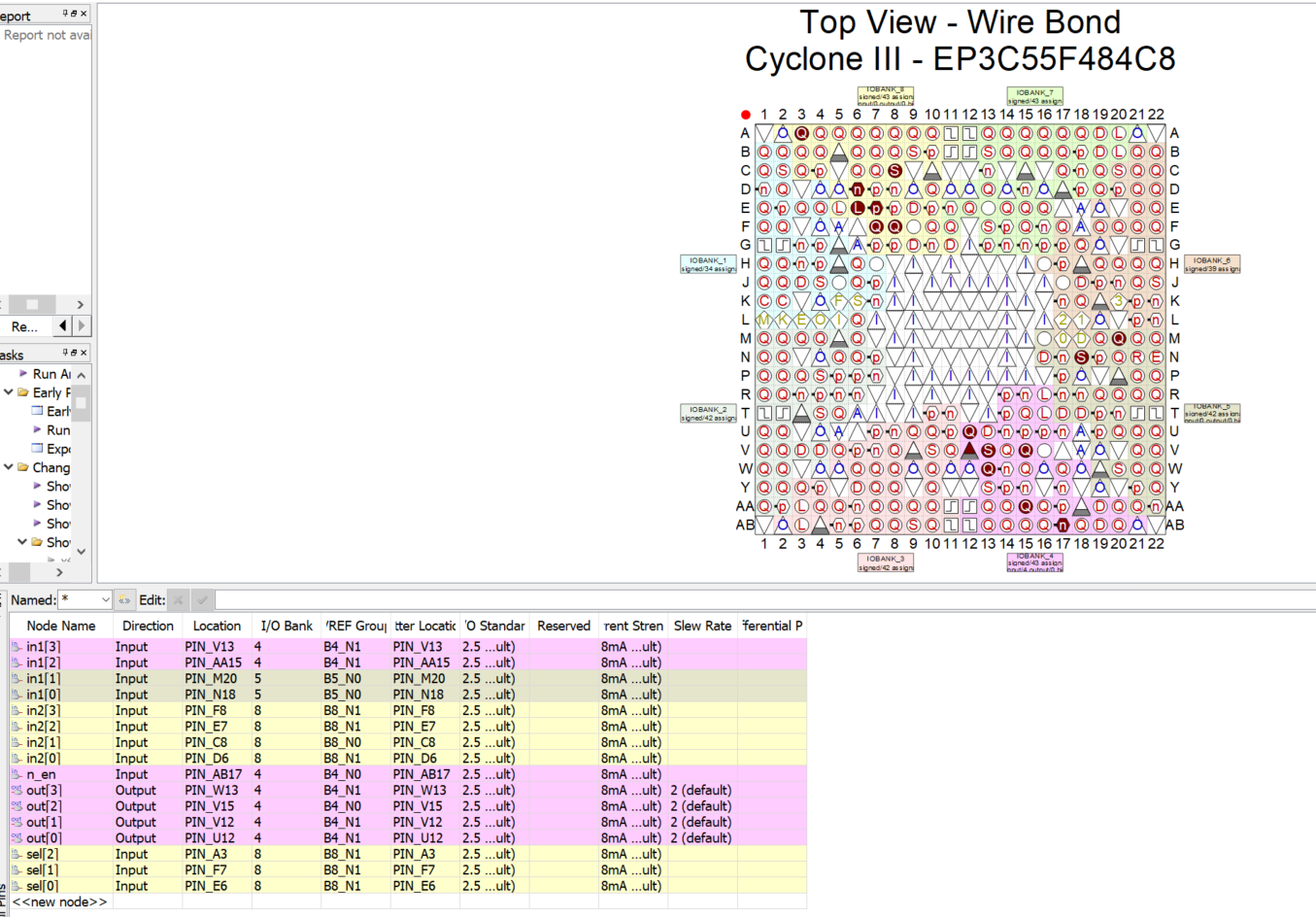


1. 引脚分配

引脚分配见下表

表4.引脚分配表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | | | | | | | | | |
| 待显示数据 | | | | | | | | |  | | | | |
| in1[3] | | in1[2] | in1[1] | in1[0] | in2[3] | in2[2] | in2[1] | in2[0] | sel[2] | | sel[1] | sel[0] | n\_en |
| 引脚编号 | V13 | | AA15 | M20 | N18 | F8 | E7 | C8 | D6 | A3 | | F7 | E6 | AB17 |
| 平台端口 | SW4 | | SW3 | SW2 | SW1 | SW8 | SW7 | SW6 | SW5 | SW16 | | SW15 | SW14 | SW9 |
| 端口名称 | 输出端 | | | | | | | | | | | | | |
|  | | | | | | | | | | | | | |
| out[3] | out[2] | | | | | | out[1] | | | out[0] | | | |
| 引脚编号 | W13 | V15 | | | | | | V12 | | | U12 | | | |
| 平台端口 | LED4 | LED3 | | | | | | LED2 | | | LED1 | | | |



1. 实验现象

当使能端置于高电平时，四个LED灯全亮，与预期输出相反。当时能端置于低电平时，sel选择000，in1分别从0000拨至1001，观察LED灯，亮灭情况与预期输出相反。sel选择001，in2分别从0000拨至1001，观察LED灯，亮灭情况与预期输出相反。sel选择010至111，观察LED灯，亮灭情况与预期输出相反。其原因是实验台的二极管灯泡后边接了个反。

1. **总结**

附图1：原理图或程序代码

附图2：波形仿真