

# 65C02 INSTRUCTIONS

Modes		LSR		NUBDIZC		BEQ		NUBDIZC		Transfer	
Ip	Implied	Logical Shift Right		Branch on Equal		TAX		NUBDIZC		Transfer A to X	
Ac	Accumulator	Ac <sup>2</sup> Z <sup>5</sup> Zx <sup>6</sup> Ab <sup>6</sup> Ax <sup>7+</sup>		R <sup>2</sup>		Transfer A to X		Ip <sup>2</sup>			
Im	Immediate \$12	ROL		NUBDIZC		BNE		NUBDIZC		Transfer A to Y	
Z	ZeroPage \$12	ROtate Left		R <sup>2</sup>		Branch on Not Equal		TAY		NUBDIZC	
Zx	ZeroPage,X \$12,X	Ac <sup>2</sup> Z <sup>5</sup> Zx <sup>6</sup> Ab <sup>6</sup> Ax <sup>7+</sup>		R <sup>2</sup>		Branch on Carry Clear		Transfer A to Y		Ip <sup>2</sup>	
Zy	ZeroPage,Y \$12,Y	ROR		NUBDIZC		BCC		NUBDIZC		Transfer X to A	
Ab	Absolute \$1234	ROtate Right		R <sup>2</sup>		Branch on Carry Set		TXA		NUBDIZC	
Ax	Absolute,X \$1234,X	Ac <sup>2</sup> Z <sup>5</sup> Zx <sup>6</sup> Ab <sup>6</sup> Ax <sup>7+</sup>		R <sup>2</sup>		Branch on Carry Set		Transfer X to A		Ip <sup>2</sup>	
Ay	Absolute,Y \$1234,Y	AND		NUBDIZC		BCS		NUBDIZC		Transfer Y to A	
R	Relative LABEL	bitwise AND with accumulator		R <sup>2</sup>		Branch on Carry Set		TYA		NUBDIZC	
Ix	Ind, zp X (\$12,X)	Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		R <sup>2</sup>		Branch on oVerflow Clear		Transfer Y to A		Ip <sup>2</sup>	
IaX	Ind, abs X (\$1234,X)	Ay <sup>4+</sup> Ix <sup>6</sup> Iy <sup>5</sup> Iz <sup>5</sup>		R <sup>2</sup>		Clear		Calc			
Iy	Ind, zp Y (\$12,Y)	ORA		NUBDIZC		BUS		INA		NUBDIZC	
Iz	Ind, zp (\$12)	bitwise OR with Accumulator		R <sup>2</sup>		Branch on oVerflow Set		INcrement Accumulator		Ac <sup>2</sup>	
Ia	Ind, abs (\$1234)	Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		R <sup>2</sup>		BMT		INX		NUBDIZC	
		Ay <sup>4+</sup> Ix <sup>6</sup> Iy <sup>5</sup> Iz <sup>5</sup>		R <sup>2</sup>		Branch on MINus		INcrement X		Ip <sup>2</sup>	
Load & Store		EOR		NUBDIZC		BPL		INV		NUBDIZC	
LDA	NUBDIZC	bitwise Exclusive OR		R <sup>2</sup>		Branch on PLus		INcrement Y		Ip <sup>2</sup>	
Load Accumulator		Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		R <sup>2</sup>		BBR<0-7>		DEA		NUBDIZC	
Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		Ay <sup>4+</sup> Ix <sup>6</sup> Iy <sup>5</sup> Iz <sup>5</sup>		R <sup>2</sup>		Branch on Bit Reset		DEcrement Accumulator		Ac <sup>2</sup>	
LDX	NUBDIZC	BIT		NUBDIZC		BBs<0-7>		DEX		NUBDIZC	
Load X register		test BITs		R <sup>2</sup>		Branch on Bit Set		DEcrement X		Ip <sup>2</sup>	
Im <sup>2</sup> Z <sup>3</sup> Zy <sup>4</sup> Ab <sup>4</sup> Ay <sup>4+</sup>		Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		R <sup>2</sup>		Stack		DEY		NUBDIZC	
LDY	NUBDIZC	Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		R <sup>2</sup>		PHA		DEcrement Y		Ip <sup>2</sup>	
Load Y register		Ay <sup>4+</sup> Ix <sup>6</sup> Iy <sup>5</sup> Iz <sup>5</sup>		R <sup>2</sup>		Push Accumulator		INC		NUBDIZC	
Im <sup>2</sup> Z <sup>3</sup> Zy <sup>4</sup> Ab <sup>4</sup> Ay <sup>4+</sup>		CMP		NUBDIZC		PhX		INcrement memory		Z <sup>5</sup> Zx <sup>6</sup> Ab <sup>6</sup> Ax <sup>7+</sup>	
STA	NUBDIZC	Compare accumulator		R <sup>2</sup>		Push X register		DEC		NUBDIZC	
Store Accumulator		Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		R <sup>2</sup>		PhY		DEcrement memory		Z <sup>5</sup> Zx <sup>6</sup> Ab <sup>6</sup> Ax <sup>7+</sup>	
Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>5+</sup> Ay <sup>5+</sup>		Ay <sup>4+</sup> Ix <sup>6</sup> Iy <sup>5</sup> Iz <sup>5</sup>		R <sup>2</sup>		Push Y register		ADC		NUBDIZC	
STX	NUBDIZC	CPX		NUBDIZC		IPHP		ADD with Carry		Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>	
Store X register		Compare X register		R <sup>2</sup>		Push Processor status		Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		Ay <sup>4+</sup> Ix <sup>6</sup> Iy <sup>5</sup> Iz <sup>5</sup>	
Z <sup>3</sup> Zy <sup>4</sup> Ab <sup>4</sup>		Im <sup>2</sup> Z <sup>3</sup> Ab <sup>4</sup>		R <sup>2</sup>		IPLA		SBC		NUBDIZC	
STY	NUBDIZC	CPY		NUBDIZC		Pull Accumulator		SuBtract with Carry		Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>	
Store Y register		Compare Y register		R <sup>2</sup>		Ip <sup>4</sup>		Im <sup>2</sup> Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>4+</sup>		Ay <sup>4+</sup> Ix <sup>6</sup> Iy <sup>5</sup> Iz <sup>5</sup>	
Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup>		Im <sup>2</sup> Z <sup>3</sup> Ab <sup>4</sup>		R <sup>2</sup>		IPPL		PLP		NUBDIZC	
STZ	NUBDIZC	TRB		NUBDIZC		Pull Processor status		PLX		NUBDIZC	
Store Zero		Test and Reset Bits		R <sup>2</sup>		Ip <sup>4</sup>		Pull X register		Ip <sup>4</sup>	
Z <sup>3</sup> Zx <sup>4</sup> Ab <sup>4</sup> Ax <sup>5+</sup>		Z <sup>5</sup> Ab <sup>6</sup>		R <sup>2</sup>		IPPL		PLY		NUBDIZC	
State		TSB		NUBDIZC		IPPL		Transfer X to Stack		Ip <sup>2</sup>	
CLC	NUBDIZC	Test and Set Bits		R <sup>2</sup>		IPPL		TSX		NUBDIZC	
Clear Carry		Z <sup>5</sup> Ab <sup>6</sup>		R <sup>2</sup>		IPPL		Transfer Stack to X		Ip <sup>2</sup>	
Ip <sup>2</sup>		RMB		NUBDIZC		IPPL		WAI		NUBDIZC	
CLD	NUBDIZC	Reset Memory Bit		R <sup>2</sup>		IPPL		Wait for Interrupt		Ip <sup>3</sup>	
Clear Decimal		Z <sup>5</sup> Ab <sup>6</sup>		R <sup>2</sup>		IPPL					
Ip <sup>2</sup>		SMB		NUBDIZC		IPPL					
CLI	NUBDIZC	Set Memory Bit		R <sup>2</sup>		IPPL					
Clear Interrupt		Z <sup>5</sup> Ab <sup>6</sup>		R <sup>2</sup>		IPPL					
Ip <sup>2</sup>		Flow		R <sup>2</sup>		IPPL					
CLV	NUBDIZC	JMP		NUBDIZC		IPPL					
Clear oVerflow		JuMP		R <sup>3</sup>		IPPL					
Ip <sup>2</sup>		Ab <sup>3</sup> Ia <sup>5+</sup> IaX <sup>6+</sup>		R <sup>3</sup>		IPPL					
SEC	NUBDIZC	JSR		NUBDIZC		IPPL					
SEt Carry		Jump to SubRoutine		R <sup>3</sup>		IPPL					
Ip <sup>2</sup>		Ab <sup>6</sup>		R <sup>3</sup>		IPPL					
SED	NUBDIZC	RTS		NUBDIZC		IPPL					
SEt Decimal		ReTurn from Subroutine		R <sup>3</sup>		IPPL					
Ip <sup>2</sup>		Ip <sup>6</sup>		R <sup>3</sup>		IPPL					
SEI	NUBDIZC	RTI		NUBDIZC		IPPL					
SEt Interrupt		ReTurn from Interrupt		R <sup>3</sup>		IPPL					
Ip <sup>2</sup>		Ip <sup>6</sup>		R <sup>3</sup>		IPPL					
Bits		BRA		NUBDIZC		IPPL					
ASL	NUBDIZC	BRanch Always		R <sup>3</sup>		IPPL					
Arithmetic Shift Left		R <sup>3</sup>		R <sup>3</sup>		IPPL					
Ac <sup>2</sup> Z <sup>5</sup> Zx <sup>6</sup> Ab <sup>6</sup> Ax <sup>7+</sup>						IPPL					