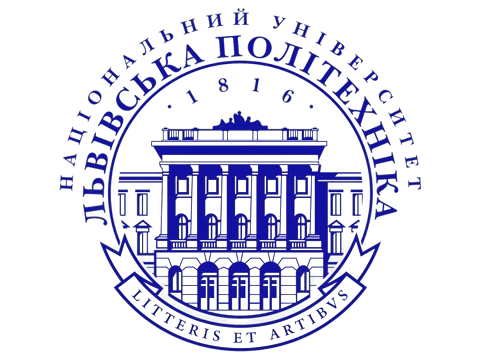
Міністерство освіти і науки України

Національний університет «Львівська Політехніка»

Кафедра ЕОМ



Звіт

До лабораторної роботи №1

З дисципліни: “**Моделювання комп**’**ютерних систем**”

На тему: **«****Інсталяція та ознайомлення з середовищем розробки Xilins ISE. Ознайомлення зі стендом Elbert V2 – Sparten 3A FPGA»**

Виконав:

ст. гр. КІ-202

Іваньчук О.Ю.

Прийняв:

Козак Н.Б.

**Львів 2023**

**Мета роботи:**

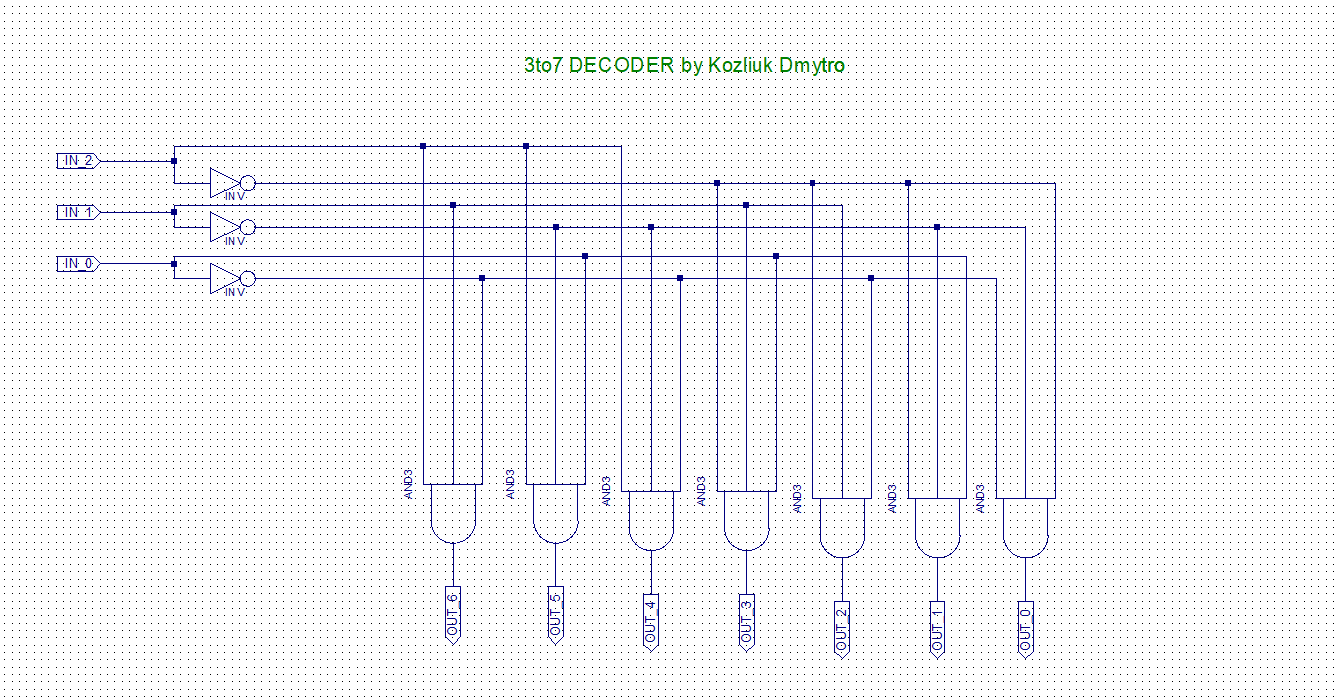
Інсталювати та ознайомитися з середовищем розробки Xilins ISE. Ознайомитися зі стендом Elbert V2 – Sparten 3A FPGA.

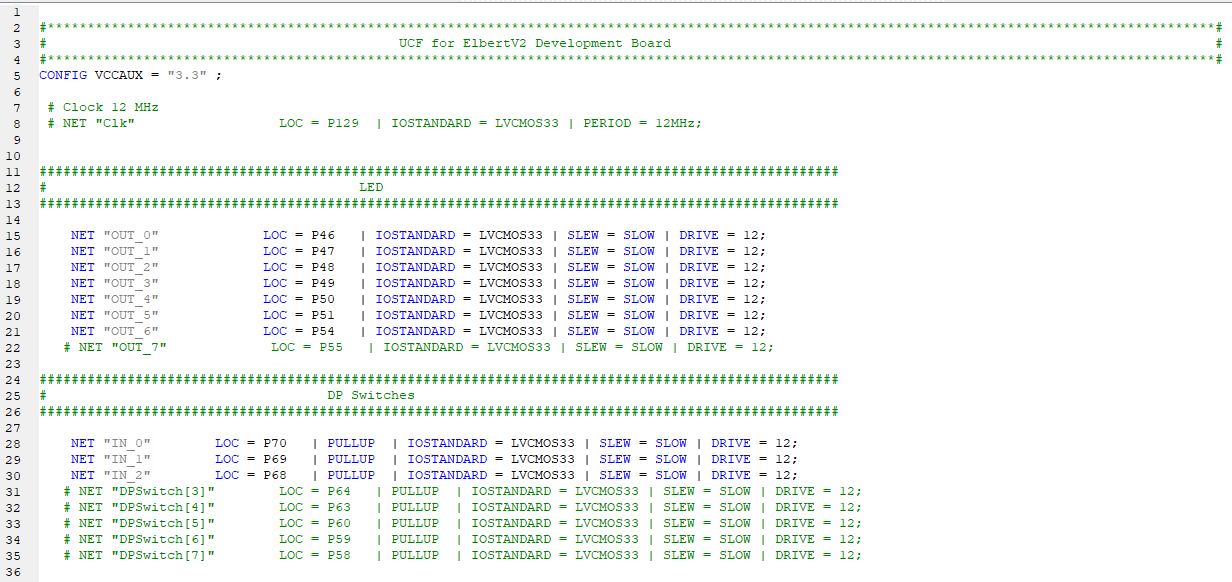
**Вхідне завдання:**

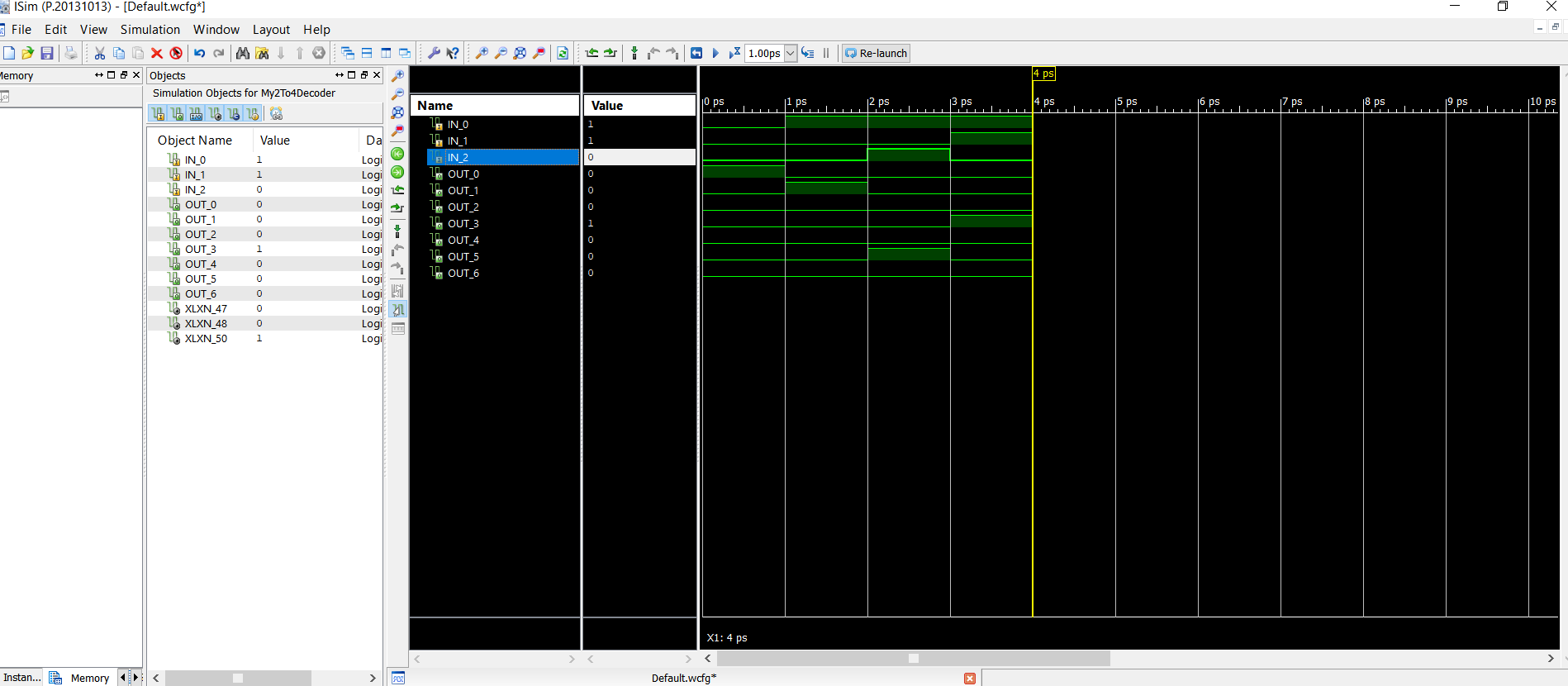
* Створення облікового запису www.xilinx.com
* Інсталяція та отримання ліцензії.
* Побудова дешифратора 3->7 за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
* Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Sparten 3A FPGA.

**Хід виконання:**

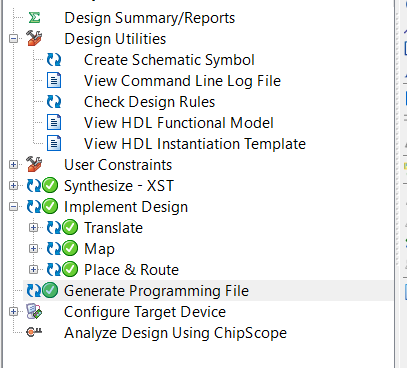
1. Додав до проекту новий Schematic файл. Використовуючи компоненти з бібліотеки, реалізував схему згідно завдання. На малюнку нижче зображено схему дешифратора 3->7.



1. Додав до проекту User Constraint файл. Призначення виводам схеми фізичні виводи цільової FPGA.
2. Перевірка роботи схеми за допомогою симулятора ISim.

****

1. Генерування BIT файла:

****

**Аналіз:** При здійсненні перевірки роботи схеми за допомогою симулятора ISim, як бачимо, що при подачі на входи IN\_0,IN\_1,IN\_2 комбінації 000 відповідно на виході OUT\_0 з’являється логічна одиниця. При подачі на входи IN\_0, IN\_1, IN\_2 комбінації 100 відповідно на виході OUT\_1 з’являється логічна одиниця. При подачі на входи IN\_0, IN\_1, IN\_2 комбінації 101 відповідно на виході OUT\_5 з’являється логічна одиниця. Отже, можна зробити висновок, що дешифратор працює правильно.

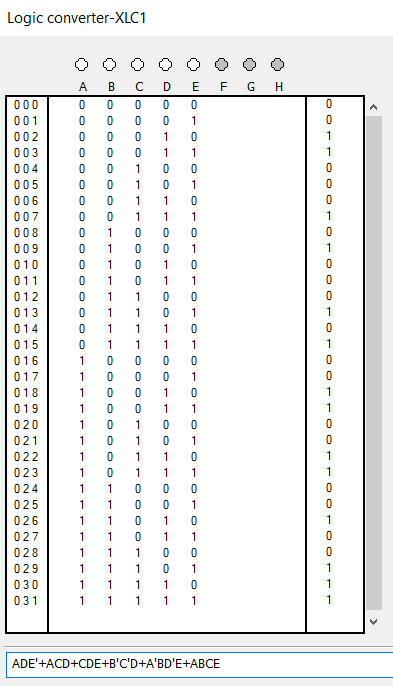
**Додаткове завдання:**

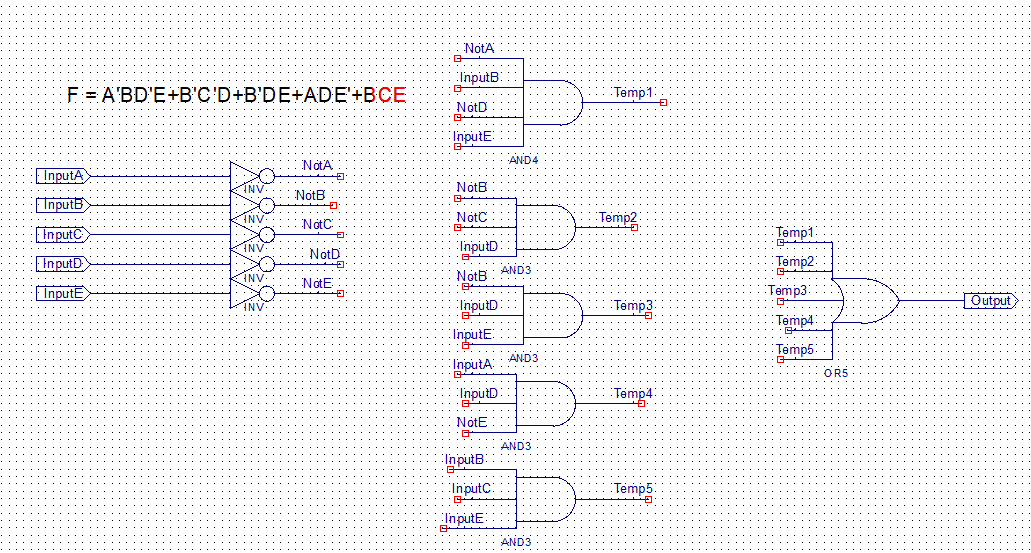
Розробити комбінаційну схему реалізації функції:

F = ADE'+ACD+CDE+B'C'D+A'BD'E+ABCE

Мінімізований вираз: F = A'BD'E+B'C'D+B'DE+ADE'+BCE

**Таблиця істинності:**

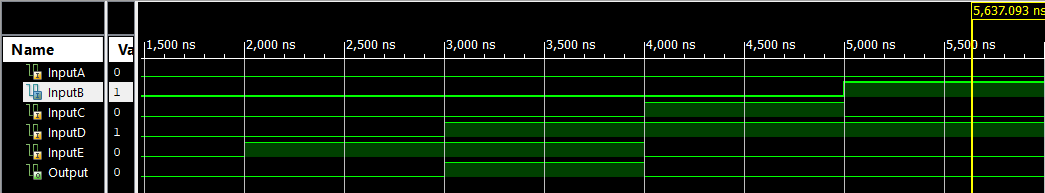


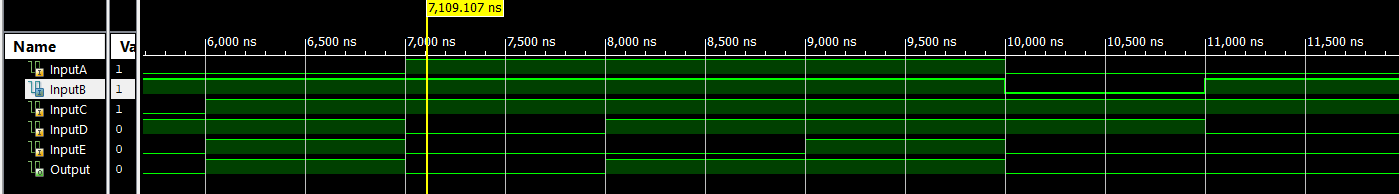
**Реалізація:**

**Результати дослідження**

На входи мікросхеми було подано 11 тактових імпульсів сигналів ABCDE: 00000, 00001, 00011, 00110, 01010, 01111, 11100, 11110, 11111, 00110, 01100 відповідно. І при симуляції можна побачити, що сигнал на виході співпадає з таблицею істинності.

Отже можна зробити висновок, що розроблена комбінаційна схема реалізації заданої функції працює коректно.





**Висновок**

Під час виконання лабораторної роботи я інсталював та ознайомився з середовищем розробки Xilins ISE. Розробив модель дешифратора 3->7 та здійснив симуляцію роботи цієї схеми. Розробив комбінаційну схему реалізації функції.