



Звіт

З лабораторної роботи № 1

З дисципліни «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.

Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконав: ст. гр. КІ-202

Душний О.І.

Прийняв:

Козак Н. Б.

Львів – 2023

Мета: ознайомлення з середовищем розробки Xilinx ISE та побудова дешифратора 3-7.

Виконання завдання

Згідно завдання було розроблено схему дешифратора 3 в 7, використовуючи компоненти з бібліотеки, у новому, доданому до проекту Schematic файлу.

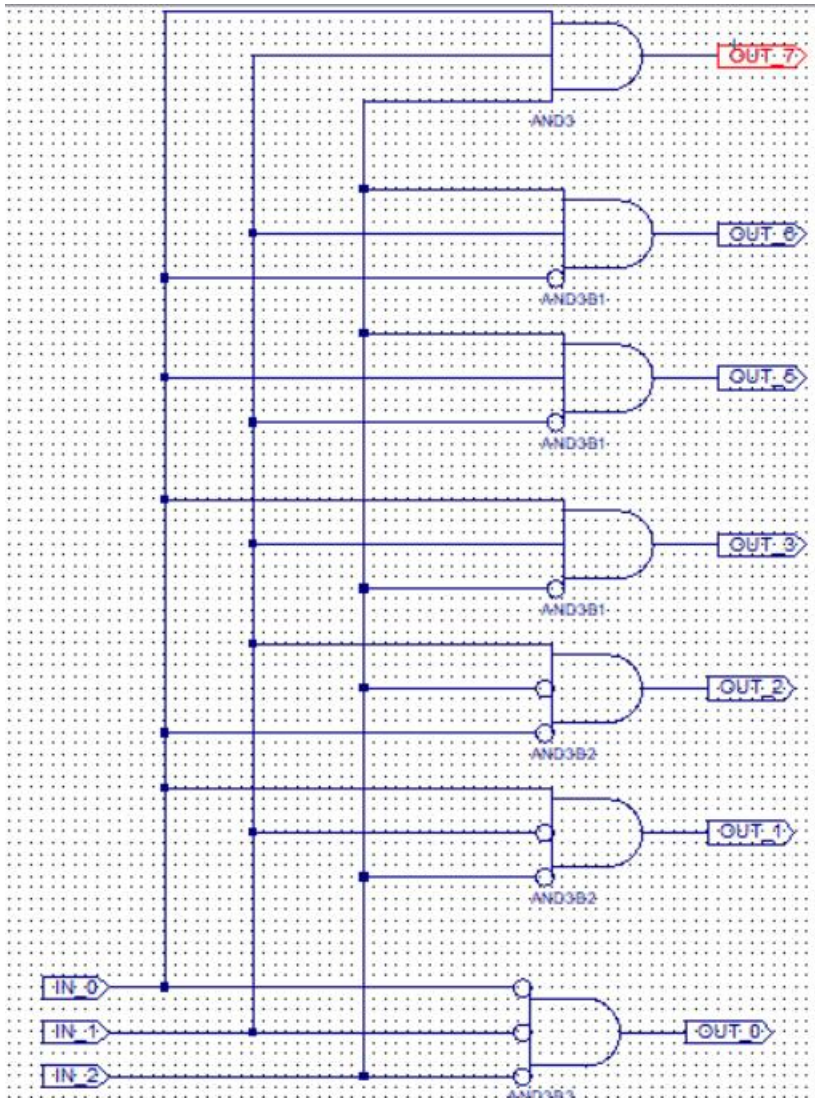


Рис.1. Схема дешифратора 3 в 7

Згодом було додану до проекту User Constraint файл, в якому було додано змінений вміст файлу elbertv2.ucf.

```

1  #+++++
2  # This file is a .ucf for ElbertV2 Development Board
3  # To use it in your project :
4  # * Remove or comment the lines corresponding to unused pins in the project
5  # * Rename the used signals according to the your project
6  #+++++
7
8  #*****
9  #                               UCF for ElbertV2 Development Board
10 #*****
11 CONFIG VCCAUX = "3.3" ;
12
13 # Clock 12 MHz
14 #NET "Clk"                LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
15
16
17 #*****
18 #                               LED
19 #*****
20
21 NET "OUT_7"                LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_6"                LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_5"                LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_3"                LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 NET "OUT_2"                LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
26 NET "OUT_1"                LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27 NET "OUT_0"                LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28 #*****
29 #                               DP Switches
30 #*****
31
32 NET "IN_0"                 LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
33 NET "IN_1"                 LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 NET "IN_2"                 LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 |

```

Рис.2. User Constraint файл

За допомогою симулятора ISim у режимі Simulation було перевірено роботу схеми.



Рис.3. Перший запуск симуляції

Згодом було створено конфігураційний файл і були послідовно запуснені процеси, щоб переконатися що всі процеси успішно виконалися. Також ми згенерували ВІТ файл.

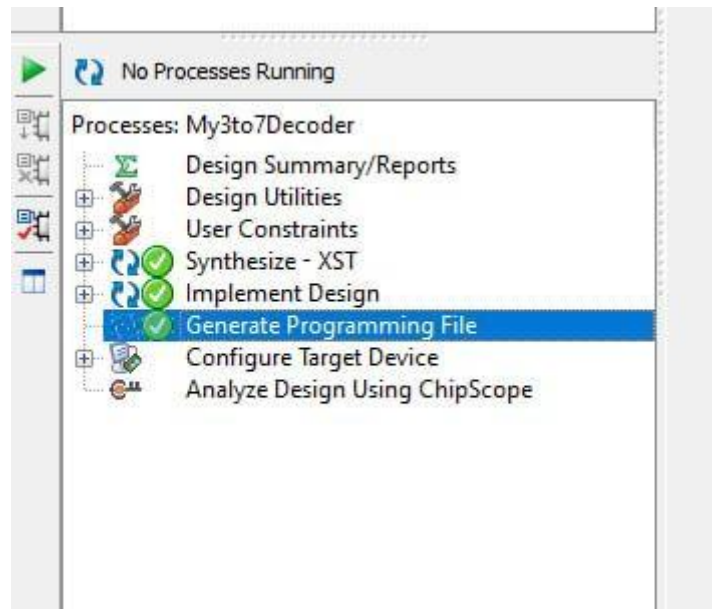


Рис.4. Виконання процесів

Знайдемо необхідний порт у диспетчері завдань.

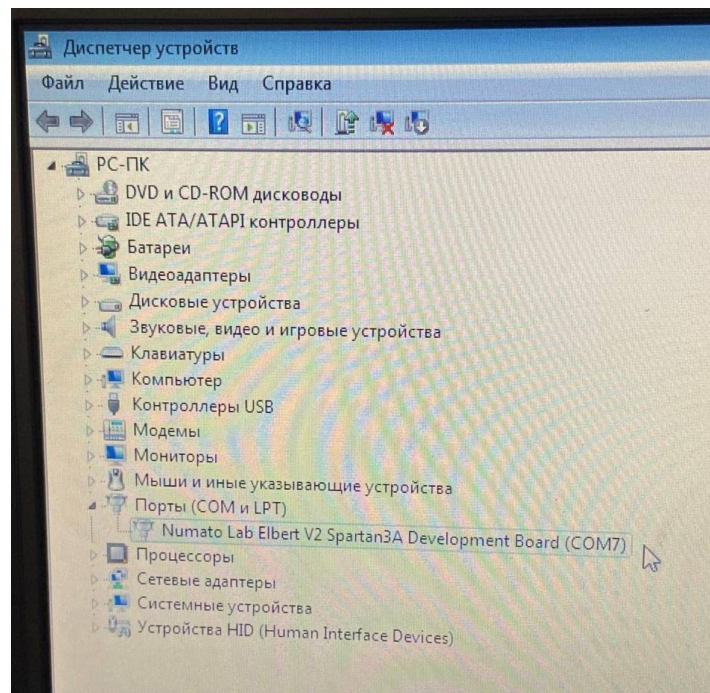


Рис.5. Диспетчер завдань

Запрограмуємо лабораторний стенд отриманим ВІТ файлом.

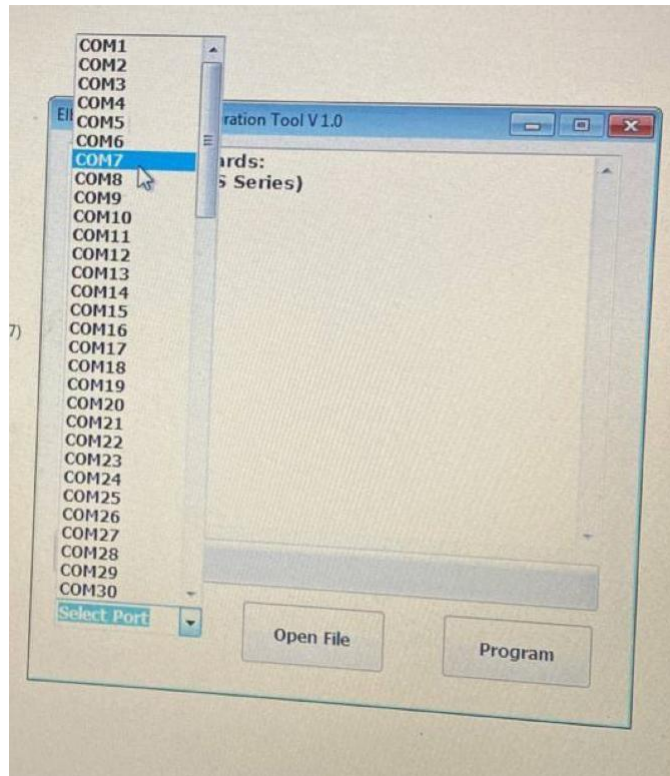


Рис.6. ElbertV2Config.exe

Дочекаємося виконання процесу.

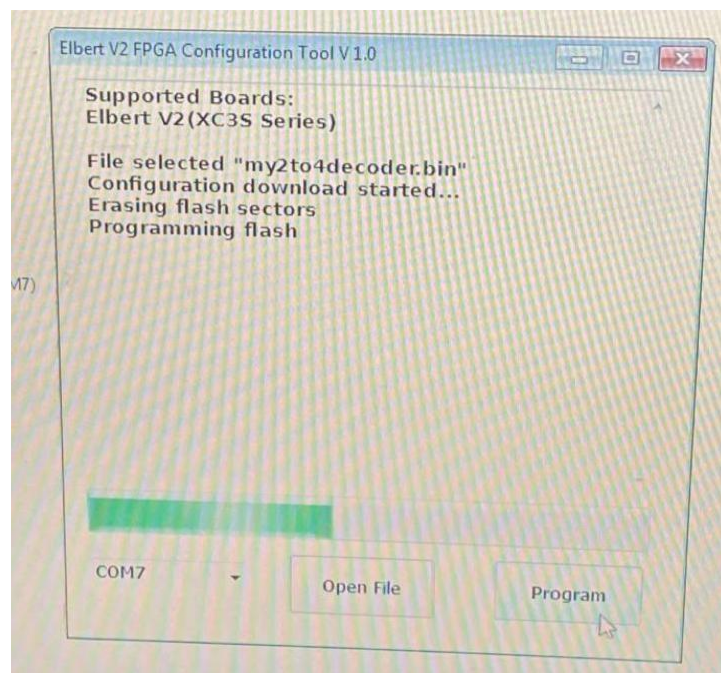


Рис.7. Виконання процесу

Перевіримо роботу проєкту.

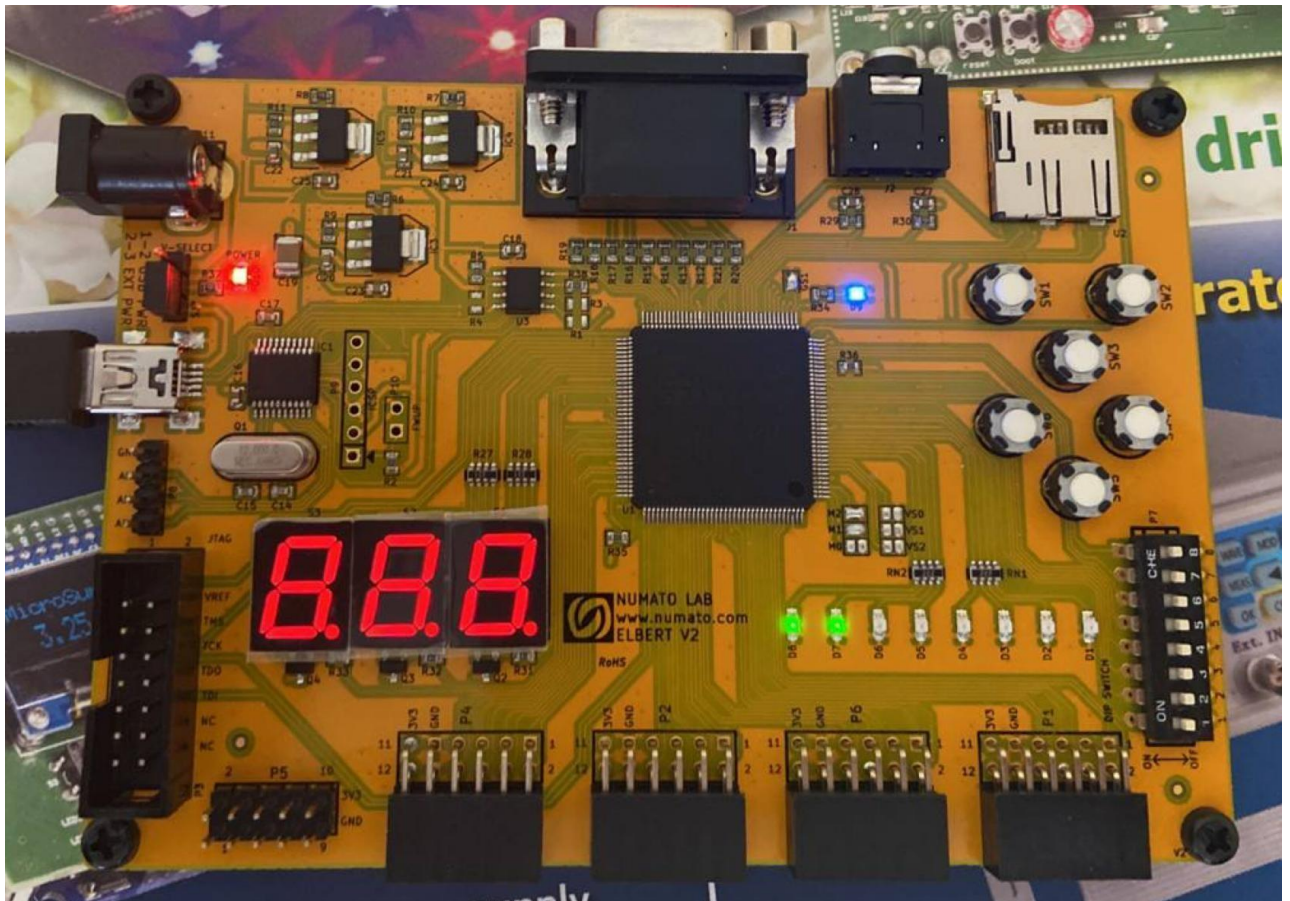


Рис.8. Робота проекту на стенді

Висновок: у цій лабораторній роботі побудував дешифратор 3 в 7 і ознайомився з середовищем Xilinx ISE.