

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**  
**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

*Кафедра ЕОМ*



## **Звіт**

Лабораторна робота 1  
з дисципліни «Моделювання комп'ютерних систем»  
Варіант 10

Виконав: ст.гр. КІ-202

Коваль О.В.

Прийняв:

Козак Н.Б.

Львів – 2024

## Лабораторна робота №1

**Тема роботи:** Ознайомлення із середовищем Xilinx ISE. Ознайомлення із лабораторним стендом Elbert V2 – Spartan 3A FPGA.

**Мета роботи:** Використовуючи компоненти з бібліотеки, реалізувати дешифратор 2 у 6 та просимулювати його роботу.

**Варіант 10:**

in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	0	1	0	0	1	0
0	1	1	1	0	1	0	1
1	0	0	1	0	0	1	0
1	1	1	0	0	1	1	0

### Виконання роботи

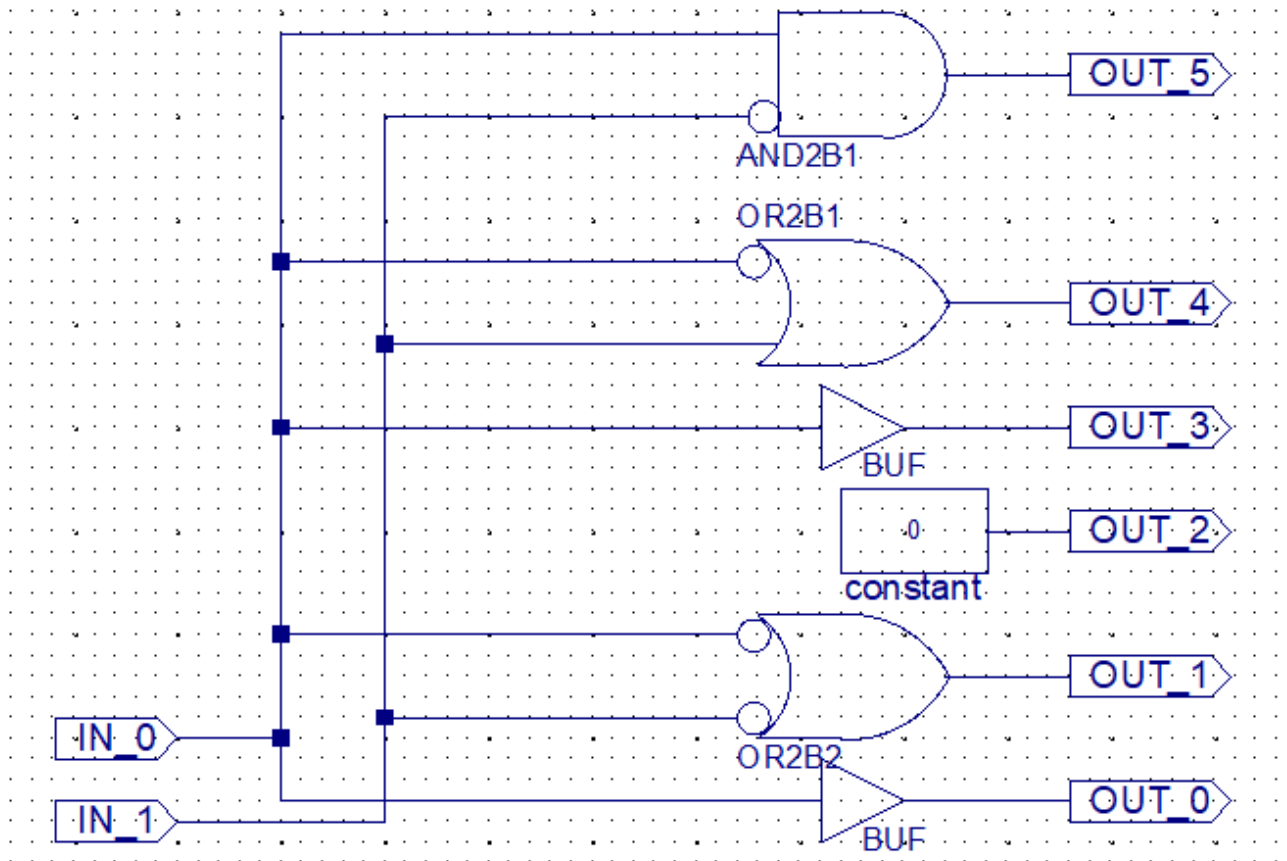


Рис.1. Схема дешифратора 2 у 6.

```
1 #+++++
2 # This file is a .ucf for ElbertV2 Development Board
3 # To use it in your project :
4 # * Remove or comment the lines corresponding to unused pins in the project
5 # * Rename the used signals according to the your project
6 #+++++
7
8 #-----
9 #                               UCF for ElbertV2 Development Board
10 #-----
11 CONFIG VCCAUX = "3.3" ;
12
13 # Clock 12 MHz
14 # NET "Clk"                LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
15
16
17 #-----
18 #                               LED
19 #-----
20
21 NET "OUT_0"                LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_1"                LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_2"                LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_3"                LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 NET "OUT_4"                LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
26 NET "OUT_5"                LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27 # NET "LED[6]"             LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28 # NET "LED[7]"             LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
29
30 #-----
31 #                               DP Switches
32 #-----
33
34 NET "IN_1"                 LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 NET "IN_0"                 LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 # NET "DPSwitch[2]"        LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
37 # NET "DPSwitch[3]"        LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
38 # NET "DPSwitch[4]"        LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
39 # NET "DPSwitch[5]"        LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
40 # NET "DPSwitch[6]"        LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
41 # NET "DPSwitch[7]"        LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

Рис.2 ucf-файл конфігурації

Перевіряю роботу схеми за допомогою симулятора ISim:  
Для кожного вхідного сигналу викликаю контекстне меню і встановлюю значення (1 або 0) за допомогою команди Force Constant.  
Повторюю симуляцію для інших наборів вхідних значень

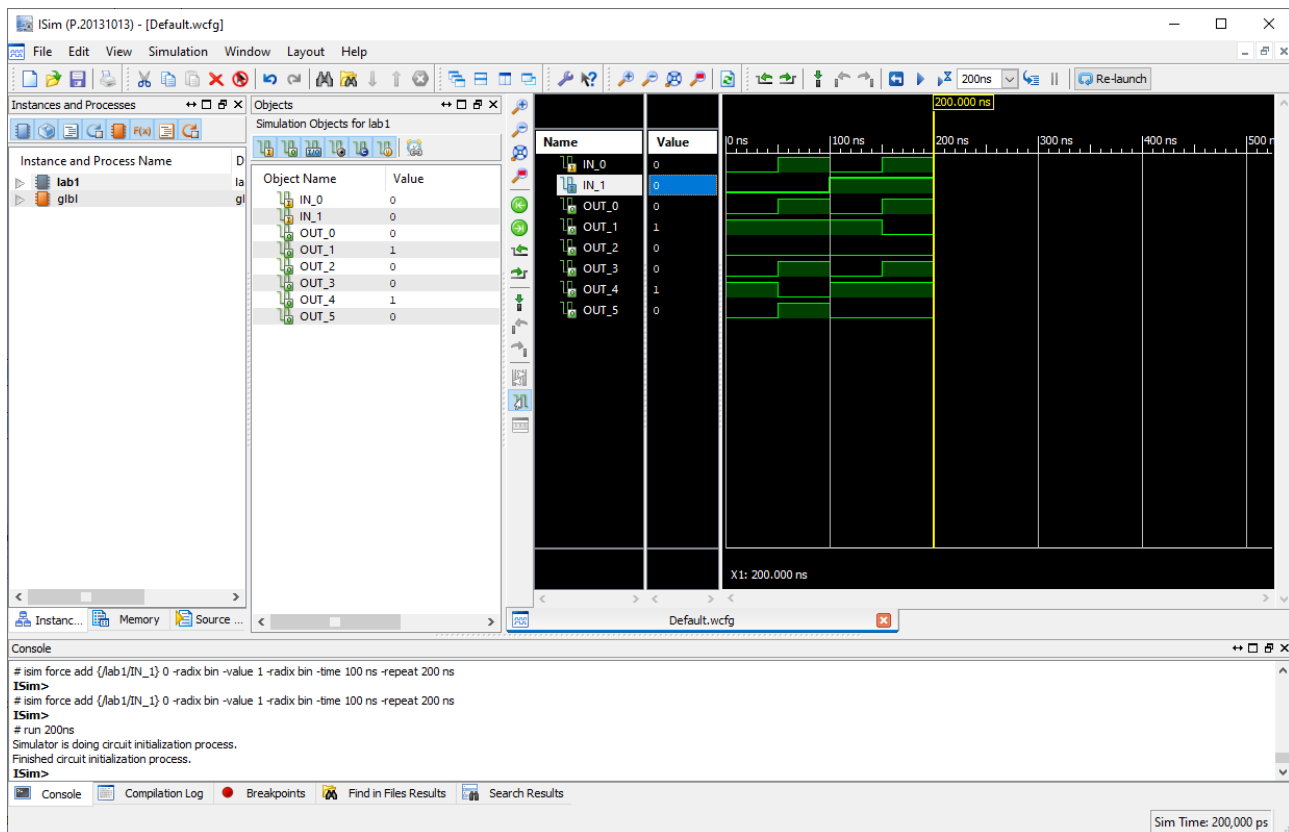


Рис.3 Симуляція роботи схеми

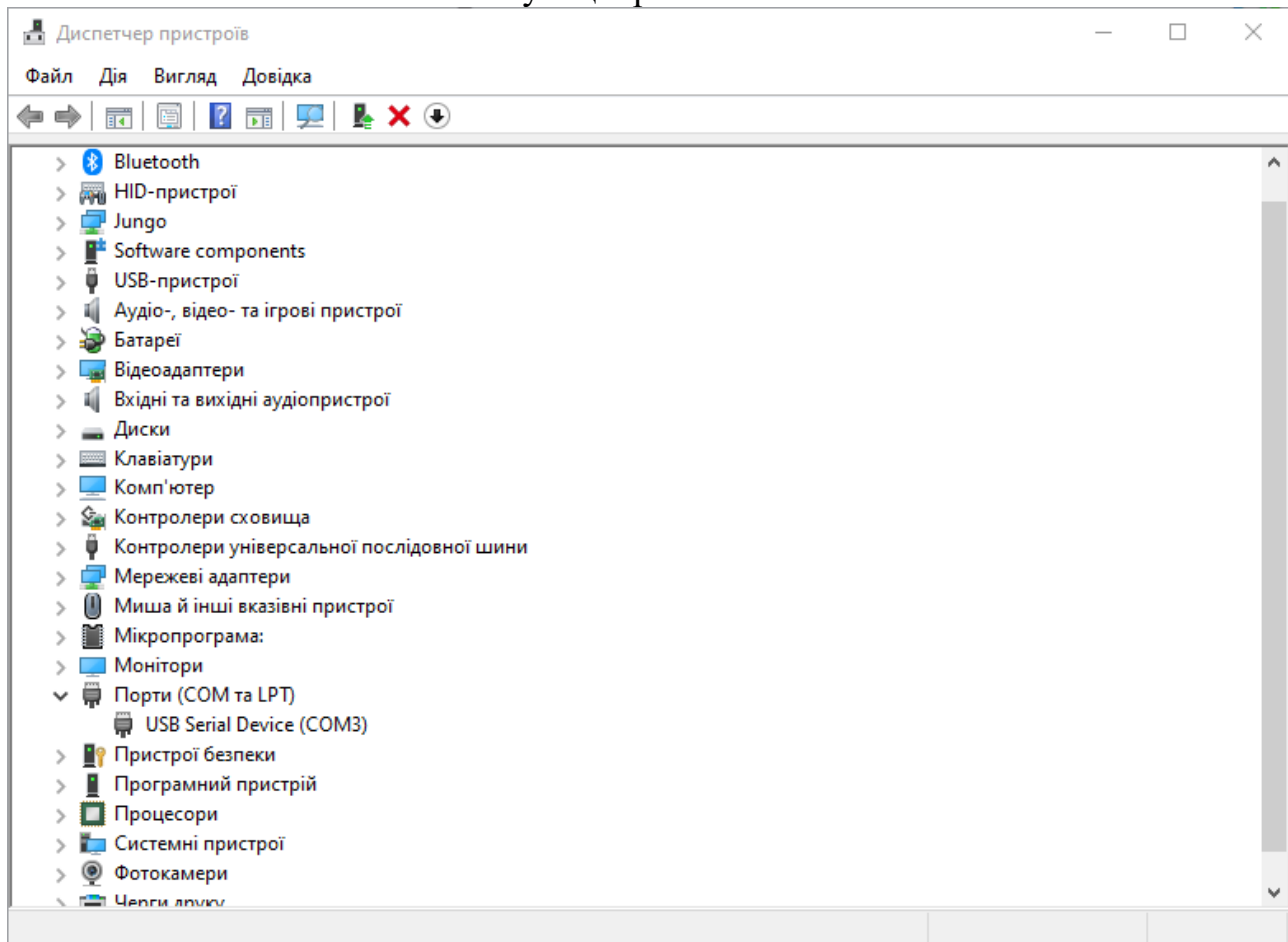


Рис.4 Виявлення COM-порта

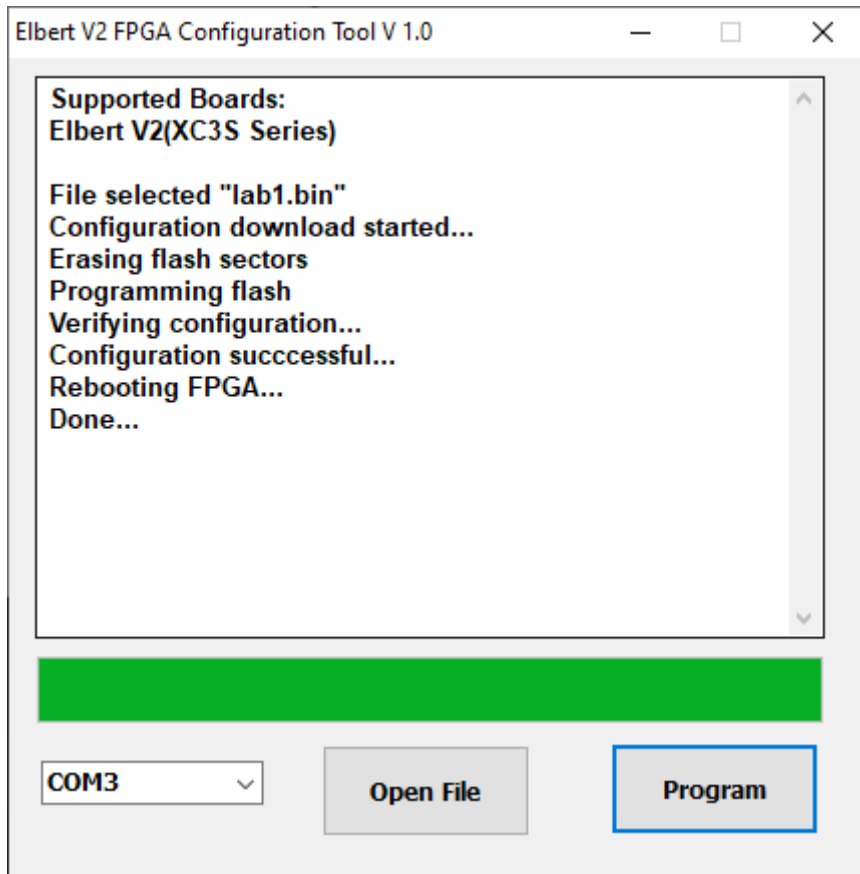


Рис.5 Прошиття плати

**Висновок:** Я познайомився із середовищем Xilinx, змодельовав дешифратор 2>6 та протестував його на тестовому стенді.