



Звіт

З лабораторної роботи № 1

З дисципліни «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.

Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконав: ст. гр. КІ-202

Довганюк О. С.

Прийняв: ст. в.

Козак Н. Б.

Завдання

1. Створення облікового запису на www.xilinx.com.
2. Інсталяція *Xilinx ISE* та отримання ліцензії.
3. Побудова дешифратора 3-7 за допомогою *ISE WebPACK™ Schematic Capture* та моделювання його роботи за допомогою симулятора *ISim*.
4. Генерування Bit файла та тестування за допомогою стенда *Elbert V2 – Spartan 3A FPGA*.

Виконання роботи

- 1) Інсталивав програму Xilinx ISE.
- 2) Згідно завдання створив схему дешифратора 3 в 8 після чого видалив 8-ий вихід і отримав дешифратор 3 в 7:

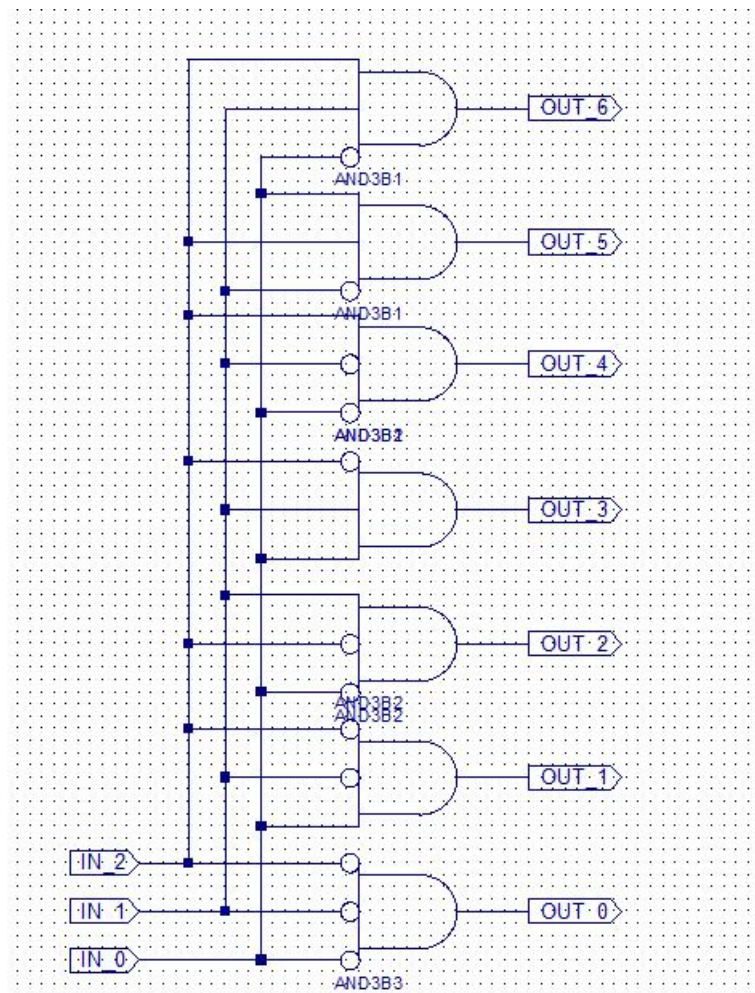


Рис.1. Схема дешифратора 3 в 7

```

1  #*****
2  # This file is a ucf for ElbertV2 Development Board
3  # To use it in your project :
4  # * Remove or comment the lines corresponding to unused pins in the project
5  # * Rename the used signals according to the your project
6  #*****
7
8  #
9  #*****
10 #
11 #*****
12 #
13 #*****
14 #
15 #*****
16 #
17 #*****
18 #
19 #*****
20 #
21 #*****
22 #
23 #*****
24 #
25 #*****
26 #
27 #*****
28 #
29 #*****
30 #
31 #*****
32 #
33 #*****
34 #
35 #*****
36 #

```

UCF for ElbertV2 Development Board

```

10 CONFIG VCCAUX = "3.3" ;
11
12 # Clock 12 MHz
13 #NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
14
15 # LED
16
17 #*****
18 #
19 #*****
20 #
21 #*****
22 #
23 #*****
24 #
25 #*****
26 #
27 #*****
28 #
29 #*****
30 #
31 #*****
32 #
33 #*****
34 #
35 #*****
36 #

```

DP Switches

```

28 #NET "IN_0" LOC = P70 | FULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
29 #NET "IN_1" LOC = P69 | FULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
30 #NET "IN_2" LOC = P68 | FULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
31 #NET "DPSwitch[3]" LOC = P64 | FULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
32 #NET "DPSwitch[4]" LOC = P63 | FULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
33 #NET "DPSwitch[5]" LOC = P60 | FULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 #NET "DPSwitch[6]" LOC = P59 | FULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 #NET "DPSwitch[7]" LOC = P58 | FULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36

```

Рис.2. UCF

3) У режимі Simulation за допомогою всіх типу симуляції Behavioral перевірів роботу схеми.

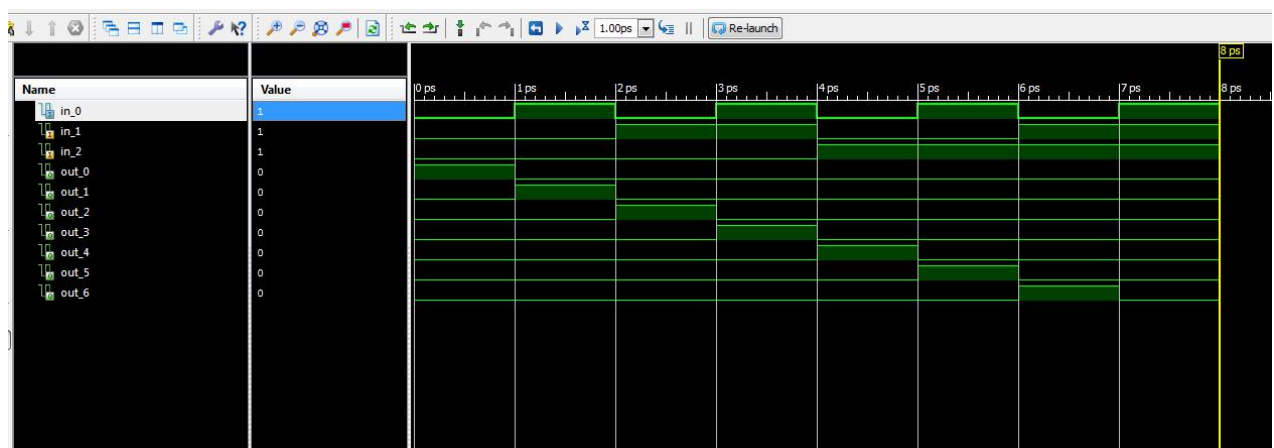


Рис.3. Часова діаграма Behavioral симуляції

4) Створив конфігураційний файл і запустив усі процеси та симуляції, щоб переконатися що програма зможе функціонувати на реальній платі.

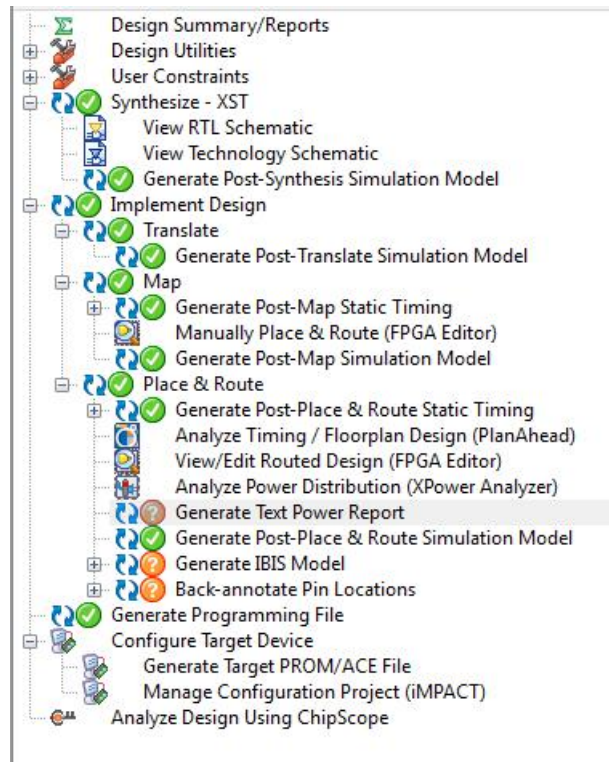


Рис.4. Виконання процесів.

5) Згенерував біт файл.

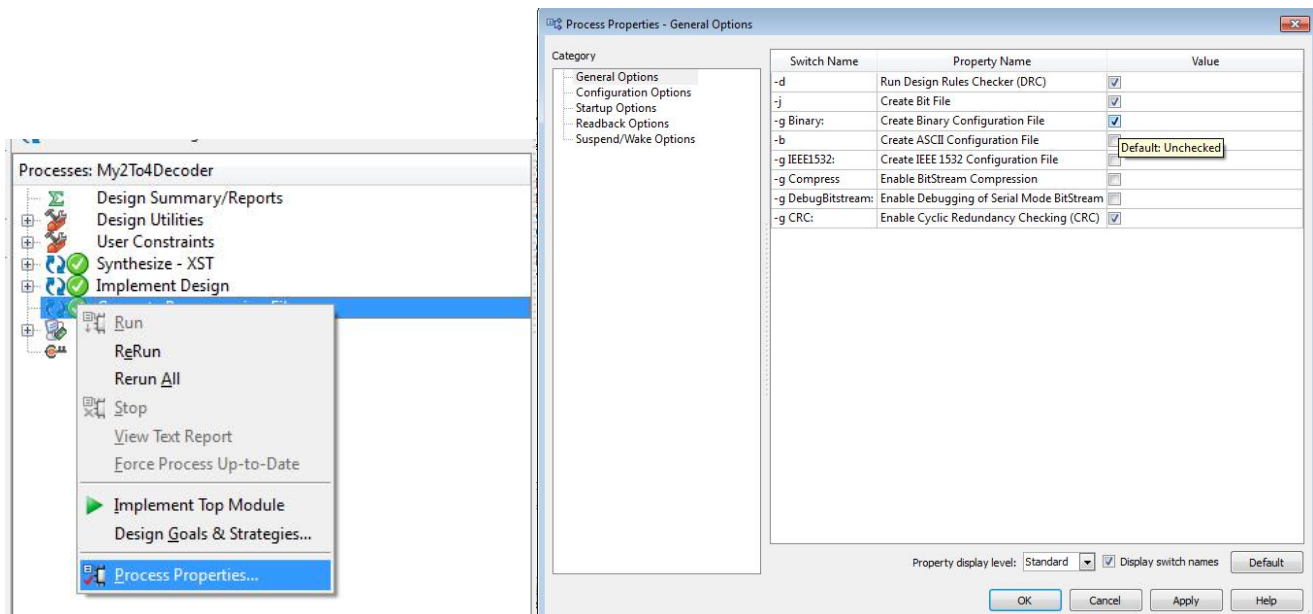


Рис.5. Створення біт файлу.

6) Отриматим файлом запрограмовую лабораторний стенд.

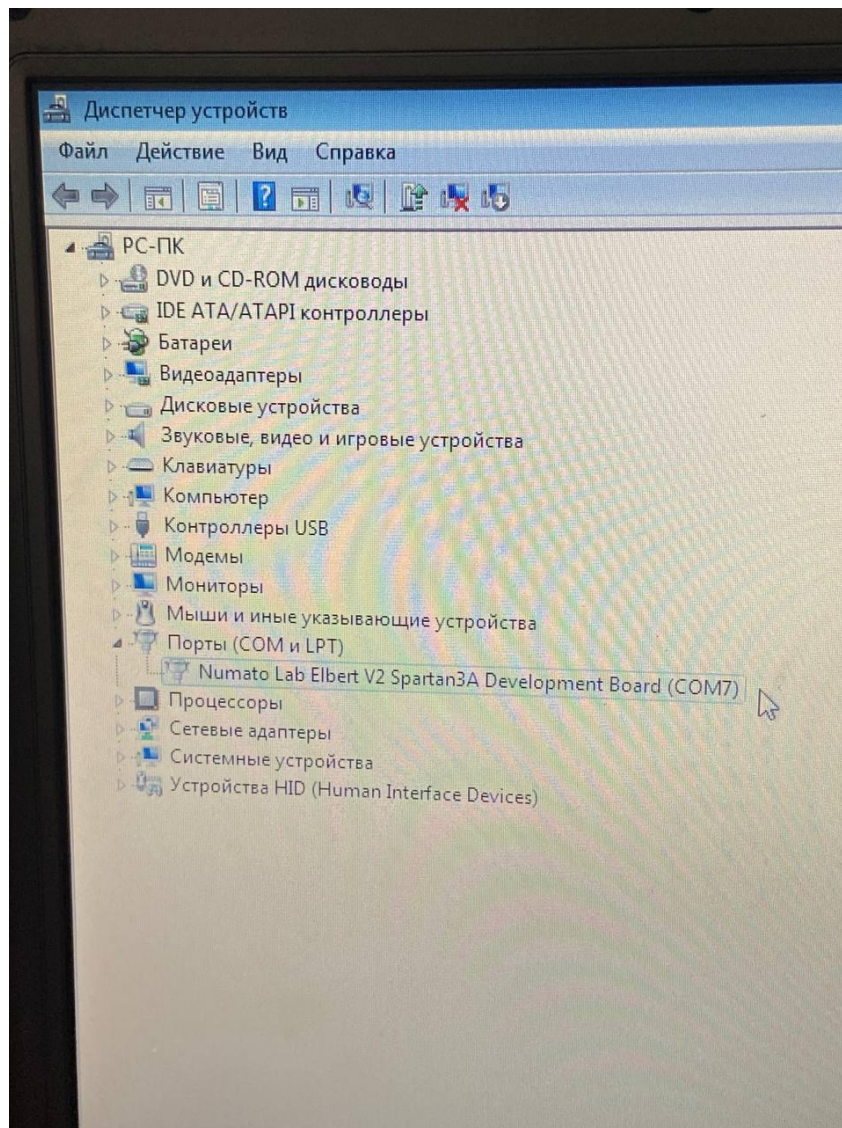


Рис.6. Знаходжу в диспетчері пристроїв ком-порт який відповідає платі.

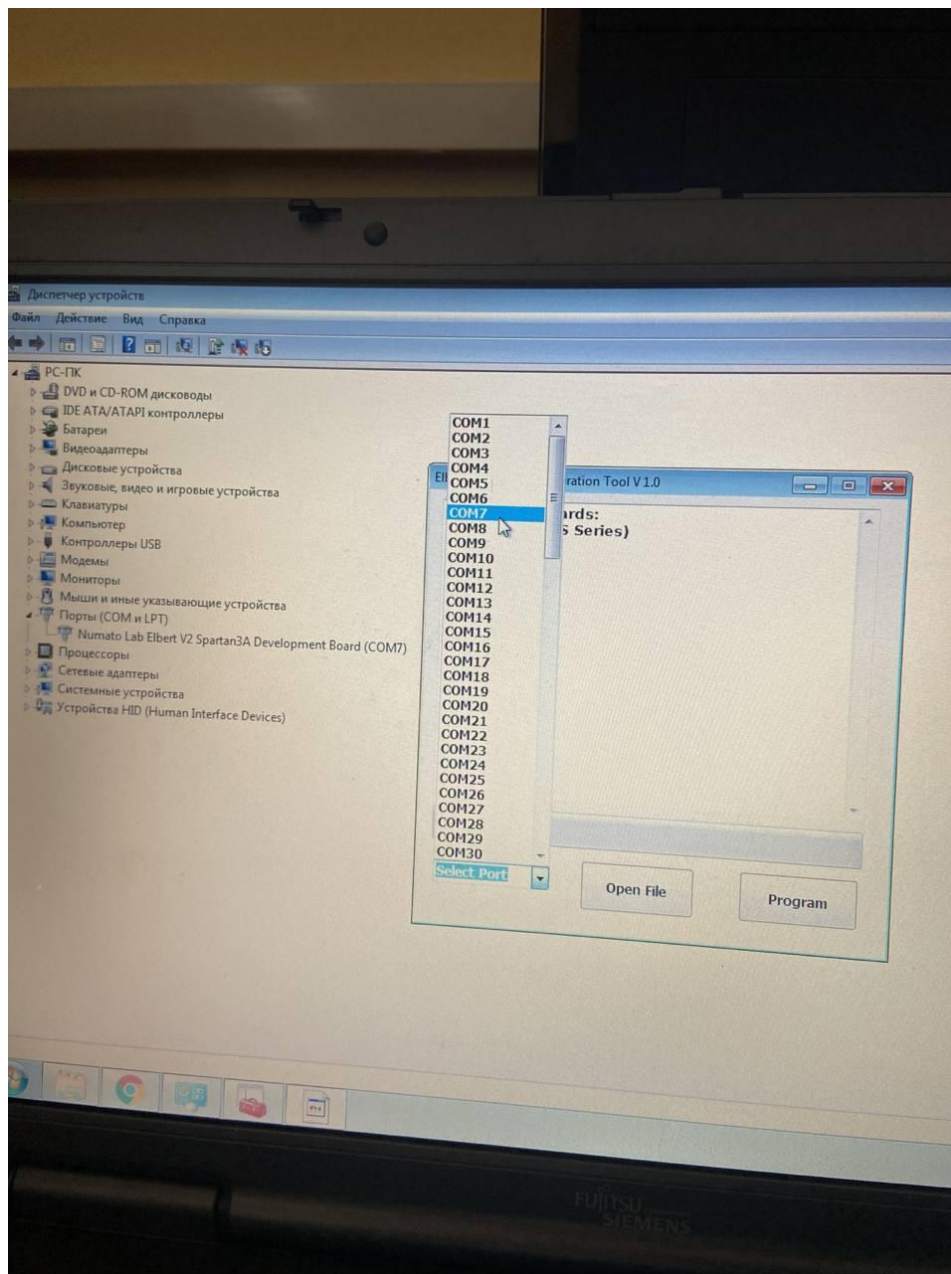


Рис.7. Обираю потрібний ком-порт у програмі для прошивки плати.

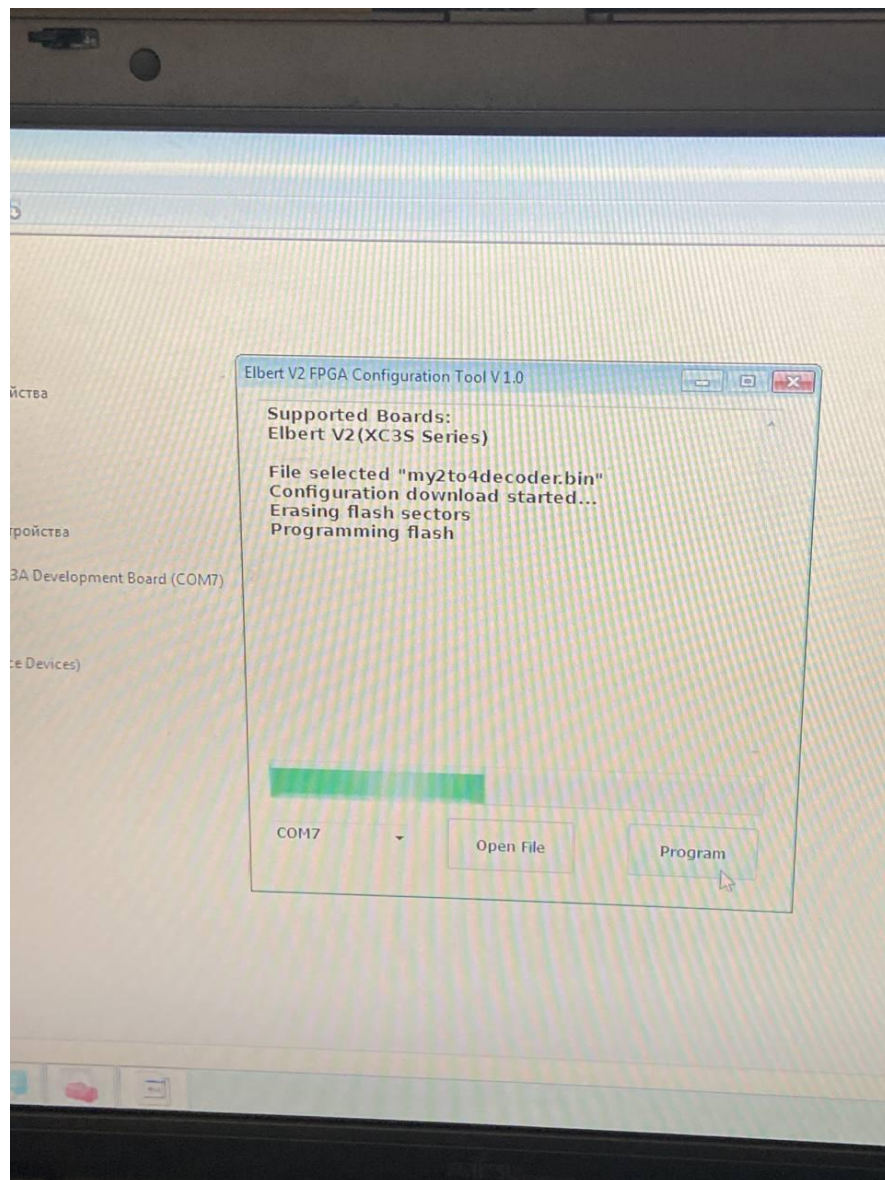


Рис.8. Обираю свій біт файл та запрограмовую плату.

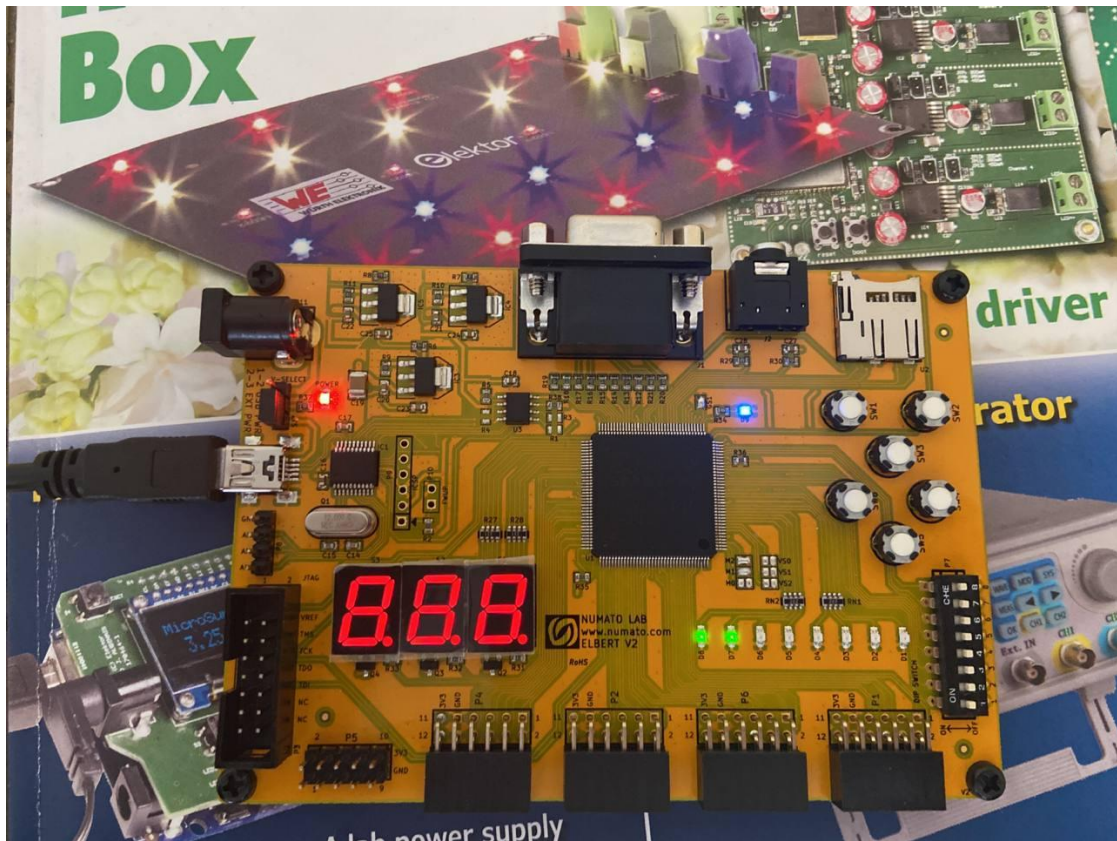


Рис.9. Плата в робочому режимі.

Висновок: у цій лабораторній роботі я ознайомився зі середовищем Xilinx ISE, побудував дешифратор 3 в 7, та навчився прошивати плату своєю програмою.