

# **Лабораторная работа №13**

**Дисциплина: Имитационное моделирование**

Пронякова Ольга Максимовна

# Содержание

<b>1</b>	<b>Цель работы</b>	<b>5</b>
<b>2</b>	<b>Задание</b>	<b>6</b>
<b>3</b>	<b>Теоретическое введение</b>	<b>7</b>
<b>4</b>	<b>Выполнение лабораторной работы</b>	<b>8</b>
<b>5</b>	<b>Выводы</b>	<b>12</b>
	<b>Список литературы</b>	<b>13</b>

## Список иллюстраций

4.1	Дерево достижимости . . . . .	9
4.2	Схема модели . . . . .	10
4.3	Отчет . . . . .	11

## **Список таблиц**

# **1 Цель работы**

Выполнить задание для самостоятельной проверки.

## 2 Задание

1. Используя теоретические методы анализа сетей Петри, проведите анализ сети, изображённой на рис. 13.2 (с помощью построения дерева достижимости). Определите, является ли сеть безопасной, ограниченной, сохраняющей, имеются ли тупики.
2. Промоделируйте сеть Петри (см. рис. 13.2) с помощью CPNTools.
3. Вычислите пространство состояний. Сформируйте отчёт о пространстве состояний и проанализируйте его. Постройте граф пространства состояний.

### 3 Теоретическое введение

заявка (команды программы, операнды) поступает в оперативную память (ОП), затем передается на прибор (центральный процессор, ЦП) для обработки. После этого заявка может равновероятно обратиться к оперативной памяти или к одному из двух внешних запоминающих устройств (В1 и В2). Прежде чем записать информацию на внешний накопитель, необходимо вторично обратиться к центральному процессору, определяющему состояние накопителя и выдающему необходимую управляющую информацию. Накопители (В1 и В2) могут работать в 3-х режимах: 1) В1 — занят, В2 — свободен; 2) В2 — свободен, В1 — занят; 3) В1 — занят, В2 — занят.

## 4 Выполнение лабораторной работы

Сеть Петри моделируемой системы. Множество позиций: P1 — состояние оперативной памяти (свободна / занята); P2 — состояние внешнего запоминающего устройства B1 (свободно / занято); P3 — состояние внешнего запоминающего устройства B2 (свободно / занято); P4 — работа на ОП и B1 закончена; P5 — работа на ОП и B2 закончена; P6 — работа на ОП, B1 и B2 закончена; T1 — ЦП работает только с RAM и B1; T2 — обрабатываются данные из RAM и с B1 переходят на устройство вывода; T3 — CPU работает только с RAM и B2; T4 — обрабатываются данные из RAM и с B2 переходят на устройство вывода; T5 — CPU работает только с RAM и с B1, B2; T6 — обрабатываются данные из RAM, B1, B2 и переходят на устройство вывода(рис.4.1).



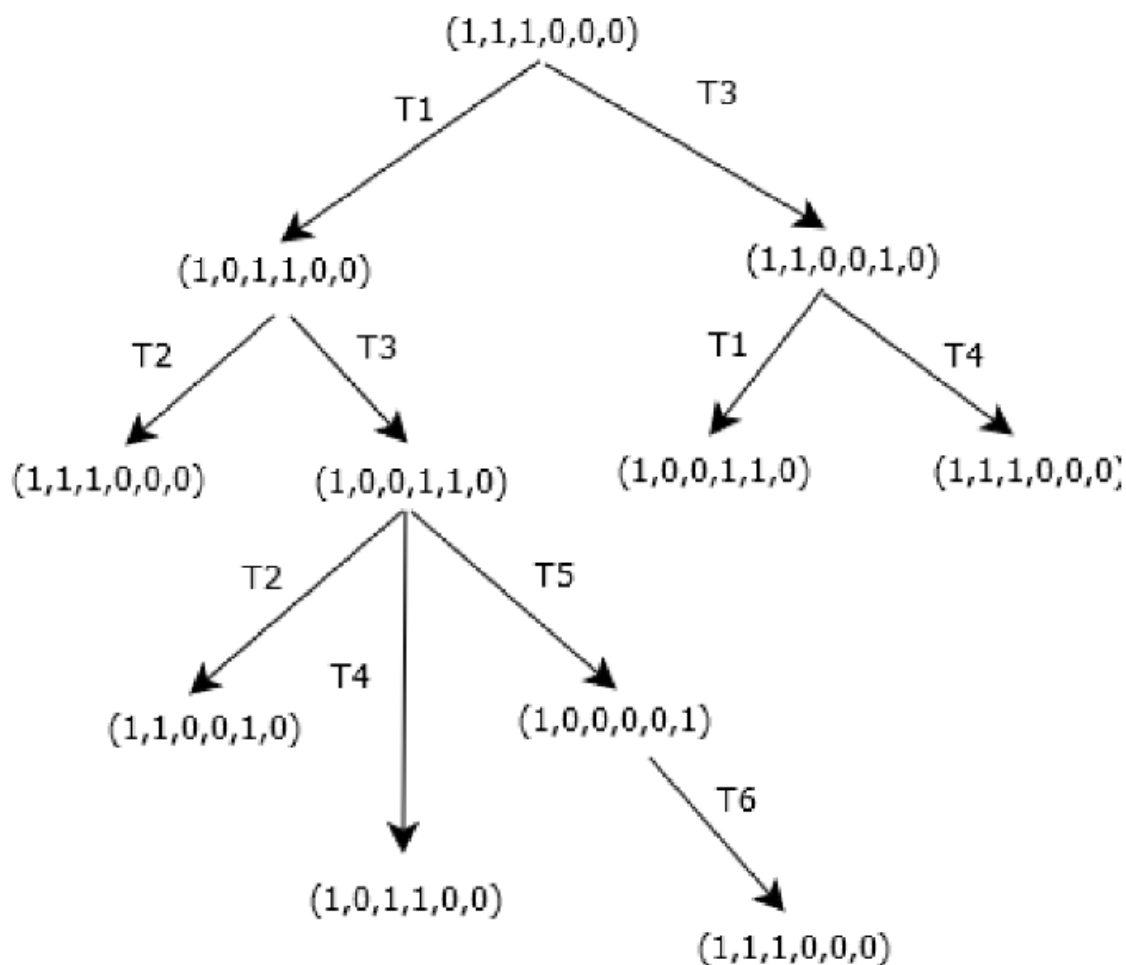


Рис. 4.1: Дерево достижимости

Функционирование сети Петри можно рассматривать как срабатывание переходов, в ходе которого происходит перемещение маркеров по позициям: – работа CPU с RAM и B1 отображается запуском перехода T1 (удаление маркеров из P1, P2 и появление в P1, P4), что влечет за собой срабатывание перехода T2, т.е. передачу данных с RAM и B1 на устройство вывода; – работа CPU с RAM и B2 отображается запуском перехода T3 (удаление маркеров из P1 и P3 и появление в P1 и P5), что влечет за собой срабатывание перехода T4, т.е. передачу данных с RAM и B2 на устройство вывода; – работа CPU с RAM, B1 и B2 отображается запуском перехода T5 (удаление маркеров из P4 и P5 и появление в P6), далее срабатывание перехо-

да T6, и данные из RAM, B1 и B2 передаются на устройство вывода; – состояние устройств восстанавливается при срабатывании: RAM – переходов T1 или T2; B1 – переходов T2 или T6; B2 – переходов T4 или T6(рис.4.2).

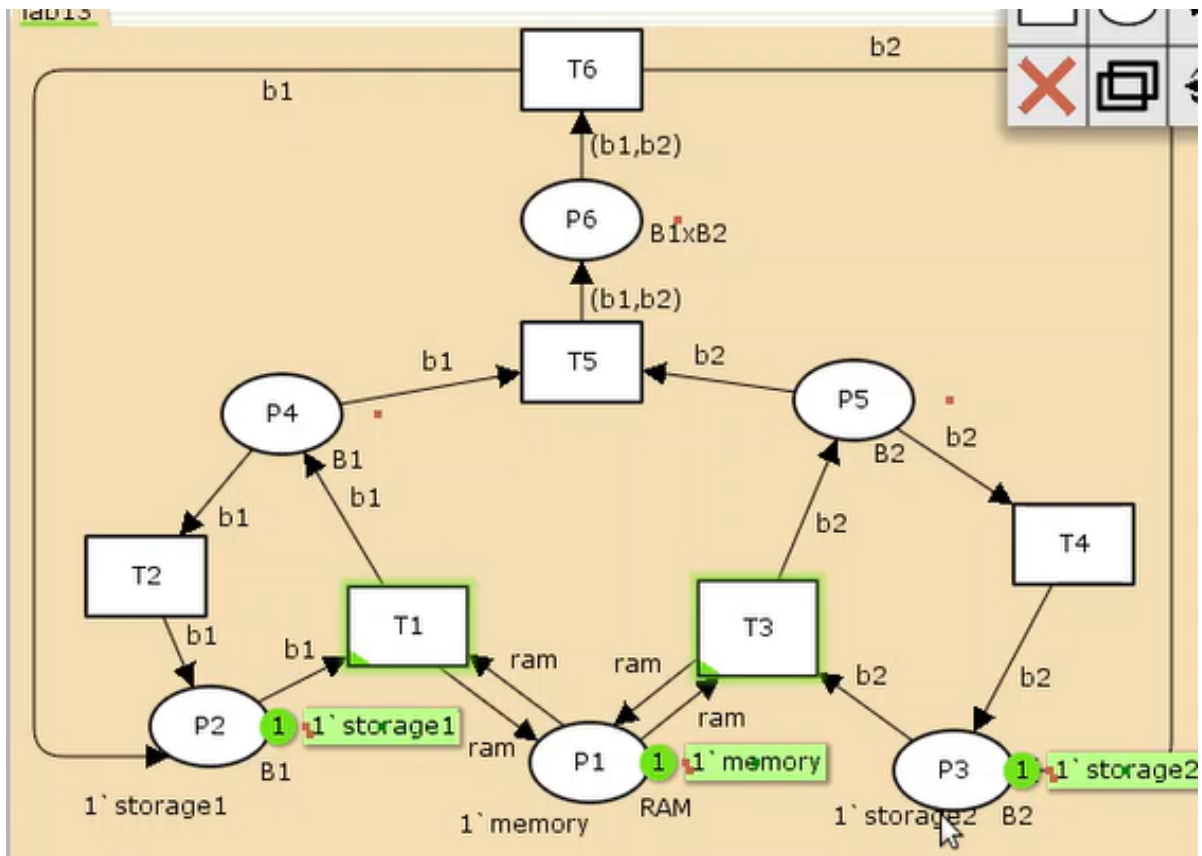


Рис. 4.2: Схема модели

Отчет(рис.4.3).

```

/home/openmode
Файл  Правка  Поиск  Вид  Документ  Справка
CPN Tools state space report for:
<unsaved net>
Report generated: Fri May  2 20:13:20 2025

Statistics
-----

State Space
Nodes:  5
Arcs:   10
Secs:   0
Status: Full

Scc Graph
Nodes:  1
Arcs:   0
Secs:   0

Boundedness Properties
-----

Best Integer Bounds

lab13'P1 1      Upper  Lower
lab13'P2 1      1      0
lab13'P3 1      1      0
lab13'P4 1      1      0
lab13'P5 1      1      0
lab13'P6 1      1      0

Best Upper Multi-set Bounds
lab13'P1 1      1`memory
lab13'P2 1      1`storage1
lab13'P3 1      1`storage2
lab13'P4 1      1`storage1
lab13'P5 1      1`storage2
lab13'P6 1      1`(storage1,storage2)

Best Lower Multi-set Bounds
lab13'P1 1      1`memory
lab13'P2 1      empty
lab13'P3 1      empty
lab13'P4 1      empty
lab13'P5 1      empty
lab13'P6 1      empty

```

Рис. 4.3: Отчет

## **5 Выводы**

Выполнила задание для самостоятельной проверки.

## **Список литературы**