

TP EN 1B

CHRONOMETRE

2021-2022

Oliver BELLIARD & Fahd RAFIK

La préparation se trouve en annexe.

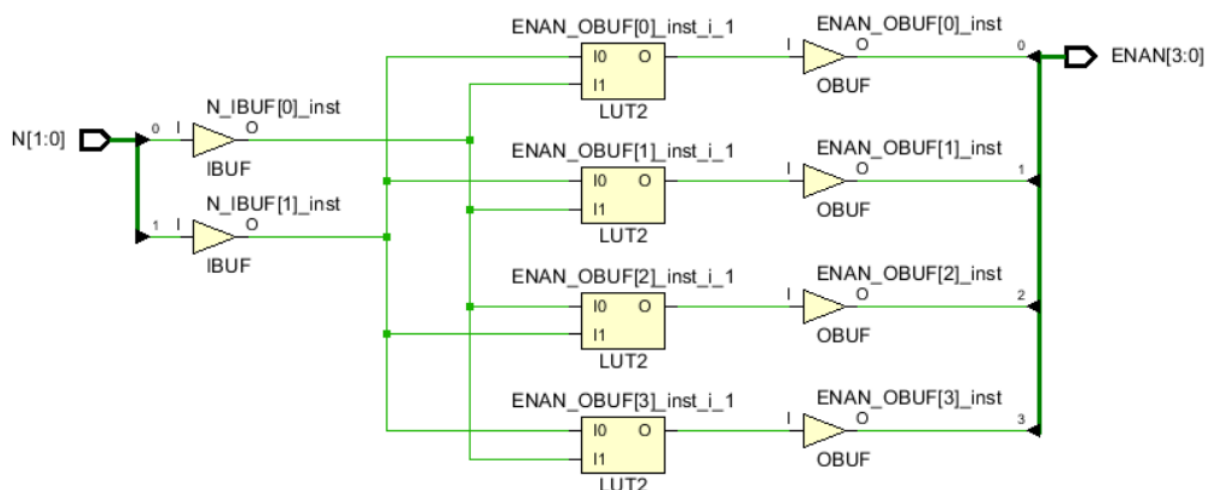
Réalisation 1 : L'annexe numéro 2 est le code Disp1Digit complété. Nous avons dû réécrire le code 1 fois car nous avons appris que le MSB et le LSB sont inversées après avoir testé sur la carte.

Analyse par blocs logiques (RTL) avant implémentation 1 : nous avons mis le fichier de contraintes en annexe (3). Nous n'avons rencontré aucune difficulté particulière compléter le fichier ni pour l'utiliser.

Implémentation et test sur maquette 1 : les tests sur la maquette ont permis d'identifier l'inversion du MSB et du LSB ainsi que d'apprendre à debugger car on avait mal recopié une des sorties dans le fichier de contraintes.

Analyse par ressource FPGA 1 :

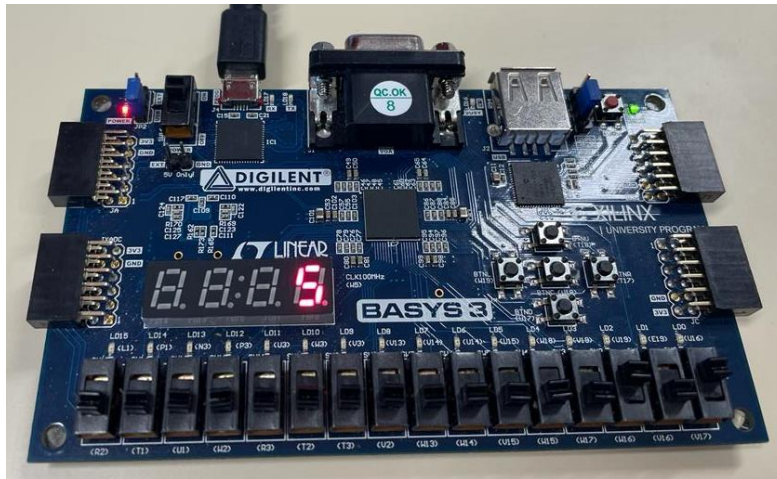
Nous avons ci-dessous le schéma avec des LUT2 de notre sortie ENAN.



Nous choisissons de voir la table de vérité du premier LUT2 qui donne :

I1	I0	O=I0 + I1
0	1	1
1	0	1
1	1	1

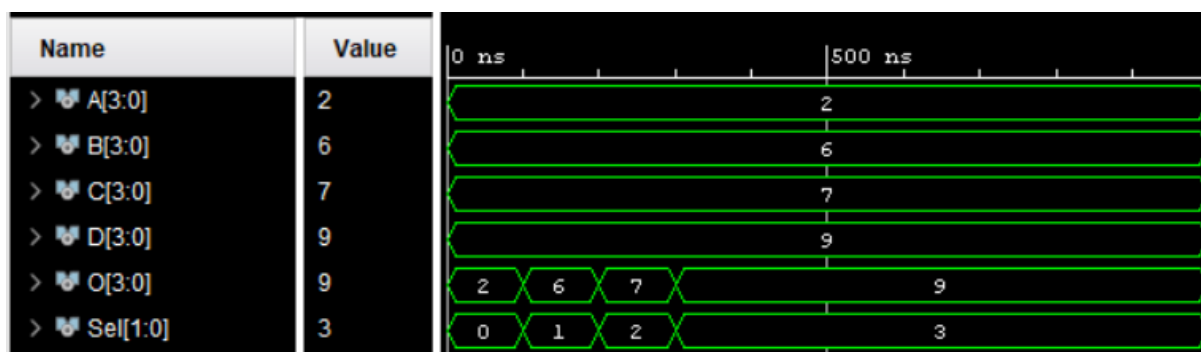
L'équation de ce premier LUT2 correspond à l'équation logique du bit ENAN[0] selon les entrées S[0] et S[1] (nos interrupteurs).



La photo ci-dessus montre le résultat des premières manipulations. On a le numéro 5 qui s'affiche dans l'afficheur sélectionné (les deux interrupteurs tout à gauche à 0) et selon la valeur binaire équivalente des 4 interrupteurs tout à gauche.

Réalisation 2 : vous trouverez le fichier VHDL MUX4x4v1x4 en annexe.

Simulation 2 : notre simulation nous donne le résultat suivant :



Ces résultats nous confirmant le bon fonctionnement de notre multiplexeur 4x4v1x4.

Annexe 1 : Préparation

TP-EN-CHRONOMETRE

* Prépat. A :

Le segment i s'allume pour la valeur 0 en $8(i)$

* Prépat. B :

$$N = (01)_2$$

$$V = (0100)_2$$

$$S = (1001100)_2$$

* Prépat. C :

				LSB							MSB
V3	V2	V1	V0	A	B	C	D	E	F	G	
0	0	0	0	0	0	0	0	0	0	1	
0	0	0	1	1	0	0	1	1	1	1	
0	0	1	0	0	0	1	0	0	1	0	
0	0	1	1	1	0	0	0	1	1	0	
0	1	0	0	1	0	0	1	1	0	0	
0	1	0	1	0	1	0	0	1	0	0	
0	1	1	0	0	1	0	0	0	0	0	
0	1	1	1	0	0	0	1	1	1	1	
1	0	0	0	0	0	0	0	0	0	0	
1	0	0	1	0	0	0	0	1	0	0	
1	0	1	0	x	x	x	x	x	x	x	
1	0	1	1	x	x	x	x	x	x	x	
1	1	0	0	x	x	x	x	x	x	x	
1	1	0	1	x	x	x	x	x	x	x	
1	1	1	0	x	x	x	x	x	x	x	
1	1	1	1	x	x	x	x	x	x	x	

car si $V > (9)_{10}$ indéterminé

G

V3	V2	V1	V0
1	1	x	x
x	x	x	x
1	1	1	1
x	x	1	1

$$G = V3 + V1$$

F

V3	V2	V1	V0
x	1	1	1
x	x	1	x
1	1	1	1
x	x	1	1

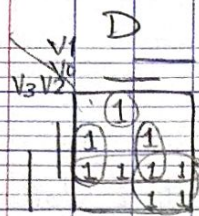
$$F = V0.V1 + V3.V2 + V3.V1 + V1.V2.V3 + V0.V2.V3$$

$$F = V1.(V0 + V3 + V2.V3) + V3.V2 + V0.V2.V3$$

E

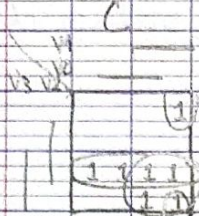
V3	V2	V1	V0
1	1	1	1
1	1	1	1
1	1	1	1
1	1	1	1

$$E = V0 + V3.V1 + V2.V0$$



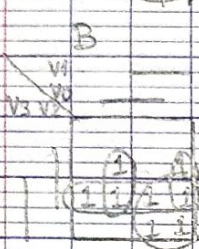
$$D = V_0 \cdot V_1 \cdot V_2 \cdot V_3 + V_2 \cdot V_3 + V_1 \cdot V_3 + V_0 \cdot V_1 \cdot V_2 + V_2 \cdot \overline{V_0} \cdot \overline{V_1}$$

$$D = V_3(V_1 + V_2) + V_2(\overline{V_0} \oplus \overline{V_1}) + V_0 \cdot \overline{V_1} \cdot V_2 \cdot V_3$$



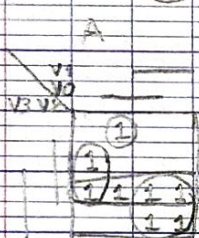
$$C = V_1 \cdot \overline{V_0} \cdot V_2 + V_3 \cdot V_2 + V_3 \cdot V_1$$

$$C = V_3(V_1 + V_2) + V_1 \cdot \overline{V_0} \cdot V_2$$



$$B = V_3(V_1 + V_2) + V_0 \cdot V_2 \cdot \overline{V_1} + V_2 \cdot V_1 \cdot \overline{V_0}$$

$$= V_3(V_1 + V_2) + V_2(\overline{V_0} \oplus \overline{V_1})$$



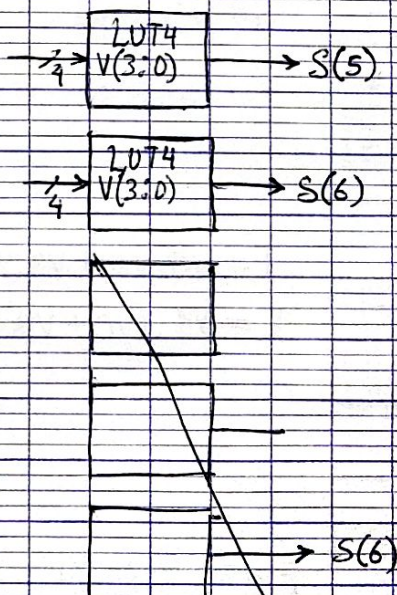
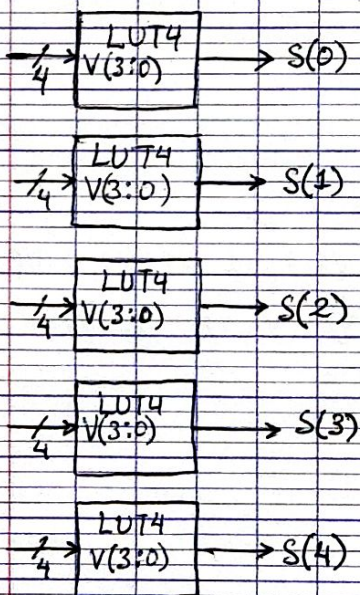
$$A = V_3(V_1 + V_2) + V_2 \cdot \overline{V_0} \cdot \overline{V_1} + V_0 \cdot V_1 \cdot V_2 \cdot V_3$$

$$= V_3(V_1 + V_2) + \overline{V_1}(V_2 \cdot \overline{V_0} + V_0 \cdot \overline{V_2} \cdot \overline{V_3})$$

* Prep 1.E:

N1	N0	EN1	EN0	EN1	EN0
0	0	(3)	(2)	(1)	(0)
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

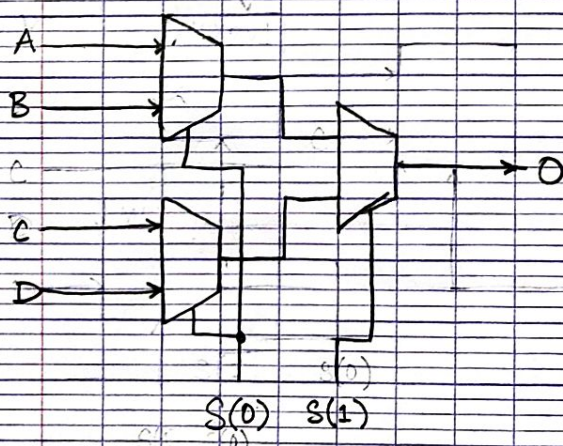
* Prep 1.D:



* Prep 1.F:

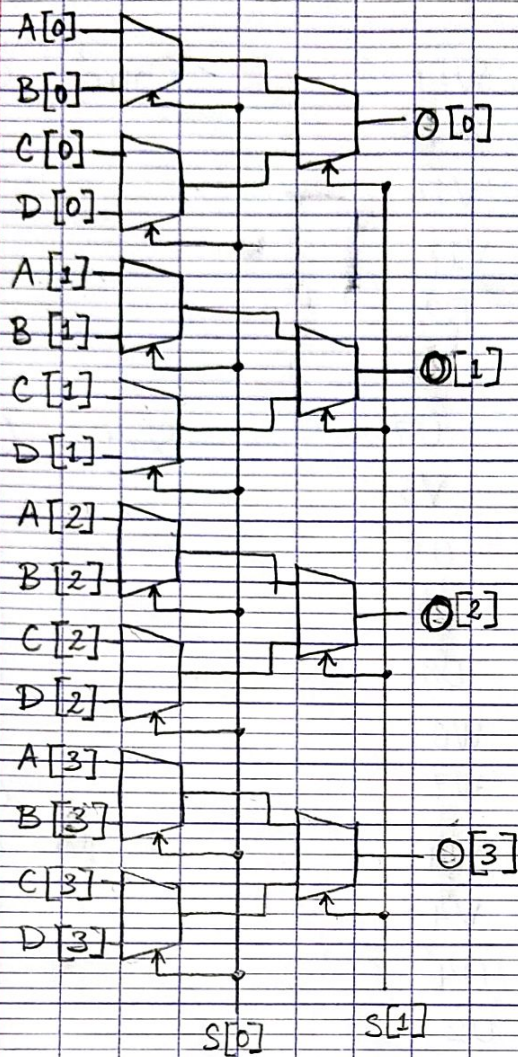
V(3)	SW3	W17	Entrée (I)
V(2)	SW2	W16	I
V(1)	SW1	V16	I
V(0)	SW0	V17	I
N(1)	SW15	R2	I
N(0)	SW14	T1	I
S(6)	CG	U7	Sortie (O)
S(5)	GF	V5	O
S(4)	CE	U5	O
S(3)	CD	V8	O
S(2)	CC	U8	O
S(1)	CB	W6	O
S(0)	CA	W7	O
ENAN(3)	AN3	W4	O
ENAN(2)	AN2	V4	O
ENAN(1)	AN1	U4	O
ENAN(0)	AN0	U2	O

* Prep 2.A:



S(1)	S(0)	n
0	0	A
0	1	B
1	0	C
1	1	D

Prep 2. B:



Dans un multiplexeur
MUX 4×4 v 1×4 il se
cachent 16 multiplexeurs
MUX 2×1 .

Annexe 2 :

Disp1Digit complété


```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;

-- Uncomment the following library declaration if instantiating
-- any Xilinx leaf cells in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity Disp1Digit is
    Port ( V : in STD_LOGIC_VECTOR (3 downto 0);
          N : in STD_LOGIC_VECTOR (1 downto 0);
          S : out STD_LOGIC_VECTOR (6 downto 0);
          ENAN : out STD_LOGIC_VECTOR (3 downto 0));
end Disp1Digit;

architecture Behavioral of Disp1Digit is
type tt is array (0 to 15) of std_logic_vector(6 downto 0);
-- Le MSB et le LSB sont inversés dans la carte donc on doit inverser
-- les valeurs trouvés à la prépa.
constant table:tt:=("1000000",
                    "1111001",
                    "0100100",
                    "0110000",
                    "0011001",
                    "0010010",
                    "0100000",
                    "1111000",
                    "0000000",
                    "0010000",
                    "1111111",
                    "1111111",
                    "1111111",
                    "1111111",
                    "1111111",
                    "1111111");

begin
    ENAN <= "1110" when N="00" else
            "1101" when N="01" else
            "1011" when N="10" else
            "0111";
    S <= table(to_integer(unsigned(V)));

end Behavioral;
```


Annexe 3 :

Disp1Digit_Basys3.xdc complété

(Fichier de contraintes)

Basys3 Pin Assignments #
#####

pour Disp1Digit.vhd
version du 24/11/2016

On-board Slide Switches #
#####

Connection: V(3) de Disp1Digit sur SW3 => W17
set_property PACKAGE_PIN W17 [get_ports {V[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {V[3]}]

Connection: V(2) de Disp1Digit sur SW2 => W16
set_property PACKAGE_PIN W16 [get_ports {V[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {V[2]}]

Connection: V(1) de Disp1Digit sur SW1 => V16
set_property PACKAGE_PIN V16 [get_ports {V[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {V[1]}]

Connection: V(0) de Disp1Digit sur SW0 => V17
set_property PACKAGE_PIN V17 [get_ports {V[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {V[0]}]

#maintenant vous de compléter un peu plus!
#n'oubliez pas de décommenter les lignes compléter

Connection: N(1) de Disp1Digit sur SW15 => vous
#set_property PACKAGE_PIN vous [get_ports {N[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {N[1]}]

Connection: N(0) de Disp1Digit sur SW14 => vous
#set_property PACKAGE_PIN vous [get_ports {N[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {N[0]}]

On-board 7-segment Display #
#####

SEGMENTS

Connection: S(6) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {S[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[6]}]

Connection: S(5) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {S[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[5]}]

Connection: S(4) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {S[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[4]}]

Connection: S(3) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {S[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[3]}]

Connection: S(2) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {S[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[2]}]

Connection: S(1) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {S[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[1]}]

Connection: S(0) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {S[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[0]}]

ENABLE

Connection: ENAN(3) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {ENAN[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[3]}]

Connection: ENAN(2) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {ENAN[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[2]}]

Connection: ENAN(1) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {ENAN[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[1]}]

Connection: ENAN(0) de Disp1Digit sur vous => vous
#set_property PACKAGE_PIN vous [get_ports {ENAN[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[0]}]

Annexe 4 :

MUX4x4v1x4


```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;

entity MUX4x4v1x4 is
    Port ( A : in STD_LOGIC_VECTOR (3 downto 0);
          B : in STD_LOGIC_VECTOR (3 downto 0);
          C : in STD_LOGIC_VECTOR (3 downto 0);
          D : in STD_LOGIC_VECTOR (3 downto 0);
          Sel : in STD_LOGIC_VECTOR (1 downto 0);
          O : out STD_LOGIC_VECTOR (3 downto 0));
end MUX4x4v1x4;

architecture Behavioral of MUX4x4v1x4 is

begin
    O <=    A when Sel="00" else
           B when Sel="01" else
           C when Sel="10" else
           D;

end Behavioral;
```