

TP EN 1B

CHRONOMETRE

2021-2022

Oliver BELLIARD & Fahd RAFIK

La préparation se trouve en annexe.

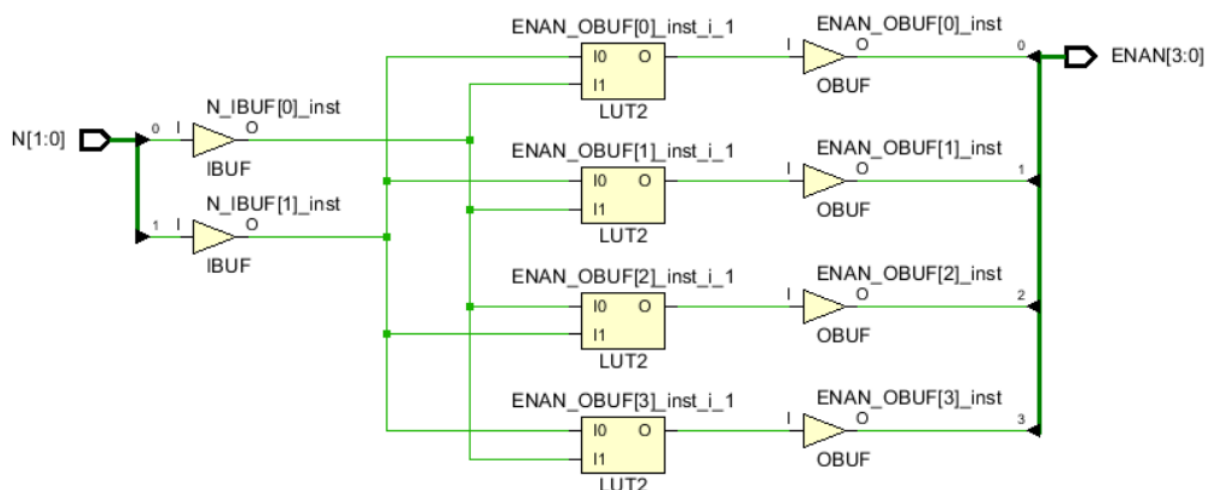
Réalisation 1 : L'annexe numéro 2 est le code Disp1Digit complété. Nous avons dû réécrire le code 1 fois car nous avons appris que le MSB et le LSB sont inversées après avoir testé sur la carte.

Analyse par blocs logiques (RTL) avant implémentation 1 : nous avons mis le fichier de contraintes en annexe (3). Nous n'avons rencontré aucune difficulté particulière compléter le fichier ni pour l'utiliser.

Implémentation et test sur maquette 1 : les tests sur la maquette ont permis d'identifier l'inversion du MSB et du LSB ainsi que d'apprendre à debugger car on avait mal recopié une des sorties dans le fichier de contraintes.

Analyse par ressource FPGA 1 :

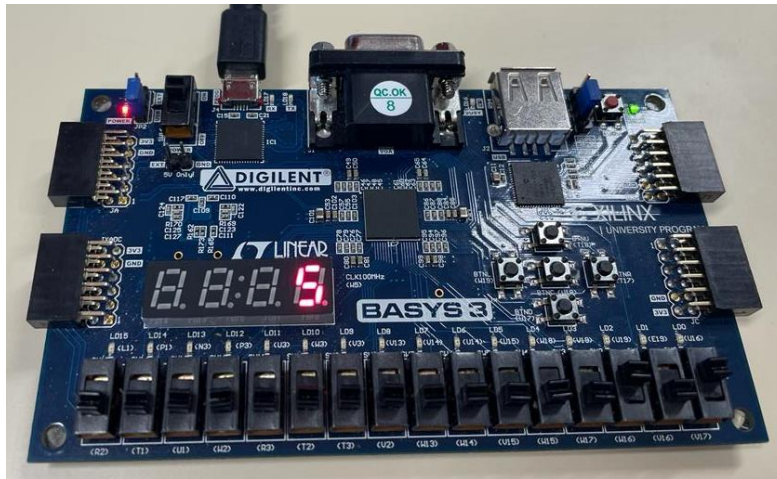
Nous avons ci-dessous le schéma avec des LUT2 de notre sortie ENAN.



Nous choisissons de voir la table de vérité du premier LUT2 qui donne :

I1	I0	O=I0 + I1
0	1	1
1	0	1
1	1	1

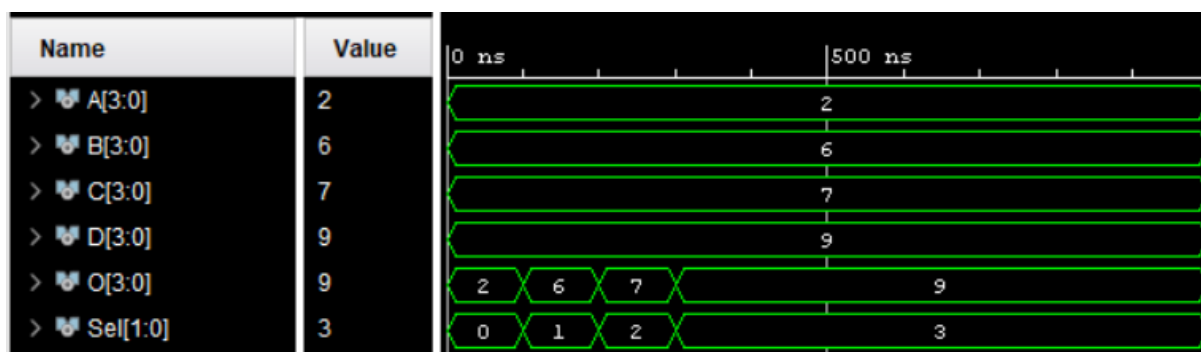
L'équation de ce premier LUT2 correspond à l'équation logique du bit ENAN[0] selon les entrées S[0] et S[1] (nos interrupteurs).



La photo ci-dessus montre le résultat des premières manipulations. On a le numéro 5 qui s'affiche dans l'afficheur sélectionné (les deux interrupteurs tout à gauche à 0) et selon la valeur binaire équivalente des 4 interrupteurs tout à gauche.

Réalisation 2 : vous trouverez le fichier VHDL MUX4x4v1x4 en annexe.

Simulation 2 : notre simulation nous donne le résultat suivant :



Ces résultats nous confirmant le bon fonctionnement de notre multiplexeur 4x4v1x4.

Annexe 1 :

Préparation

Annexe 2 :

Disp1Digit complété

Annexe 3 :

Disp1Digit_Basys3.xdc complété

(Fichier de contraintes)

Annexe 4 :

MUX4x4v1x4