

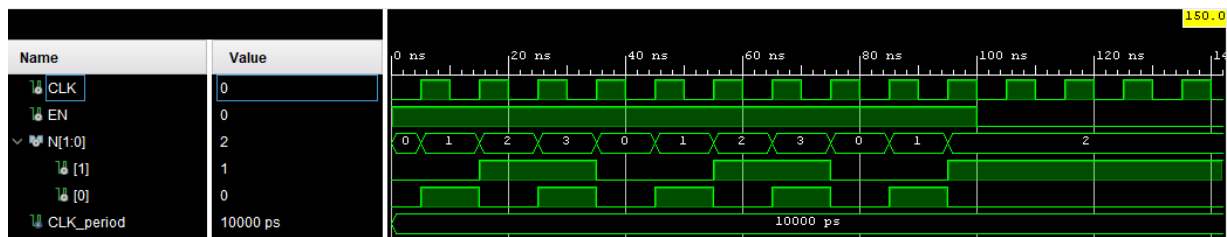
TP2 EN 1B

CHRONOMETRE

2021-2022

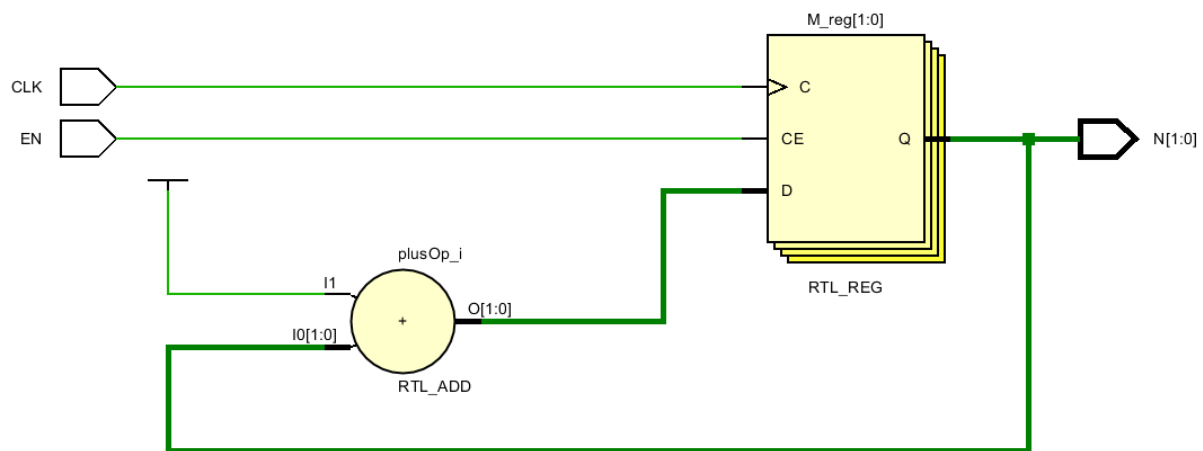
Oliver BELLIARD & Fahd RAFIK

La préparation se trouve en annexe.



Simulation Cmp0to3.

Le chronogramme montre à la sortie N, en décimal, son incrément à chaque coup d'horloge. On peut aussi confirmer le bon fonctionnement du retour à 0. Nous avons donc bien un compteur qui compte de 0 à 3 seulement, à chaque front montant de l'horloge.



Schema Cmp1to3 (RTL analysis)

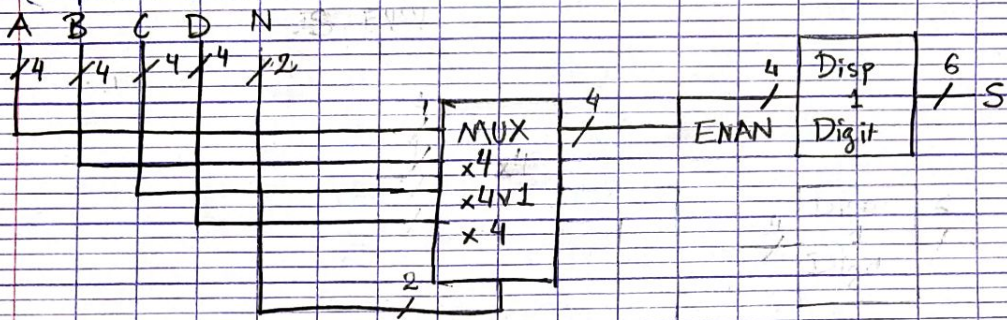
Ce schéma montre l'opération réalisée par Vivado. Nous observons que le logiciel a bien reconnu l'opération qu'on réalisait et a remplacé les deux bascules D par un opérateur d'addition.

La séance s'est plutôt bien déroulée, nous n'avons pas rencontré de souci particulier en suivant les consignes du TP. A la fin du TP nous avons les afficheurs 7 segments qui essaient d'afficher 4 chiffres différents à la vitesse de l'horloge et qui affichent donc une valeur moyenne des 4 chiffres commandés avec les switches.

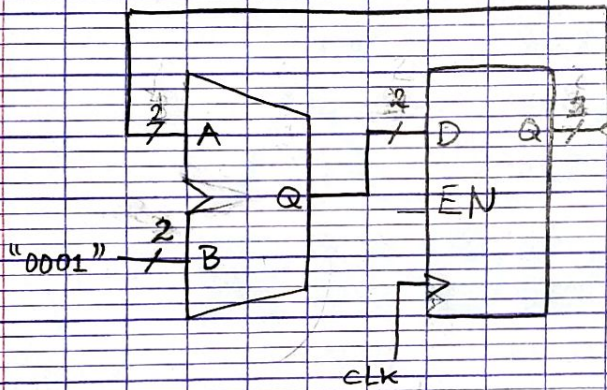
Vous trouverez dans les annexes : la préparation, le schéma de Disp1of4Digit, son fichier de contraintes et le schéma de cmpt1to3 avec des LUT.

Annexe 1 : Préparation

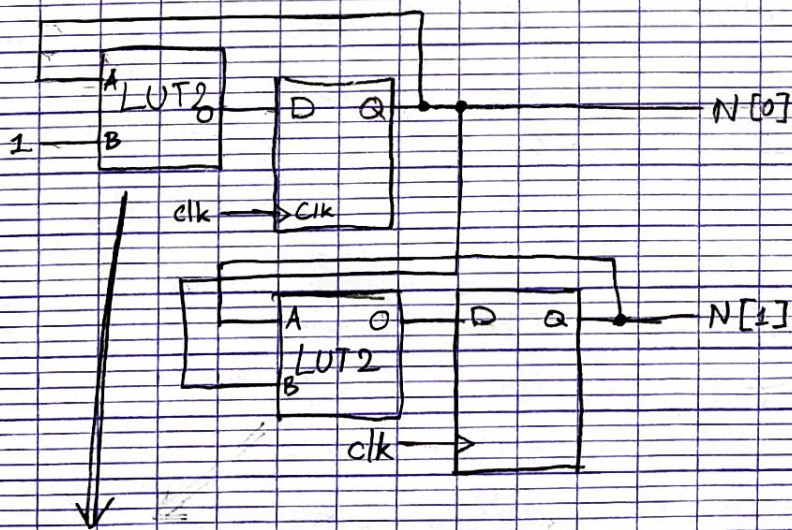
Prépa 3.A:



Prépa 4.A:



Prépa 4.B:

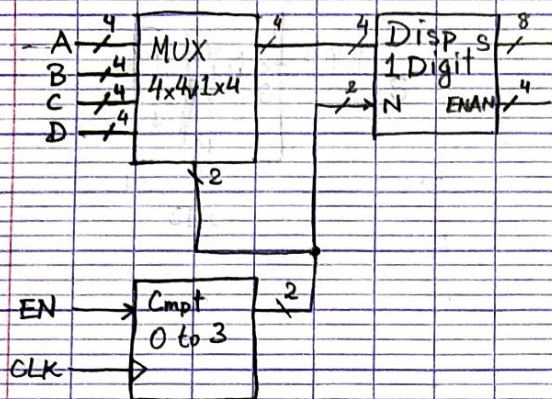


A	B	O
0	0	0
0	1	1
1	0	1
1	1	0

Prepa 3.B

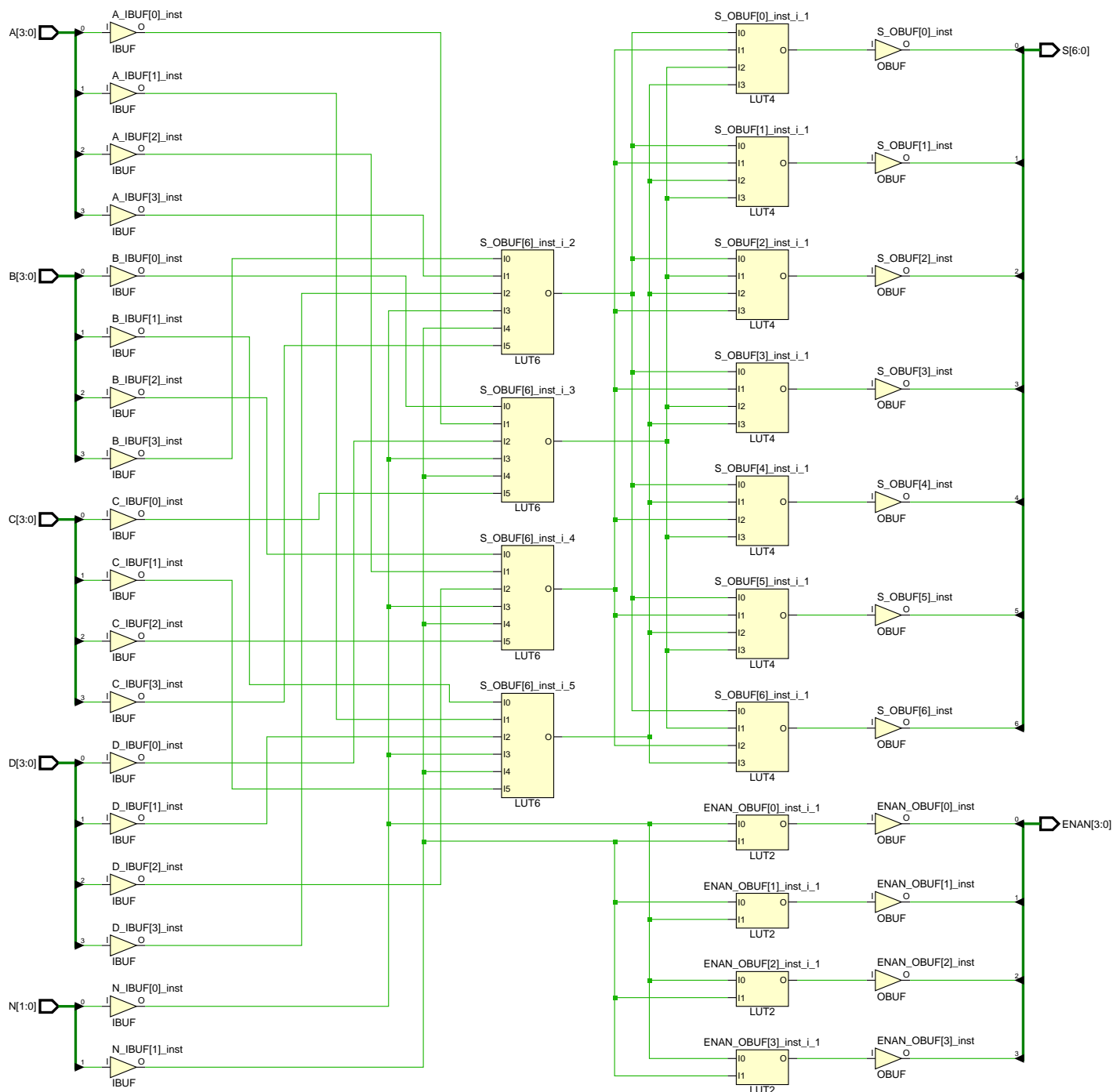
P(3)	SW 15	R ₂	Entrée
D(2)	SW 26	T ₂	~
D(1)	SW 13	U ₂	~
D(0)	SW 12	W ₂	~
C(3)	SW 11	R ₃	~
C(2)	SW 10	T ₂	~
C(1)	SW 9	T ₃	~
C(0)	SW 8	V ₂	~
B(3)	SW 7	W 13	~
B(2)	SW 6	W 14	~
B(1)	SW 5	V 15	~
B(0)	SW 4	W 15	~
A(3)	SW 3	W 17	~
A(2)	SW 2	W 16	~
A(1)	SW 1	V 16	~
A(0)	SW 0	V 17	~
N(1)	BTNR	T 17	~
N(0)	BTND	U 17	~
S(6)	CG	U 7	Sortie
S(5)	CF	V 5	~
S(4)	CE	U 5	~
S(3)	CD	V 8	~
S(2)	CC	U 8	~
S(1)	CB	W 6	~
S(0)	CA	W 7	~
ENAN(3)	AN 3	V 4	~
ENAN(2)	AN 2	V 4	~
~ (1)	AN 1	U 4	~
~ (0)	AN 0	U 2	~

Prépa 5.A: Disp 4D:



Annexe 2 :

Disp1of4Digit



Annexe 3 :

Disp1of4Digit_Basys3.xdc complété

(Fichier de contraintes)

```
#####
# Basys3 Pin Assignments #
#####

# pour : Disp1of4Digit.vhd
# Disp4D.vhd
# version du 23/11/2021

#####
# On-board Slide Switches #
#####

# Connection: A(0) de Disp1of4Digit sur SW0 => V17
set_property PACKAGE_PIN V17 [get_ports {A[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {A[0]}]

# Connection: A(1) de Disp1of4Digit sur SW1 => V16
set_property PACKAGE_PIN V16 [get_ports {A[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {A[1]}]

# Connection: A(2) de Disp1of4Digit sur SW2 => W16
set_property PACKAGE_PIN W16 [get_ports {A[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {A[2]}]

# Connection: A(3) de Disp1of4Digit sur SW3 => W17
set_property PACKAGE_PIN W17 [get_ports {A[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {A[3]}]

# Connection: B(0) de Disp1of4Digit sur SW4 => W15
set_property PACKAGE_PIN W15 [get_ports {B[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {B[0]}]

# Connection: B(1) de Disp1of4Digit sur SW5 => V15
set_property PACKAGE_PIN V15 [get_ports {B[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {B[1]}]

# Connection: B(2) de Disp1of4Digit sur SW6 => W14
set_property PACKAGE_PIN W14 [get_ports {B[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {B[2]}]

# Connection: B(3) de Disp1of4Digit sur SW7 => W13
set_property PACKAGE_PIN W13 [get_ports {B[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {B[3]}]

# Connection: C(0) de Disp1of4Digit sur SW8 => V2
set_property PACKAGE_PIN V2 [get_ports {C[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {C[0]}]

# Connection: C(1) de Disp1of4Digit sur SW9 => T3
set_property PACKAGE_PIN T3 [get_ports {C[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {C[1]}]

# Connection: C(2) de Disp1of4Digit sur SW10 => T2
set_property PACKAGE_PIN T2 [get_ports {C[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {C[2]}]

# Connection: C(3) de Disp1of4Digit sur SW11 => R3
set_property PACKAGE_PIN R3 [get_ports {C[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {C[3]}]

# Connection: D(0) de Disp1of4Digit sur SW12 => W2
set_property PACKAGE_PIN W2 [get_ports {D[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {D[0]}]

# Connection: D(1) de Disp1of4Digit sur SW13 => U1
set_property PACKAGE_PIN U1 [get_ports {D[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {D[1]}]

# Connection: D(2) de Disp1of4Digit sur SW14 => T1
set_property PACKAGE_PIN T1 [get_ports {D[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {D[2]}]

# Connection: D(3) de Disp1of4Digit sur SW15 => R2
set_property PACKAGE_PIN R2 [get_ports {D[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {D[3]}]
#maintenant à vous de compléter un peu plus!
#n'oubliez pas de décommenter les lignes de compléter

# Connection: N(1) de Disp1of4Digit sur BTNR => T17
set_property PACKAGE_PIN T17 [get_ports {N[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {N[1]}]

# Connection: N(0) de Disp1of4Digit sur BTND => U17
set_property PACKAGE_PIN T1 [get_ports {N[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {N[0]}]

#####
# On-board 7-segment Display #
#####

# SEGMENTS

# Connection: S(6) de Disp1of4Digit sur i¿½_vous => U7
set_property PACKAGE_PIN U7 [get_ports {S[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[6]}]

# Connection: S(5) de Disp1of4Digit sur i¿½_vous => V5
set_property PACKAGE_PIN V5 [get_ports {S[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[5]}]

# Connection: S(4) de Disp1of4Digit sur i¿½_vous => U5
set_property PACKAGE_PIN U5 [get_ports {S[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[4]}]

# Connection: S(3) de Disp1of4Digit sur i¿½_vous => V8
set_property PACKAGE_PIN V8 [get_ports {S[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[3]}]

# Connection: S(2) de Disp1of4Digit sur i¿½_vous => U8
set_property PACKAGE_PIN U8 [get_ports {S[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[2]}]

# Connection: S(1) de Disp1of4Digit sur i¿½_vous => W6
set_property PACKAGE_PIN W6 [get_ports {S[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[1]}]

# Connection: S(0) de Disp1of4Digit sur i¿½_vous => W7
set_property PACKAGE_PIN W7 [get_ports {S[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {S[0]}]

# ENABLE

# Connection: ENAN(3) de Disp1of4Digit sur AN3 => W4
set_property PACKAGE_PIN W4 [get_ports {ENAN[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[3]}]

# Connection: ENAN(2) de Disp1of4Digit sur AN2 => V4
set_property PACKAGE_PIN V4 [get_ports {ENAN[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[2]}]

# Connection: ENAN(1) de Disp1of4Digit sur AN1 => U4
set_property PACKAGE_PIN U4 [get_ports {ENAN[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[1]}]

# Connection: ENAN(0) de Disp1of4Digit sur AN0 => U2
set_property PACKAGE_PIN U2 [get_ports {ENAN[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {ENAN[0]}]

#####
# On-board Timer #
#####

# CLOCK

# Connection: CLK de Cmp10to3 sur W5
set_property PACKAGE_PIN W5 [get_ports {CLK}]
set_property IOSTANDARD LVCMOS33 [get_ports {CLK}]
```


Annexe 4 :

Cmpt1to3 avec

Des LUTs

