

1 Tool- und Hardwareübersicht

Für die Entwicklung der MIPS CPU wird in den Übungen das *Zedboard* (<http://www.zedboard.org>) eingesetzt, das einen *Zynq7020* (FPGA und Dual ARM A9 Cores) der Firma Xilinx enthält. Als Toolumgebungen kommt Vivado von Xilinx, sowie (optional) der Modelsim (Questasim) Simulator von Mentor Graphics zum Einsatz.

2 Umgebungen setzen TCL-Skript testen

- Vor dem Start der Tools Profile sourcen.

- Profil für Vivado setzen:

```
source /etc/opt/profiles/vivado18.2.env
```

– Vivado starten: **vivado**

- (optional) Profil für Modelsim setzen:

```
source /etc/opt/profiles/mentor.env
```

– (optional) sim_signal_barrier.do testen: **vsim -64 -do sim_signal_barrier.do**

3 Aufgaben

32-Bit Zähler (Programmzähler)

- Erstellen Sie ein VHDL-Modul, welches in jedem Taktzyklus einen 32-Bit Wert um 4 inkrementiert wird. Das Register des Zählers soll über ein Enable Bit *EN* verfügen. Nur bei anliegender '1' an diesem Port soll der Zustand des Registers verändert werden. Über einen synchronen Reset soll der Zähler zurück auf 0 gesetzt werden können.
- Schreiben Sie eine Testbench für Ihren Zähler und testen Sie die Komponente.
- Erweitern Sie Ihr Design um einen 32-Bit Dateneingang, um den Zähler auf einen beliebigen Wert zu setzen. Durch Setzen eines weiteren Steuerbits *LD* (Load) auf '1' soll der Wert, welcher am Dateneingang anliegt, im Register des Zählers abgelegt werden. Testen Sie die Komponente erneut. Falls '0' an LD anliegt, soll wie oben beschrieben gezählt werden. Dies wird später für Sprünge benötigt.
- Starten Sie Vivado wie oben beschrieben, laden sie alle benötigten VHDL Dateien und synthetisieren bzw. implementieren Sie Ihr Design. Analysieren Sie die generierten RTL- und Technologie Schematics, sowie die entstandene Ressourcenauslastung. Für welche Maximalfrequenz ist Ihr Design lauffähig?
- **optionaler Zusatz:** Schreiben Sie eine Toplevel-Datei, welche den Zähler instantiiert und die obersten 8 Bit des Zählerausgangs mit den LEDs des Zedboards verbindet. Die Clock sollte vom Quarz des Zedboards genutzt werden. Dateneingang und *LD* können auf konstante Werte gesetzt werden. *EN* und *Reset* können auf die Switches gelegt werden. Schreiben Sie ein XDC-Constraint-File und testen Sie Ihr Design auf dem Zedboard.