

TEMA 3: CIRCUITOS COMBINACIONALES INTEGRADOS DE USO COMÚN

3.1.- Decodificadores.

3.2.- Codificadores.

3.3.- Convertidores de código.

3.4.- Multiplexores.

3.5.- Demultiplexores.

3.6.- Comparadores binarios.

3.7.- Sumadores binarios.

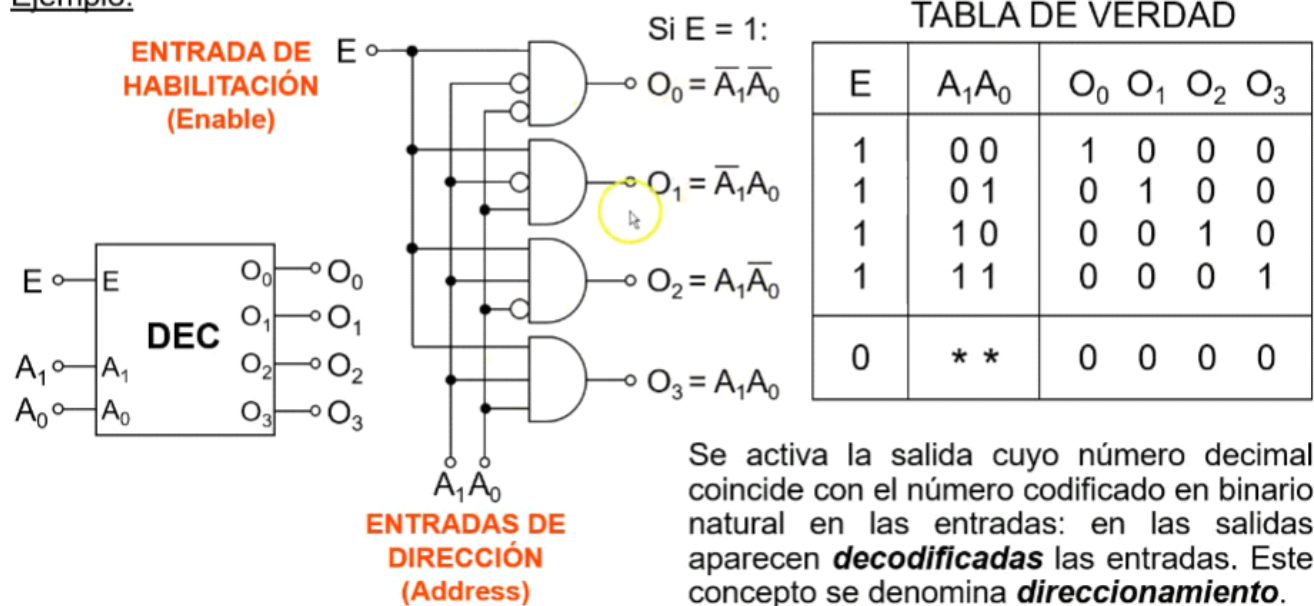
TEMA 3: CIRCUITOS COMBINACIONALES INTEGRADOS DE USO COMÚN

3.1.- Decodificadores

DEFINICIÓN DE DECODIFICADOR

Es un circuito combinacional con n entradas y m salidas, tal que para cada combinación de los bits de entrada se selecciona una y sólo una de las salidas.

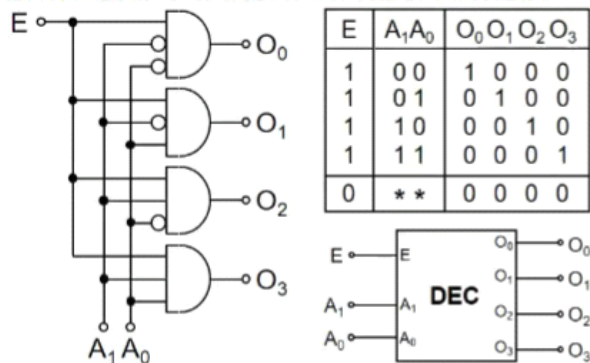
Ejemplo:



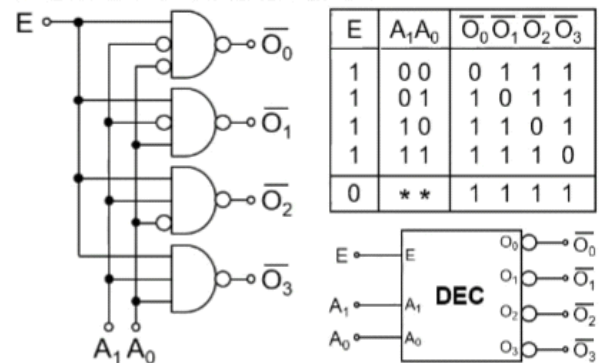
Nota: Cuando el decodificador está habilitado, cada salida realiza un producto canónico de las entradas de dirección.

ENTRADAS Y SALIDAS ACTIVAS EN BAJA

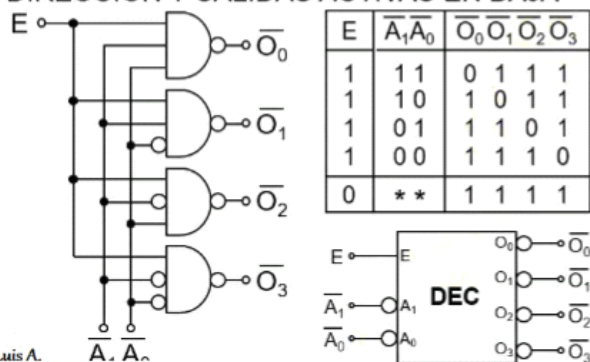
ENTRADAS Y SALIDAS ACTIVAS EN ALTA



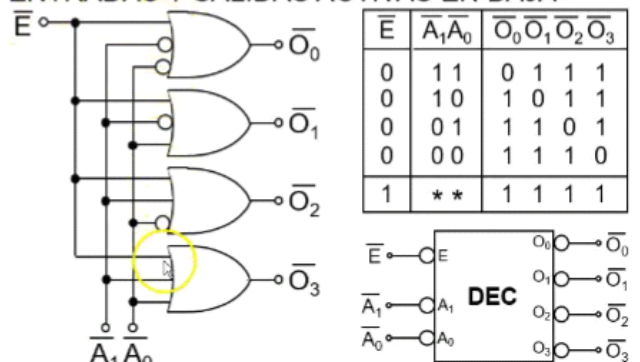
SALIDAS ACTIVAS EN BAJA



DIRECCIÓN Y SALIDAS ACTIVAS EN BAJA

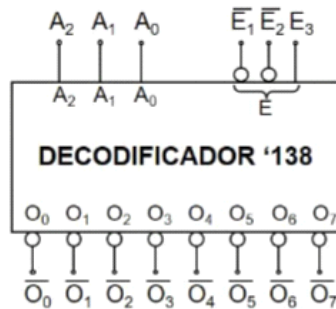


ENTRADAS Y SALIDAS ACTIVAS EN BAJA



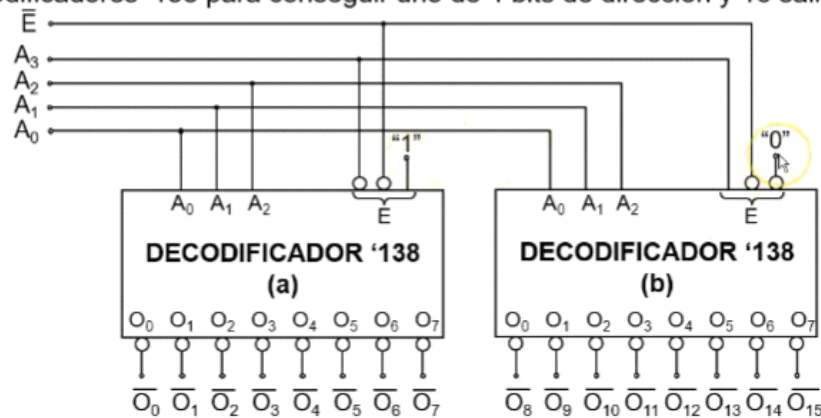
DECODIFICADOR COMERCIAL '138

Es un decodificador de 3 bits de dirección (binario natural) y 8 salidas activas en baja. Posee además 3 entradas de habilitación, una activa en alta y las otras dos en baja.



\overline{E}_1	\overline{E}_2	E_3	A_2	A_1	A_0	\overline{O}_0	\overline{O}_1	\overline{O}_2	\overline{O}_3	\overline{O}_4	\overline{O}_5	\overline{O}_6	\overline{O}_7
0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	1	1	1
0	0	1	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0
1	*	*	*	*	*	1	1	1	1	1	1	1	1
*	1	*	*	*	*	1	1	1	1	1	1	1	1
*	*	0	*	*	*	1	1	1	1	1	1	1	1

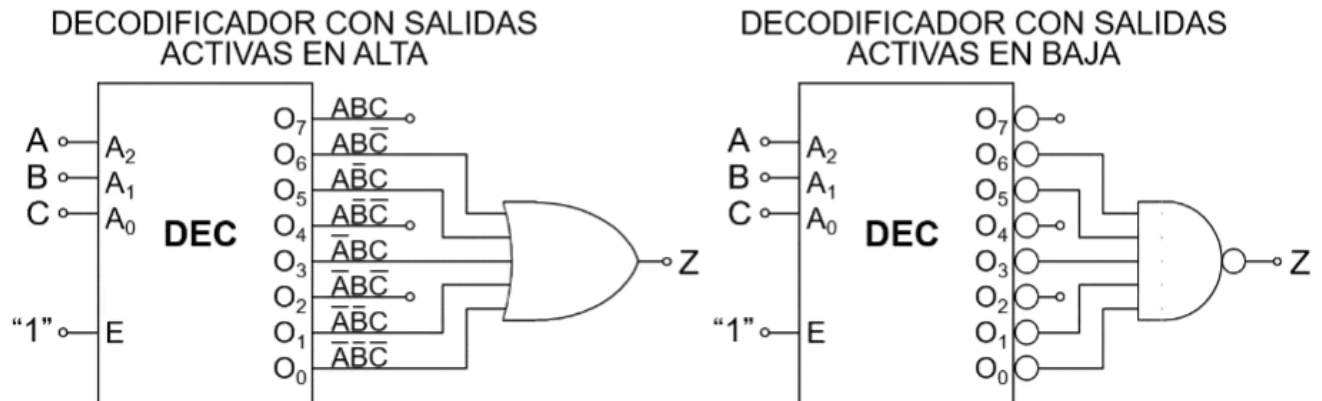
Conexión de 2 decodificadores '138 para conseguir uno de 4 bits de dirección y 16 salidas:



UTILIDADES DE LOS DECODIFICADORES

- a) Operaciones de direccionamiento o decodificación.
- b) Generación de funciones lógicas. Para una función de n variables se necesita un decodificador de n bits de dirección.

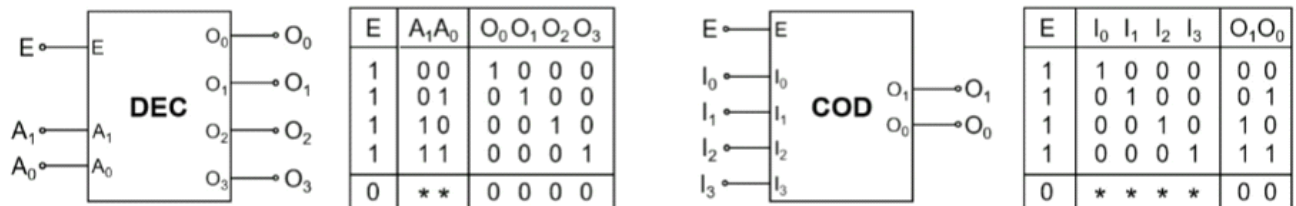
Ejemplo: implementar la función $Z(A,B,C) = \sum(0,1,3,5,6)$



- c) Operaciones de demultiplexación.

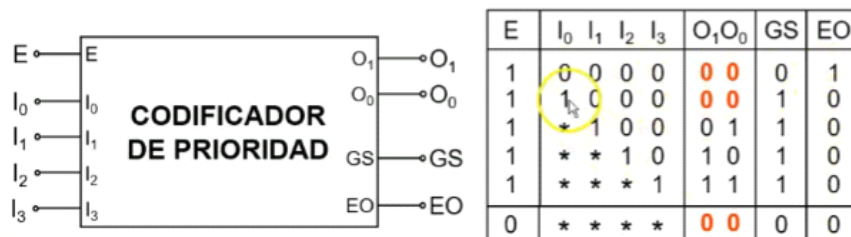
DEFINICIÓN DE CODIFICADOR

Es un circuito combinacional con m entradas y n salidas, tal que cuando una sola de las entradas adopta un estado lógico diferente al de las demás, en sus salidas aparece la combinación binaria correspondiente a dicha entrada. Por tanto, el codificador realiza la función opuesta a la del decodificador:



Cuando más de una entrada puede estar activa a la vez, se introduce una **prioridad**: en la salida aparece codificada la entrada activa de mayor peso numérico.

Para distinguir situaciones que producen las mismas salidas, se introducen dos salidas más, la **señal de grupo** (GS) y la **habilitación de salida** (EO).



GS: Se activa sólo cuando hay alguna entrada activa.

EO: Es el complemento de GS cuando el codificador está habilitado.

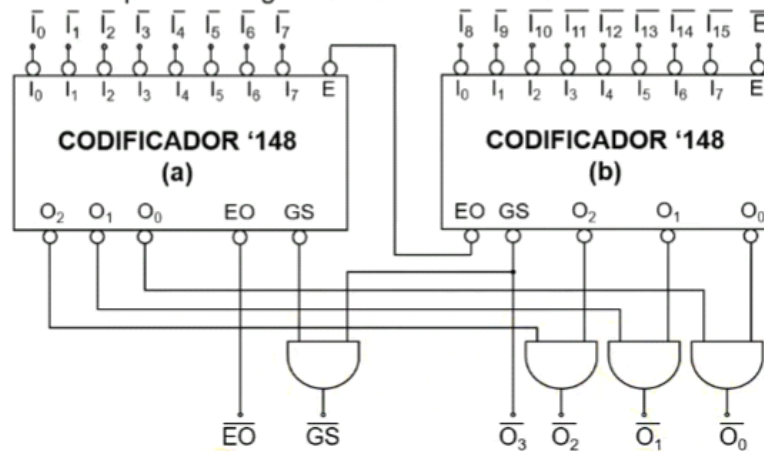
CODIFICADOR COMERCIAL '148

Es un codificador de prioridad de 8 líneas de entrada y 3 bits de salida (binario natural). Todos sus terminales son activos en baja.



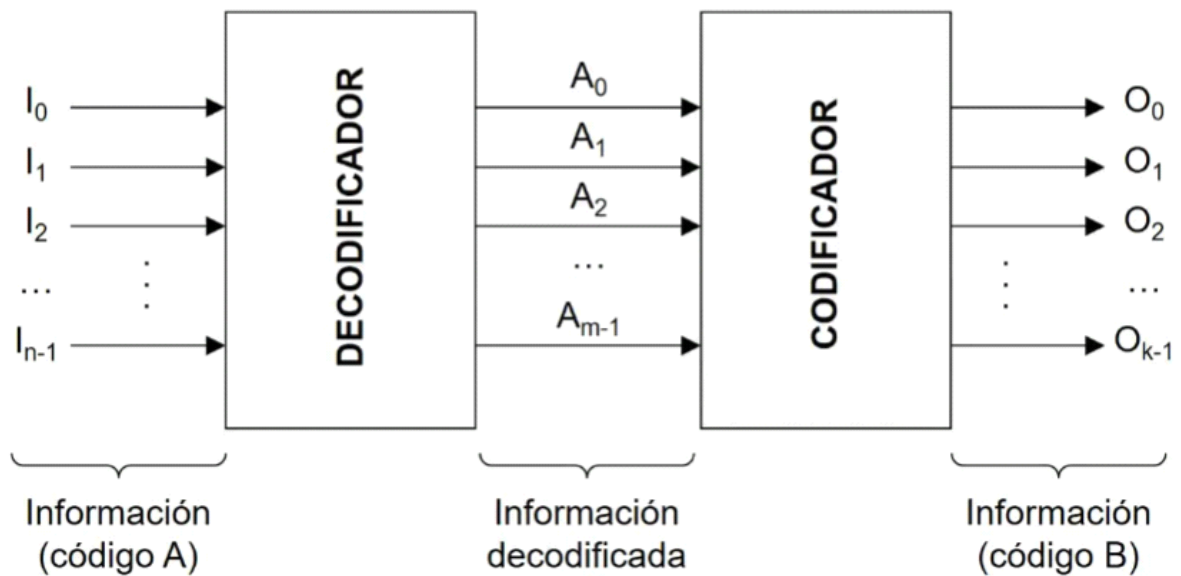
\bar{E}	\bar{I}_0	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{O}_2	\bar{O}_1	\bar{O}_0	\bar{GS}	\bar{EO}
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	1	1	1	0	1
0	*	0	1	1	1	1	1	1	1	1	0	0	1
0	*	*	0	1	1	1	1	1	1	0	1	0	1
0	*	*	*	0	1	1	1	1	1	1	0	0	1
0	*	*	*	*	0	1	1	1	1	0	1	1	0
0	*	*	*	*	*	0	1	1	1	0	1	0	1
0	*	*	*	*	*	*	0	1	1	0	0	1	0
0	*	*	*	*	*	*	*	0	1	0	0	1	0
0	*	*	*	*	*	*	*	*	0	0	0	0	1
1	*	*	*	*	*	*	*	*	1	1	1	1	1

Conexión de 2 codificadores '148 para conseguir uno de 16 entradas:



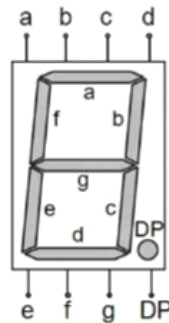
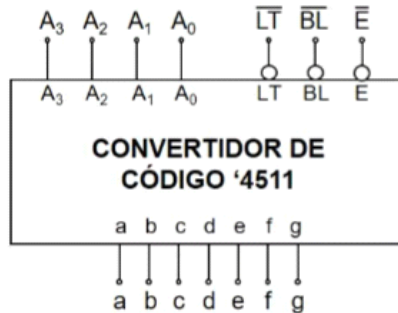
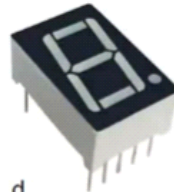
DEFINICIÓN DE CONVERTIDOR DE CÓDIGO

Es un circuito combinacional que traduce información de un código binario a otro diferente. Puede considerarse como la conexión en serie de un decodificador y un codificador:



CONVERTIDOR DE CÓDIGO COMERCIAL '4511

Traduce información numérica codificada en BCD al llamado **código de 7 segmentos**, utilizado por los **displays** o **visualizadores de 7 segmentos**:



A₃, A₂, A₁, A₀: Entrada BCD.

E (Enable): Entrada de habilitación.

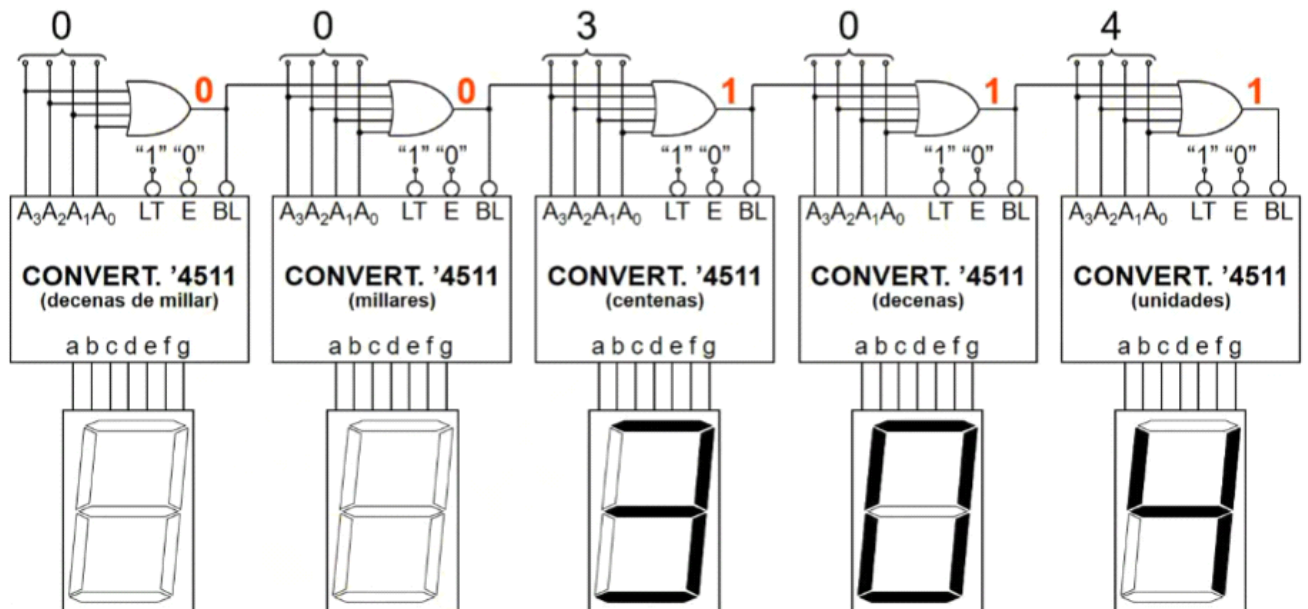
LT (Lamp Test): Ilumina todos los segmentos.

BL (Blanking): Deja al visualizador sin iluminación.

Dec	A ₃ A ₂ A ₁ A ₀	$\overline{\text{BL}}$	$\overline{\text{LT}}$	a	b	c	d	e	f	g
*	* * * *	*	0	1	1	1	1	1	1	1
*	* * * *	0	1	0	0	0	0	0	0	0
0	0 0 0 0	1	1	1	1	1	1	1	0	0
1	0 0 0 1	1	1	0	1	1	0	0	0	0
2	0 0 1 0	1	1	1	1	0	1	1	0	1
3	0 0 1 1	1	1	1	1	1	0	0	1	1
4	0 1 0 0	1	1	0	1	1	0	0	1	1
5	0 1 0 1	1	1	1	0	1	1	0	1	1
6	0 1 1 0	1	1	0	0	1	1	1	1	1
7	0 1 1 1	1	1	1	1	1	0	0	0	0
8	1 0 0 0	1	1	1	1	1	1	1	1	1
9	1 0 0 1	1	1	1	1	1	0	0	1	1
10	1 0 1 0	1	1	0	0	0	0	0	0	0
11	1 0 1 1	1	1	0	0	0	0	0	0	0
12	1 1 0 0	1	1	0	0	0	0	0	0	0
13	1 1 0 1	1	1	0	0	0	0	0	0	0
14	1 1 1 0	1	1	0	0	0	0	0	0	0
15	1 1 1 1	1	1	0	0	0	0	0	0	0

CONVERTIDOR DE CÓDIGO COMERCIAL '4511 NÚMEROS DE MÁS DE UNA CIFRA

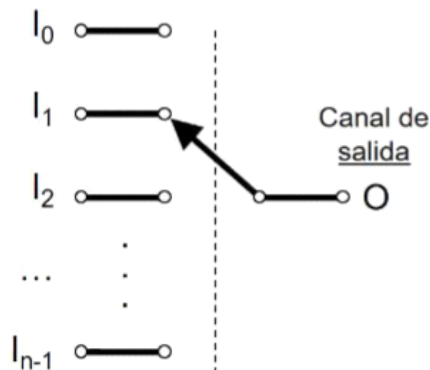
Para visualizar números de más de una cifra sin que aparezcan ceros a la izquierda, los convertidores deben conectarse en cascada mediante una serie de puertas OR:



DEFINICIÓN DE MULTIPLEXOR

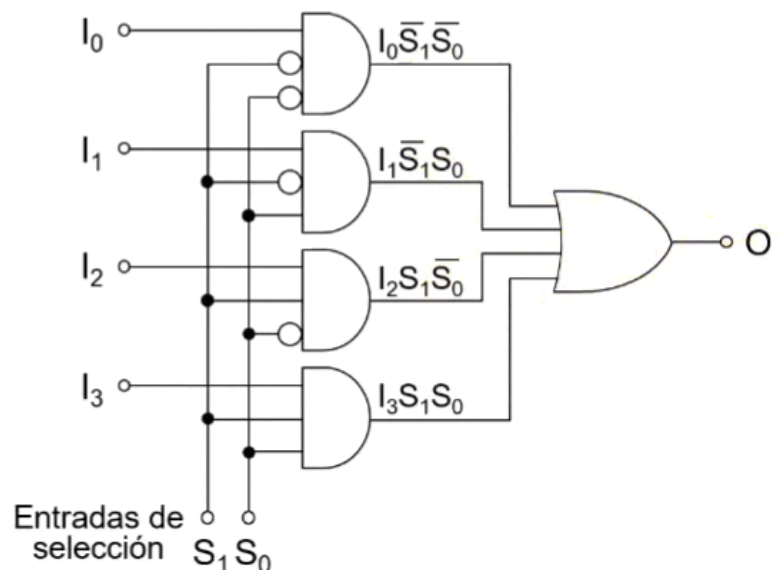
Es un combinacional que permite seleccionar en su salida una de entre varias entradas:

n canales de entrada



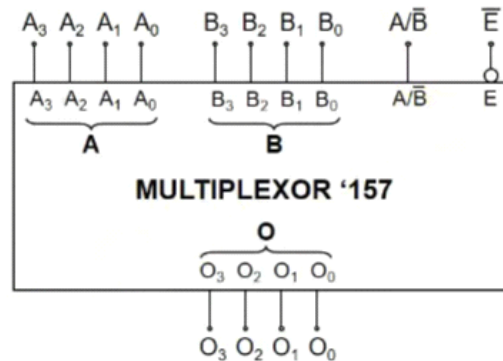
Mecanismo de selección
(m bits, $n=2^m$)

Ejemplo: Multiplexor de 4 a 1



MULTIPLEXOR COMERCIAL '157

Es un multiplexor 2 a 1 cuádruple, es decir, permite seleccionar una de entre dos palabras de 4 bits. Posee además una entrada de habilitación activa en baja.



A_3, A_2, A_1, A_0 : Entrada A.

B_3, B_2, B_1, B_0 : Entrada B.

A/\bar{B} : Bit de selección.

O_3, O_2, O_1, O_0 : Salida $O = \begin{cases} A, & \text{si } A/\bar{B} = 1 \\ B, & \text{si } A/\bar{B} = 0 \end{cases}$

\bar{E} : Entrada de habilitación. Cuando el multiplexor está deshabilitado las salidas se ponen a 0.

UTILIDADES DE LOS MULTIPLEXORES

a) Operaciones de multiplexación.

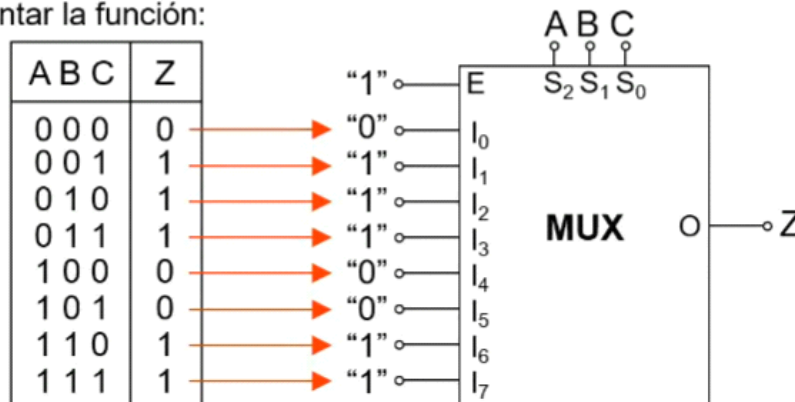
b) Transformación de datos en formato paralelo a serie.

Si en un multiplexor se van recorriendo secuencialmente todas las combinaciones de los bits de selección, en su salida irán apareciendo en formato serie los bits que en las entradas están en formato paralelo.



c) Generación de funciones lógicas. Para una función de n variables se necesita un multiplexor de n bits de selección (2^n canales de entrada).

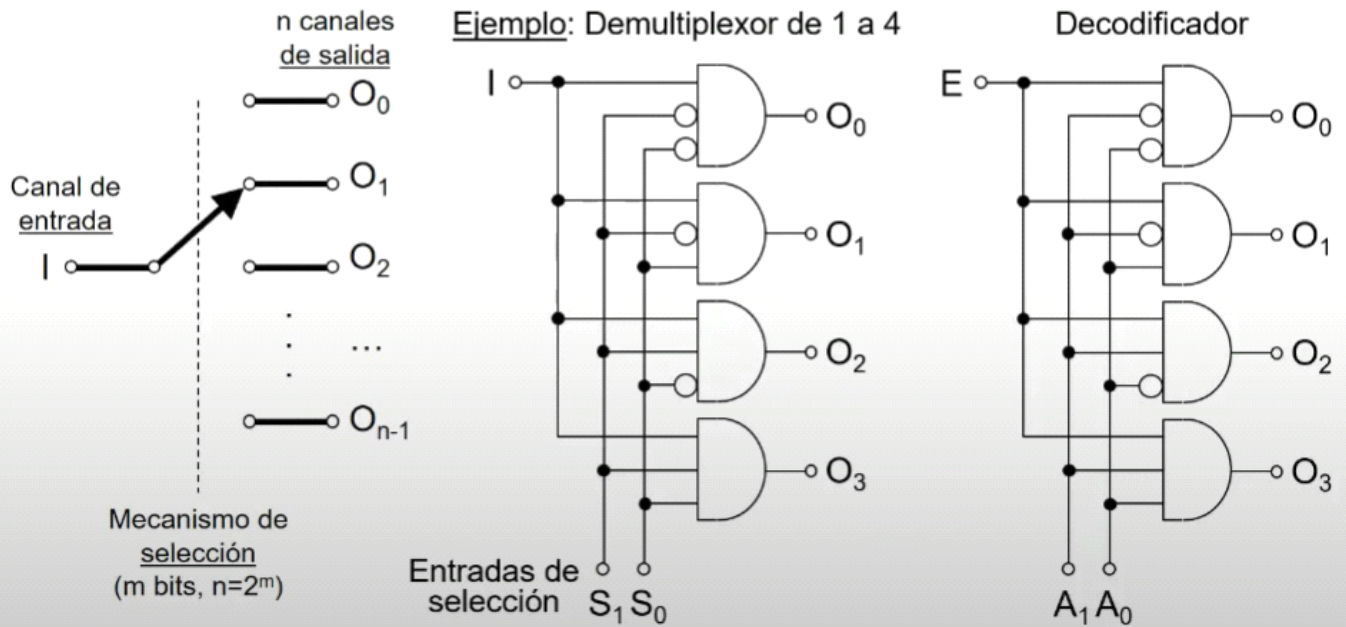
Ejemplo: implementar la función:



Nota: con un inversor adicional se podría generar cualquier función de $n+1$ variables.

DEFINICIÓN DE DEMULTIPLEXOR

Es el combinacional que realiza la función inversa del multiplexor. Permite conectar su entrada a una de entre varias salidas en función de unos bits de selección:



LA COMPARACIÓN EN BINARIO NATURAL

Para comparar dos números **A** y **B** en decimal, se empieza por las cifras más significativas. Si son distintas, la mayor de ellas nos indica cuál es el número mayor. Si son iguales habrá que pasar a comparar las cifras de la etapa anterior, y así sucesivamente.

Ejemplo:

A: 5 7 2 3 8
B: 5 7 4 3 2

→ *Distintas:* la mayor (4) me indica cuál es el número mayor (**B**).
→ *Iguales:* me fijo en las cifras de la etapa anterior.
→ *Iguales:* me fijo en las cifras de la etapa anterior.

La comparación de dos números **A** y **B** en binario natural es más sencilla porque sólo hay dos cifras posibles, el 0 y el 1.

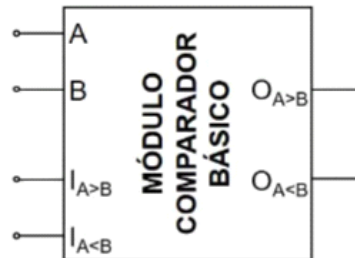
Para llevar a cabo la comparación, se empieza por los bits más significativos. Si son distintos, el que vale 1 nos indica cuál es el número mayor. Si son iguales habrá que pasar a comparar los bits de la etapa anterior, y así sucesivamente.

LA COMPARACIÓN EN BINARIO NATURAL

Diseñaremos un módulo comparador básico para los bits enésimos A y B de los dos números A y B.

Si son iguales, tendrá en cuenta dos entradas $I_{A>B}$ e $I_{A<B}$ tales que:

$I_{A>B}$	$I_{A<B}$	Significado
0	0	A=B hasta la etapa n-1
0	1	A<B hasta la etapa n-1
1	0	A>B hasta la etapa n-1
1	1	Caso imposible



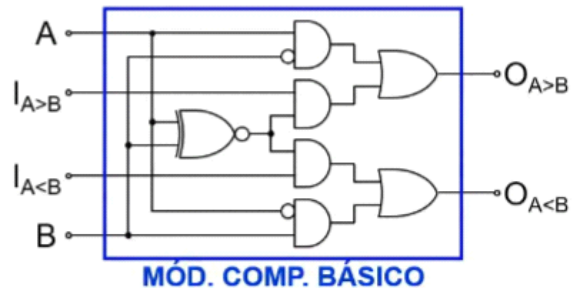
Suministrará dos salidas, $O_{A>B}$ y $O_{A<B}$, tales que:

$O_{A>B}$	$O_{A<B}$	Significado
0	0	A=B hasta la etapa n
0	1	A<B hasta la etapa n
1	0	A>B hasta la etapa n
1	1	Caso imposible

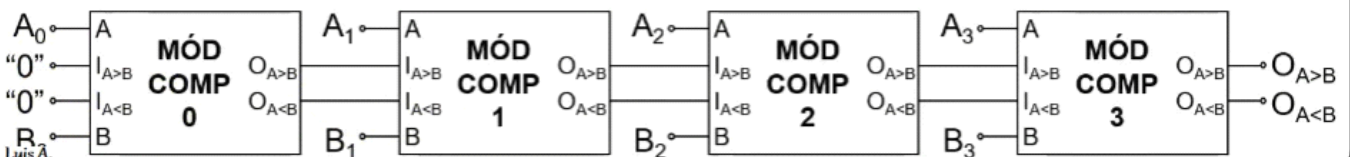
Ecuaciones: $O_{A>B} = A \cdot \bar{B} + (A \oplus B) \cdot I_{A>B}$

$O_{A<B} = \bar{A} \cdot B + (A \oplus B) \cdot I_{A<B}$

$(A \oplus B) = 1$ sólo si $A \neq B$



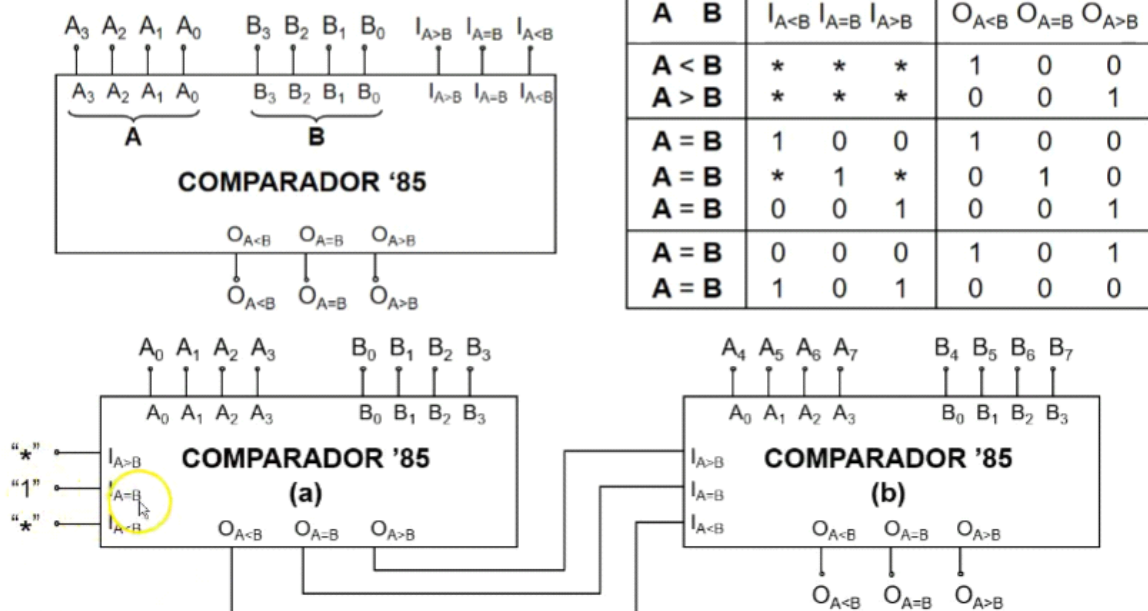
Un circuito **comparador** para números de 4 bits será:



EL COMPARADOR COMERCIAL '85

El comparador '85 es un integrado comercial que permite comparar dos números **A** y **B** en binario natural de 4 bits. Suministra 3 salidas independientes que indican si **A < B**, **A = B** o **A > B**. Incluye tres entradas que permiten su conexión en cascada para aumentar la capacidad de comparación.

En la tabla de funcionamiento se han incluido todas las combinaciones posibles de entradas, incluyendo las irrelevantes.



LA SUMA ARITMÉTICA EN BINARIO NATURAL

La suma de dos números decimales se hace por etapas, cifra a cifra. Cuando el resultado en una etapa es mayor o igual que 10 (raíz), se suma 1 (acarreo) a la etapa siguiente.

$$\begin{array}{r}
 & & & & 1 & & & & \\
 & 4 & 3 & 2 & 5 & & & & \\
 + & 7 & 1 & 9 & 3 & & & & \\
 \hline
 1 & 1 & 5 & 1 & 8 & & & &
 \end{array}$$

Al igual que ocurre con la suma de números decimales, haremos la suma aritmética de dos números en binario natural cifra a cifra (bit a bit). Cuando el resultado sea mayor o igual que 2, se producirá un acarreo (bit 1) que hay que sumar a la siguiente etapa:

$$\begin{array}{r}
 & & & & 1 & & 1 & & & & \text{Decimal:} \\
 & 1 & 0 & 0 & 1 & \longrightarrow & 9 & & & & \\
 + & 1 & 0 & 1 & 1 & \longrightarrow & +11 & & & & \\
 \hline
 1 & 0 & 1 & 0 & 0 & \longrightarrow & 20 & & & &
 \end{array}$$

LA SUMA ARITMÉTICA EN BINARIO NATURAL

SUMADORES

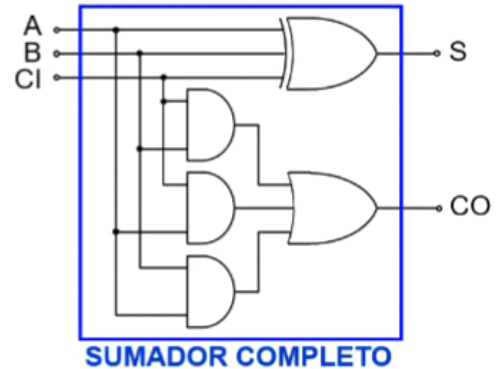
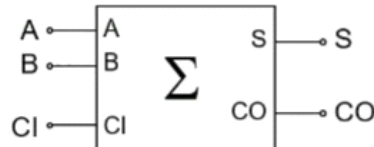
El circuito combinacional que realice una etapa de la suma tendrá tres entradas: A (bit del primer número), B (bit del segundo número) y CI (*carry input*, entrada de acarreo de la etapa anterior); y dos salidas: S (bit de suma) y CO (*carry output*, salida de acarreo para la etapa siguiente). Verificará:

A	B	CI	CO	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Simplificando se obtiene:

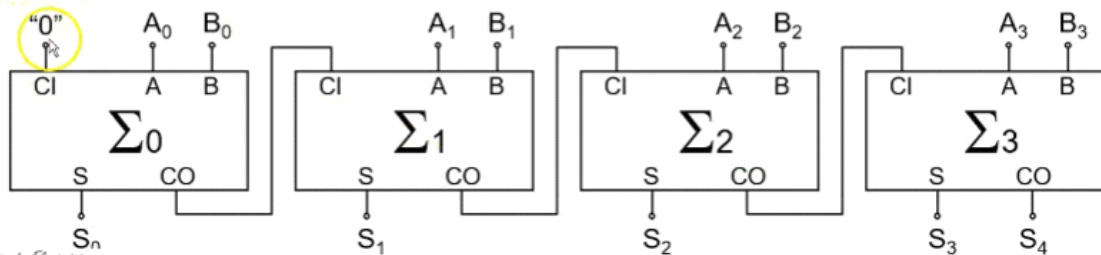
$$S = A \oplus B \oplus CI$$

$$CO = A \cdot CI + B \cdot CI + A \cdot B$$



SUMADOR COMPLETO

Un circuito **sumador** para números de 4 bits será:



SUMADOR COMERCIAL '14008

Es un sumador para números en binario natural de 4 bits. A diferencia del esquema anterior, calcula los acarreos en paralelo, por lo que se trata de un sumador más rápido. Posee entrada y salida de acarreo que permiten la conexión en cascada de varios sumadores.

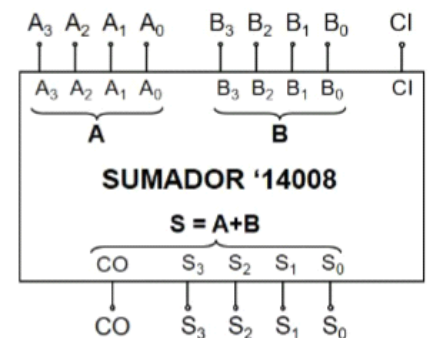
A₃, A₂, A₁, A₀: Entrada A.

B₃, B₂, B₁, B₀: Entrada B.

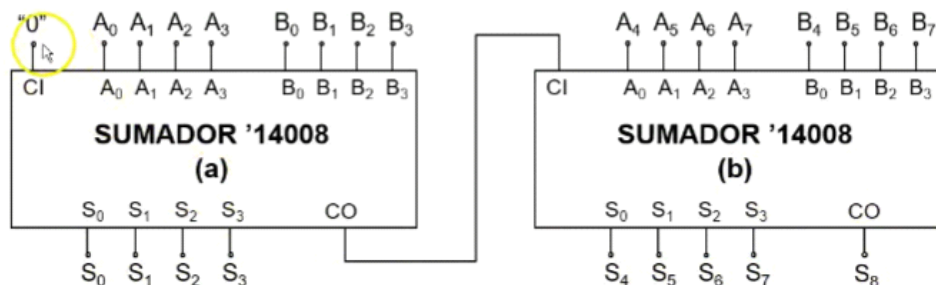
CI: Entrada de acarreo (se suma a A₀ y B₀).

S₃, S₂, S₁, S₀: Bits de la suma aritmética.

CO: Acarreo de salida (bit S₄ de la suma).



Conexión de dos sumadores '14008 para conseguir un sumador de números de 8 bits:



LA RESTA REPRESENTACIÓN DE LOS NÚMEROS NEGATIVOS

En el sistema decimal, los números negativos se representan con una notación de magnitud y signo:

Signo $\rightarrow +5$ Signo $\rightarrow -5$
 Magnitud Magnitud

De la misma forma, en binario se podría utilizar una notación similar donde el bit de más a la izquierda representara el signo (0: signo positivo, 1: signo negativo) y el resto de bits la magnitud del número.

Ejemplo: supongamos que tenemos números de 4 bits en binario natural.

Signo Signo
↓ ↓
+5 : 0 101 -5 : 1 101
↑ ↑ ↑ ↑
Magnitud Magnitud

Inconveniente: la resta no puede hacerse como la suma del opuesto.

LA RESTA LA NOTACIÓN COMPLEMENTO A DOS

Para que la resta se pueda hacer como la suma del opuesto, habrá que buscar combinaciones binarias tales que sumadas con las correspondientes a los números positivos se obtenga 0 como resultado.

Ejemplos:

1 1 1
0 1 0 1 \rightarrow 5
+ 1 0 1 1 \rightarrow -5
X 0 0 0 0 \rightarrow 0

1 1 1
0 1 1 1 \rightarrow 7
+ 1 0 0 1 \rightarrow -7
X 0 0 0 0 \rightarrow 0

0: 0 000
1: 0 001 \rightarrow -1: 1 111
2: 0 010 \rightarrow -2: 1 110
3: 0 011 \rightarrow -3: 1 101
4: 0 100 \rightarrow -4: 1 100
5: 0 101 \rightarrow -5: 1 011
6: 0 110 \rightarrow -6: 1 010
7: 0 111 \rightarrow -7: 1 001
8: 1 000
Signo + Signo -

Falta la combinación binaria 1000. ¿Qué valor numérico se le asigna?

1 0 0 0 \rightarrow -8
+ 0 1 1 1 \rightarrow 7
1 1 1 1 \rightarrow -1

Con n bits se representan en complemento a dos los números comprendidos en el intervalo:
[-2^{n-1} , $2^{n-1}-1$]

LA RESTA LA NOTACIÓN COMPLEMENTO A DOS

En la práctica, dado un número expresado en complemento a dos, su opuesto se halla complementando bit a bit y sumando la unidad.

Ejemplos:

$$\begin{array}{r} 5: 0101. \text{ Complemento: } 1010 \\ + 0001 \\ \hline \end{array}$$

1011: -5

$$\begin{array}{r} -5: 1011. \text{ Complemento: } 0100 \\ + 0001 \\ \hline \end{array}$$

0101: 5

$$\begin{array}{r} 3: 0011. \text{ Complemento: } 1100 \\ + 0001 \\ \hline \end{array}$$

1101: -3

$$\begin{array}{r} -3: 1101. \text{ Complemento: } 0010 \\ + 0001 \\ \hline \end{array}$$

0011: 3

PRECAUCIÓN: la expresión de un número en complemento a dos depende del número total de bits que se esté considerando.

Ejemplo: Para 4 bits, el 5 es la combinación 0101 y el -5 la 1011.

Para 5 bits, el 5 es la combinación 00101 y el -5 es: 11011.

$$\begin{array}{r} \text{Complemento: } 11010 \\ + 00001 \\ \hline 11011 \end{array}$$

LA RESTA LA NOTACIÓN COMPLEMENTO A DOS

Utilizando la notación complemento a dos las restas se reducen a la suma del opuesto.

Ejemplos: consideraremos que el número total de bits es 4.

Operación 7-5

$$\begin{array}{r} 7: 0111 \\ 5: 0101 \\ -5: 1011 \end{array} \quad \begin{array}{r} \text{1 1 1} \\ 0 \ 1 \ 1 \ 1 \rightarrow 7 \\ + 1 \ 0 \ 1 \ 1 \rightarrow -5 \\ \hline \text{X } 0 \ 0 \ 1 \ 0 \rightarrow 2 \end{array}$$

Operación 5-7

$$\begin{array}{r} 7: 0111 \\ 5: 0101 \\ -7: 1001 \end{array} \quad \begin{array}{r} \text{1} \\ 0 \ 1 \ 0 \ 1 \rightarrow 5 \\ + 1 \ 0 \ 0 \ 1 \rightarrow -7 \\ \hline 1 \ 1 \ 1 \ 0 \rightarrow -2 \end{array}$$

Así, se podrán utilizar sumadores como base para la realización de restadores. Por ejemplo, si queremos hacer la resta **A-B** de dos números **A** ($A_3A_2A_1A_0$) y **B** ($B_3B_2B_1B_0$) de 4 bits:

