

Dig Logic Lab #1

นายภคิน พุทธนุกุลชัย

6430282121

การทดลองที่ 1:

D	C	B	A	ผลที่แสดง
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	A
1	0	1	1	B
1	1	0	0	C
1	1	0	1	D
1	1	1	0	E
1	1	1	1	F
0	0	0	0	0

การทดลองที่ 2:

A	B	AND	OR	NAND	NOR	XOR
0	0	0	0	1	1	0
0	1	0	1	1	0	1
1	0	0	1	1	0	1
1	1	1	1	0	0	0

การทดลองที่ 3:

จากการทดลอง จะเห็นได้ว่าถ้าหากเราปรับให้ input2 เป็น 0 ตัว Output จะเป็น 0 เสมอ แต่ถ้าหากปรับเป็น 1 ตัว Output จะสลับไปมาระหว่าง 0-1 ตาม Input1 โดย Output จะมีดีเลย์เล็กน้อย

การทดลองที่ 4:

จากการทดลอง หาก Clock ทั้ง 2 มีความถี่เท่ากัน ตัว Output จะแสดงค่าเหมือนกับInputทั้ง 2 แต่จะมีดีเลย์เล็กน้อยเพราะ AND gate

แต่ถ้าหากปรับความถี่ของ Input2 ให้เป็น 20 ns จะทำให้ Output มีลักษณะที่ 0 จะอยู่ 30 ns แล้วเปลี่ยนเป็น 10 ns และสลับไปเรื่อยๆ

(000100010001...)