

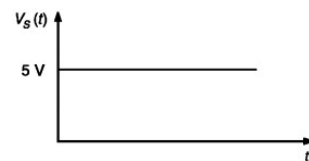
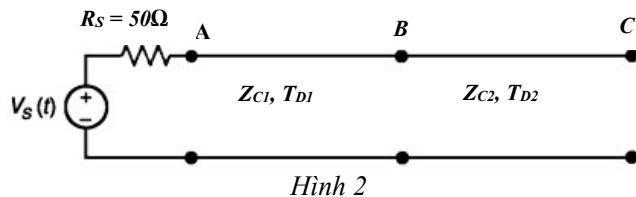
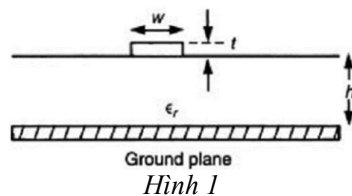


TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI TRƯỜNG ĐIỆN – ĐIỆN TỬ Đề số: 05 Tổng số trang: 1		ĐỀ THI CUỐI KỲ 2021.1 Học phần: EE4232 – TƯƠNG THÍCH ĐIỆN TỬ Ngày thi: 09/02/2022 Thời gian làm bài: 60 phút (Được sử dụng tài liệu)
Ký duyệt	Trưởng nhóm/Giảng viên phụ trách HP: 	Khoa phụ trách HP: 

Câu 1 (5 điểm)

Cho đường truyền mạch in như Hình 1 làm việc ở tần số cao, biết: Đoạn AB: chiều dài đoạn mạch in $l_{AB} = 35\text{cm}$, độ rộng đi dây $w_{AB} = 5\text{mils}$; Đoạn BC: $l_{BC} = 15\text{cm}$, $w_{BC} = 10\text{mil}$. Lớp epoxy có độ dày 47mils , hệ số điện môi $\epsilon_r = 4,7$. Tại điểm A, nối với đầu ra vi mạch đảo CMOS, tại C nối với đầu vào đảo của vi mạch CMOS ở trạng thái cao trở. Mô hình mạch tương đương và dạng tín hiệu ra tại đầu ra vi mạch CMOS cho trong Hình 2, Hình 3.

- Tính giá trị điện trở R mắc nối tiếp với R_S để phối hợp trở kháng giữa đường truyền và vi mạch CMOS. Vẽ điện áp $v_C(t)$ tại cuối đường truyền mạch in thứ 2 trong khoảng thời gian $0 < t < 11T_D$ sau khi đã phối hợp trở kháng
- Đề xuất phương pháp khắc phục để giảm sai lệch mức logic tại cuối đường truyền (điểm C)



Câu 2 (4 điểm)

Em hãy trình bày những hiểu biết của mình về việc thiết kế mạch in PCB đảm bảo EMC (khái niệm và những yêu cầu, lưu ý khi thiết kế mạch in PCB). Liên hệ ví dụ thực tế mà em biết.

Trình bày: 1 điểm

----- Hết -----