

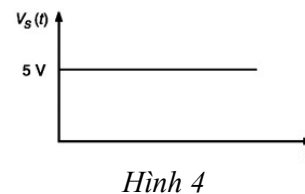
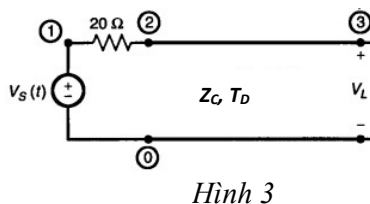
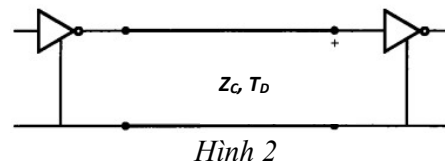
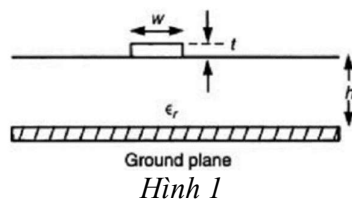


TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI TRƯỜNG ĐIỆN – ĐIỆN TỬ Đề số: 04 Tổng số trang: 1		ĐỀ THI CUỐI KỲ 2021.1 Học phần: EE4232 – TƯƠNG THÍCH ĐIỆN TỬ Ngày thi: 09/02/2022 Thời gian làm bài: 60 phút (Được sử dụng tài liệu)
Ký duyệt	Trưởng nhóm/Giảng viên phụ trách HP: 	Khoa phụ trách HP: 

Câu 1 (5 điểm)

Cho đường truyền mạch in thiết kế như Hình 1 làm việc ở tần số cao, có kích thước: $w = 15\text{mils}$, $h = 50\text{mils}$, $\epsilon_r = 4,7$, chiều dài đường truyền mạch in $l = 100\text{cm}$. Giả sử tại đầu đường truyền mạch in, nối với đầu ra vi mạch đảo CMOS, cuối đường truyền mạch in nối đầu vào vi mạch đảo CMOS ở trạng thái cao trở (Hình 2). Mô hình mạch tương đương và dạng tín hiệu ra tại đầu ra vi mạch CMOS cho trong Hình 3, Hình 4.

- Tính và vẽ dạng điện áp $v_L(t)$ tại vị trí đầu vào của vi mạch CMOS (cuối đường truyền mạch in) trong khoảng thời gian $0 < t < 11T_D$.
- Đề xuất phương án phối hợp trở kháng với đường truyền để đảm bảo vấn đề bảo toàn tín hiệu



Câu 2 (4 điểm)

Em hãy trình bày những hiểu biết của mình về vấn đề nhiễu trong các mạch điện tử số (khái niệm, nguyên nhân gây nhiễu và các phương pháp khắc phục). Liên hệ, phân tích một ví dụ thực tế mà em biết.

Trình bày: 1 điểm

----- Hết -----