

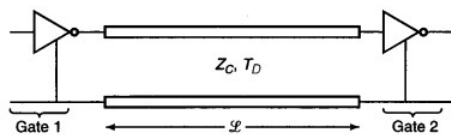


TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI TRƯỜNG ĐIỆN – ĐIỆN TỬ Đề số: 03 Tổng số trang: 1		ĐỀ THI CUỐI KỲ 2021.1 Học phần: EE4232 – TƯƠNG THÍCH ĐIỆN TỬ Ngày thi: 09/02/2022 Thời gian làm bài: 60 phút (Được sử dụng tài liệu)
Ký duyệt	Trưởng nhóm/Giảng viên phụ trách HP: 	Khoa phụ trách HP: 

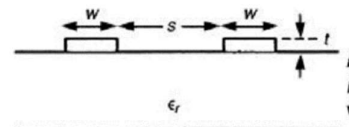
Câu 1 (5 điểm)

Xét mạch in gồm 2 vi mạch CMOS (hình 1) truyền tín hiệu tần số cao qua đường truyền mạch in thiết kế như hình 2 với thông số: $s = 15\text{mils}$, $w = 10\text{mils}$, $h = 40\text{mils}$, $\epsilon_R = 4.7$, chiều dài đường truyền mạch in $\ell = 30\text{cm}$. Vi mạch CMOS Gate 1 được mô hình hóa theo sơ đồ Thevenin gồm nguồn $v_S(t) = V_0 = 5\text{V}$ (một chiều), $R_S = 10\Omega$. Vi mạch CMOS Gate 2 được mô hình hóa bằng một điện trở tải $R_L = 100\Omega$ (hình 3).

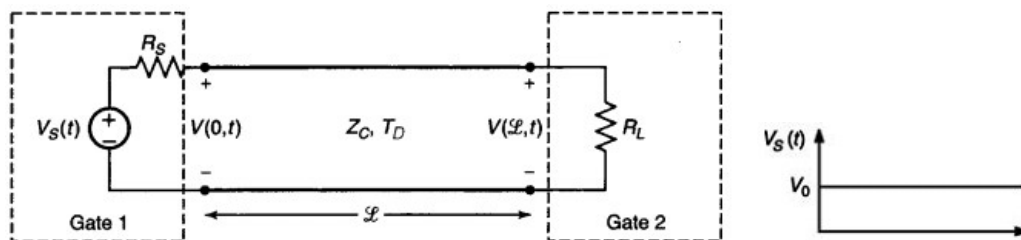
- Tính và vẽ tín hiệu điện áp trên tải trong khoảng thời gian 10.T_D và nhận xét về dáng điệu điện áp trên tải.
- Đề xuất phương án phối hợp trở kháng với đường truyền để đảm bảo vấn đề bảo toàn tín hiệu.



Hình 1



Hình 2



Hình 3

Câu 2 (4 điểm)

Em hãy trình bày những hiểu biết của mình về nối đất an toàn và nối đất tín hiệu trong thiết kế EMC. Hãy nêu và phân tích các phương pháp thiết kế nối đất trong việc thiết kế mạch in nhằm đảm bảo EMC, liên hệ thực tế mà em biết.

Trình bày: 1 điểm

Hết