



Návrh číslicových systémů
2021/2022

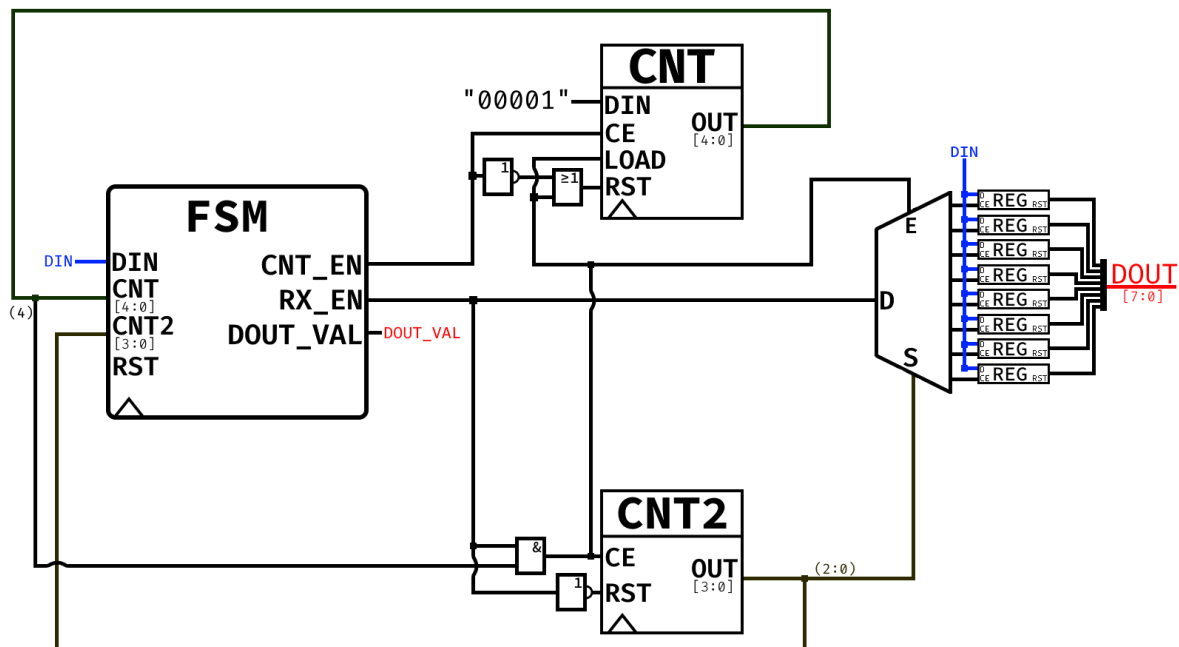
Projekt - UART přijímací část

A GitHub User
(xplagi00)

01.04.2022
Brno

Architektura navrženého obvodu

Schéma obvodu



Popis funkce

Obvod se skládá z automatu (finite state machine) FSM, čítače CLK signálu CNT, čítače přenesených bitů CNT2, demultiplexoru a 8 registrů.

Automat FSM určuje svůj vnitřní stav podle čítačů a vstupů, podle kterých nastavuje příznaky CNT_EN (*counter enable*), RX_EN (*recieve enable*) a DOUT_VAL (*data output valid*) - na kterých závisí funkce ostatních součástí obvodu.

Obvod obsahuje dva čítače:

- **CNT** — 5-bitový hodinový čítač s povolovacím signálem CNT_EN a předvolbou počátečního stavu (při počítání přenesených bitů je počáteční hodnota 1 pro správné čtení dat).
- **CNT2** — 4-bitový čítač přenesených bitů (prakticky $CNT \% 16$) s povolovacím signálem RX_EN. Hodnota čítače označuje bit, který je právě zapisován.

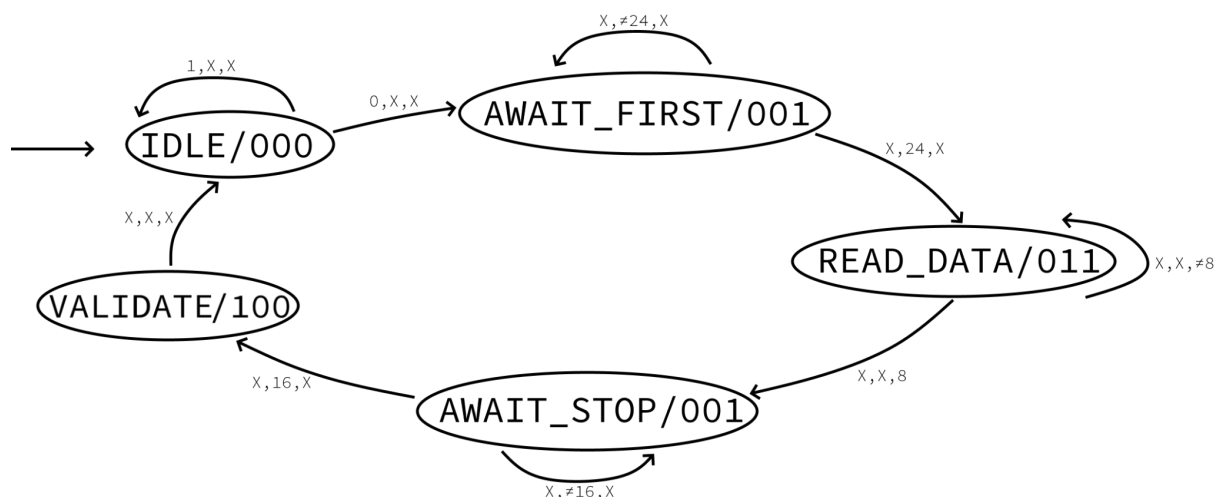
Po přenosu se nastaví DOUT_VAL a 8-bitové slovo se přenesse na výstup DOUT.

Návrh automatu

Schéma automatu

Legenda:

- Stavy automatu: IDLE, AWAIT_FIRST, READ_DATA, AWAIT_STOP, VALID
- Vstupní signály: DIN, CNT, CNT2
- Moorovy výstupy: DOUT_VAL, RX_EN, CNT_EN



Popis funkce

Stav IDLE:

Počáteční stav; automat je nečinný a čeká na START bit (DIN 0).

Stav AWAIT_FIRST:

Automat detekoval START bit a čeká na zahájení přenosu. V tomto stavu zůstává až do midbitu prvního datového bitu ($8+16=24$), který je počítán čítačem CNT.

Stav READ_DATA:

Automat zahájil čtení dat nastavením RX_EN na 1. Tento stav přetrvává, dokud není přeneseno 8 bitů, které počítá čítač CNT2.

Stav AWAIT_STOP:

Po přenesení osmi datových bitů čeká automat na konec END bitu, který je opět počítán čítačem CNT.

Stav VALIDATE:

Po dobu trvání jednoho impulsu CLK je DOUT_VLD nastaven na hodnotu 1. V této chvíli bylo úspěšně přeneseno 10 bitů (8 datových bitů + START a END) a pro další impuls CLK bude opět nastaven počáteční stav IDLE.

Snímek simulace

