

## 本节内容

除法电路  
基本结构

王道考研/CSKAOYAN.COM

王道考研/CSKAOYAN.COM

13

## 除法电路的基本结构

## 2. 除法电路结构

$n$  位定点数的除法运算, 实际上是用一个  $2n$  位的数去除以一个  $n$  位的数, 得到一个  $n$  位的商, 因此需要对被除数进行扩展。对于  $n$  位定点正小数, 只要在被除数的低位添  $n$  个 0 即可; 对于  $n$  位定点正整数, 只要在被除数的高位添  $n$  个 0 即可。

图 2.3 是一个 32 位除法逻辑结构图, 它和除法逻辑结构也很类似。

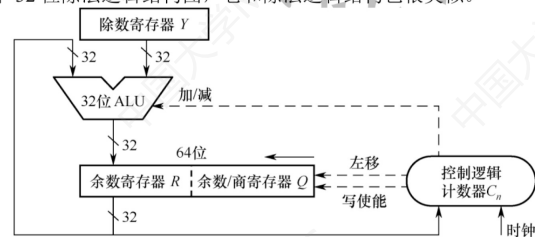


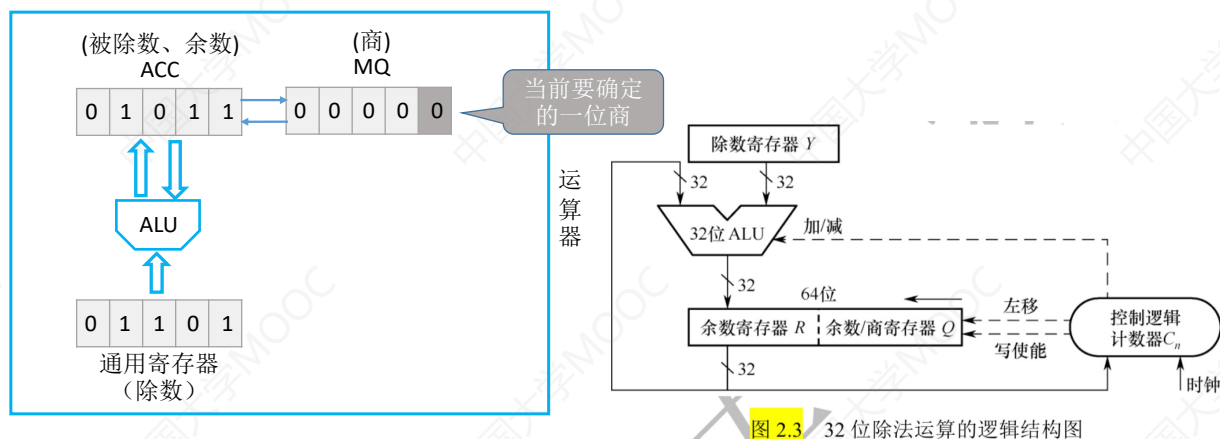
图 2.3 32 位除法运算的逻辑结构图

初始时, 寄存器 R 存放扩展被除数的高位部分, 寄存器 Q 存放扩展被除数的低位部分。ALU 是除法器核心部件, 对余数寄存器 R 和除数寄存器 Y 的内容做“加/减”运算, 运算结果送回寄存器 R。每次循环, 寄存器 R 和 Q 实现同步左移, 左移时, Q 的最高位移入 R 的最低位, Q 中空出的最低位被上商。每次由控制逻辑根据 ALU 运算结果的符号来决定上商为 0 还是 1。

王道考研/CSKAOYAN.COM

14

## 对比：基础课课件配图



王道考研/CSKAOYAN.COM

15

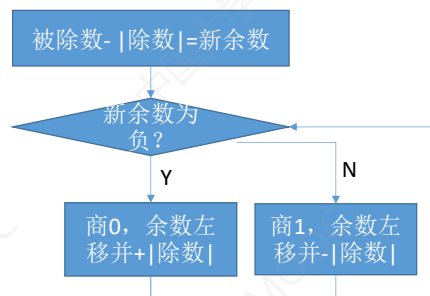
## 原码除法：加减交替法

又名：不恢复余数法

符号位与数值位分开处理

设机器字长为5位（含1位符号位， $n=4$ ）， $x=0.1011$ ， $y=0.1101$ ，采用原码加减交替除法求 $x/y$  $|x|=0.1011$ ， $|y|=0.1101$ ， $[|y|]_{\text{补}}=0.1101$ ， $[-|y|]_{\text{补}}=1.0011$ 

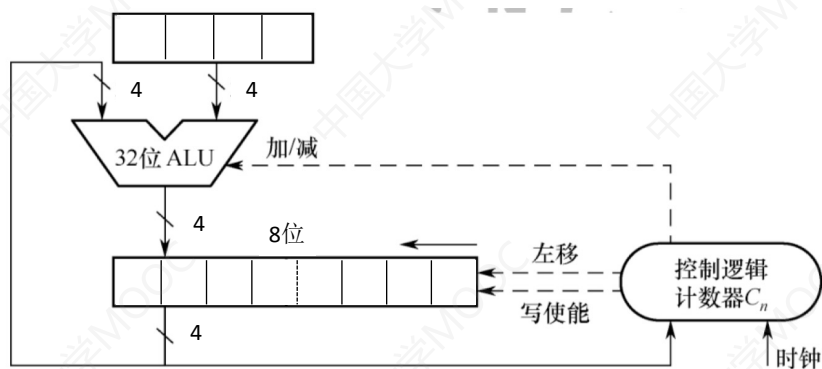
被除数/余数	商
0.1011	
$+[- y ]_{\text{补}}$	
1.1110	0
左移	
1.1100	
$+ y _{\text{补}}$	
0.1101	
左移	
1.0010	
$+[- y ]_{\text{补}}$	
1.0011	
左移	
0.1010	
$+[- y ]_{\text{补}}$	
1.0011	
左移	
1.1101	
$+ y _{\text{补}}$	
0.1101	
$+ y _{\text{补}}$	
0.1111	

若余数为负，需商0，并 $+|y|_{\text{补}}$ 得到正确余数0  
01  
011  
0110  
01101加/减 $n+1$ 次，每次加减确定一位商；左移 $n$ 次（最后一次加减完不移位）最终可能还要再多一次加

王道考研/CSKAOYAN.COM

16

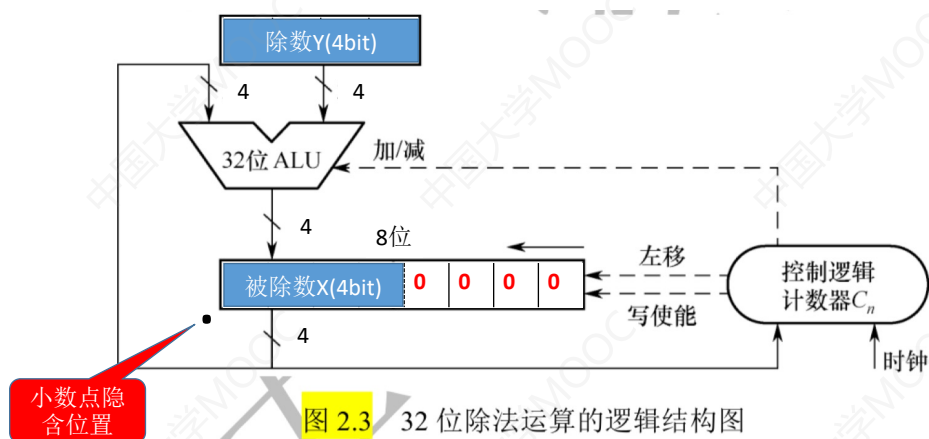
## 无符号数除法电路



王道考研/CSKAOYAN.COM

17

## 无符号定点小数相除

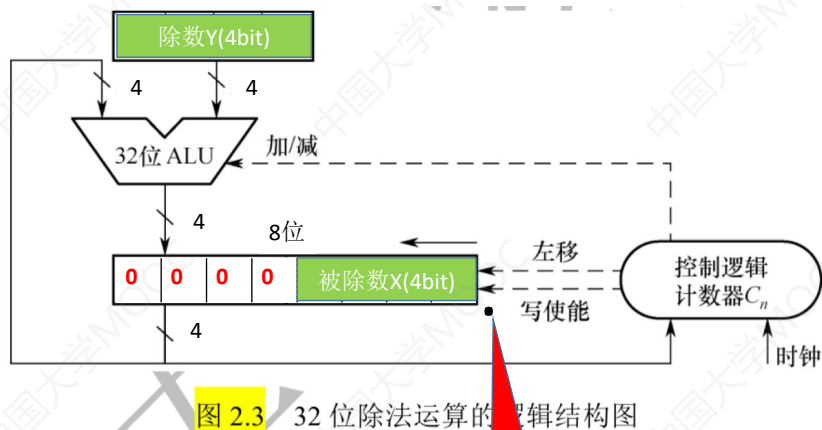
计算  $X/Y$ 

王道考研/CSKAOYAN.COM

18

计算  $X/Y$ 

## 无符号定点整数相除



小数点隐含位置

王道考研/CSKAOYAN.COM

19

## 总结：乘法除法电路的基本结构

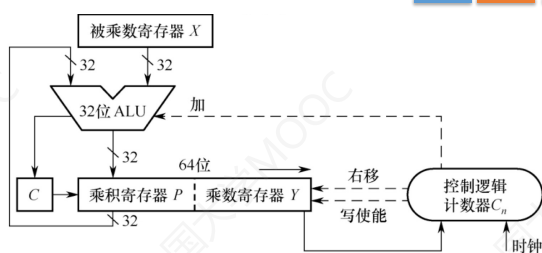


图 2.1 32 位无符号数乘法运算的逻辑结构图

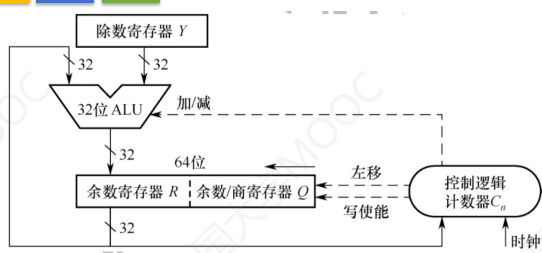


图 2.3 32 位除法运算的逻辑结构图

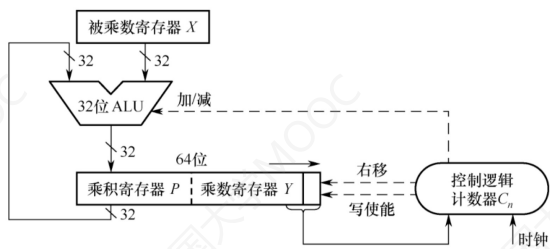


图 2.2 补码一位乘法的逻辑结构图

乘法、除法的基本结构：

- ALU：用于实现加、减法
- 具有移位功能的寄存器：乘法运算需要右移功能、除法运算需要左移功能。
- 控制逻辑：根据时钟节拍发出控制信号，包括：
  - 加/减控制信号（向 ALU 发出）
  - 右移/左移控制信号（向寄存器发出）
  - 写使能控制信号（向寄存器发出）
- 计数器 Cn：用于记录还剩余几轮处理

王道考研/CSKAOYAN.COM

20