• 王道考研/CSKAOYAN.COM

二、数据的表示和运算

(一)数制与编码

1.进位计数制及其数据之间的相互转换

2.定点数的编码表示

(二)运算方法和运算电路

1.基本运算部件

加法器,算术逻辑部件 (ALU)

2.加/减运算

补码加/减运算器,标志位的生成。

3.乘/除运算

乘/除法运算的基本原理,乘法电路和除法电路的

基本结构。

(三)整数的表示和运算

1.无符号整数的表示和运算

2.带符号整数的表示和运算

(四)浮点数的表示和运算

1.浮点数的表示

IEEE 754 标准

2.浮点数的加/减运算

王道考研/CSKAOYAN.COM

1

木节山突

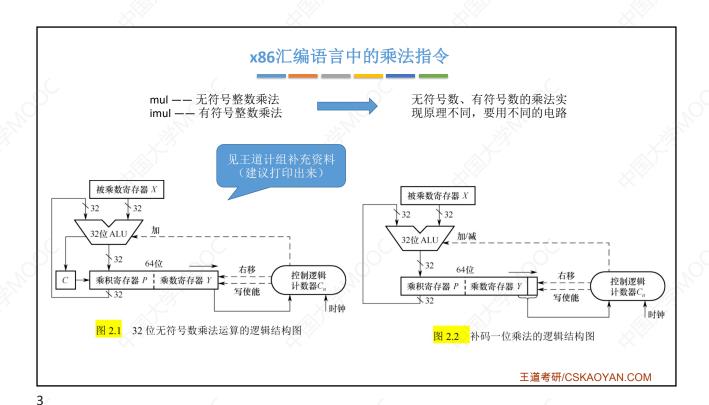
乘法电路 基本结构

王道考研/CSKAOYAN.COM

王道考研/CSKAOYAN.COM

2

王道考研/cskaoyan.com



无符号数乘法电路的基本结构

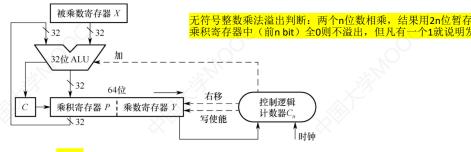


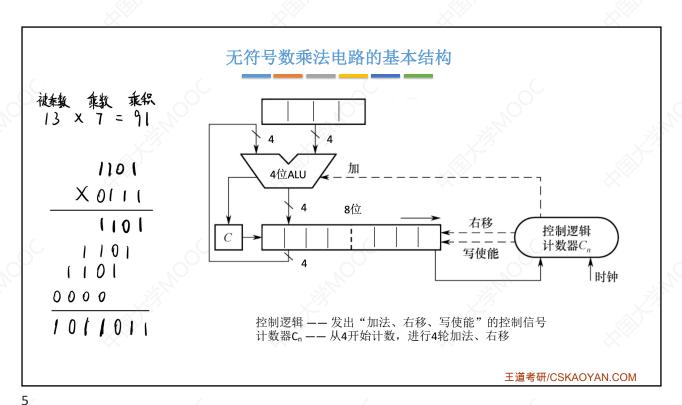
图 2.1 32 位无符号数乘法运算的逻辑结构图

图 2.1 中,部分积和被乘数 X 做无符号数加法时,可能产生进位,因此需要一个专门的进位 位 C。乘积寄存器 P 初始时置 0。计数器 C_n 初值为 32,每循环一次减 1。ALU 是乘法核心部件,对乘积寄存器 P 和被乘数寄存器 X 的内容做"无符号加法"运算,运算结果送回寄存器 P,进位存放在 C 中。每次循环都对进位位 C、乘积寄存器 P 和乘数寄存器 Y 实现同步"逻辑右移",此时,进位位 C 移入寄存器 P 的最高位,寄存器 Y 的最低位移出。每次■寄存器 Y ● 的最低位都被送到控制逻辑,以决定被乘数是否"加"到部分积上。

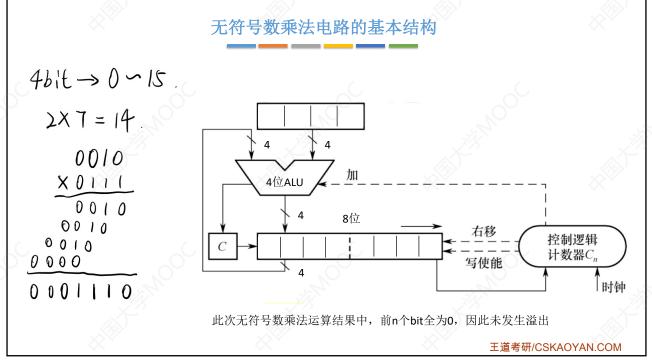
王道考研/CSKAOYAN.COM

4

王道考姗/cskaoyan.com



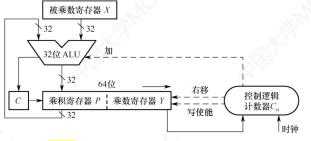
Ō



两种乘法电路

无符号乘法溢出判断:前nbit全0不溢出,否则溢出

有符号乘法溢出判断:前n+1bit全0或全1不溢出,否则溢出



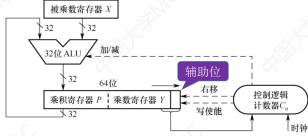


图 2.2 补码一位乘法的逻辑结构图

图 2.1 32 位无符号数乘法运算的逻辑结构图

nbit无符号数相乘,进行n轮加法、逻辑右移:

- 末位为0,不做加法,只进行逻辑右移
- 末位为1,加被乘数,再进行逻辑右移

nbit有符号数补码相乘,辅助位设0,进行n轮加法、算数右移:

- 辅助位 Y中最低位 = 1, (P)+[X]**, 再进行算数右移
- 辅助位-Y中最低位=0,不做加法,只进行算数右移
- 辅助位 Y中最低位 = -1, (P)+[-X]*, 再进行算数右移

王道考研/CSKAOYAN.COM

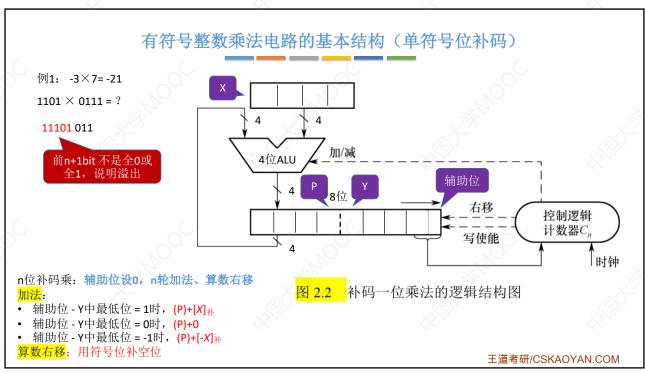
7

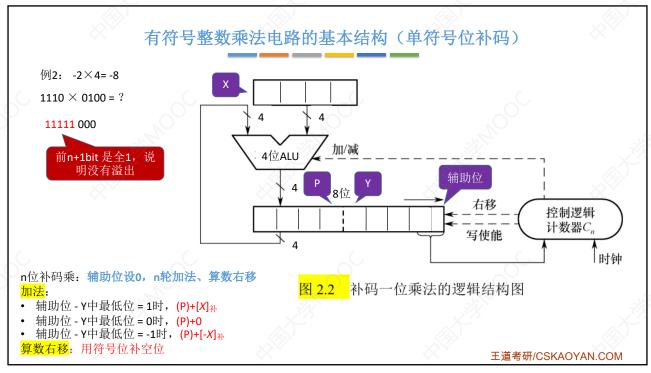
有符号整数乘法电路的基本结构

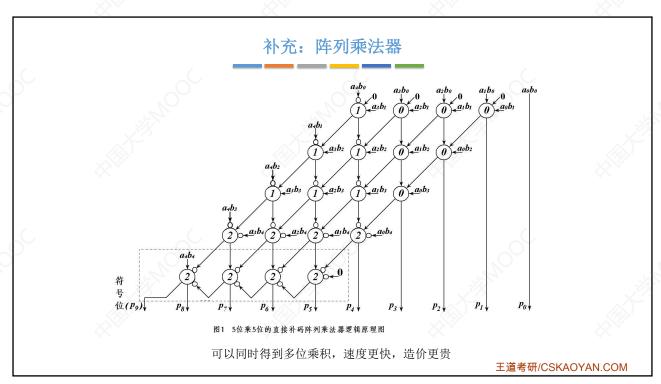
图 2.2 补码一位乘法的逻辑结构图

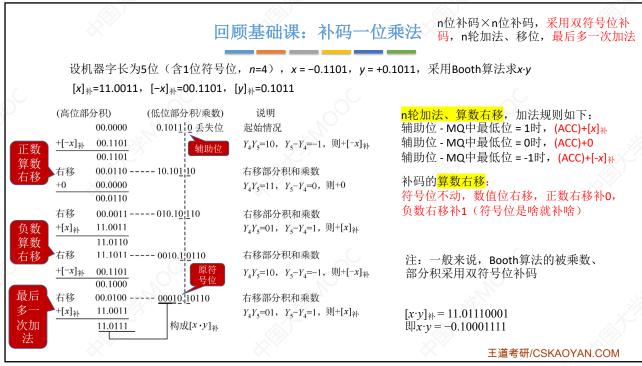
图 2.2 是实现 32 位补码一位乘法的逻辑结构图,和图 2.1 所示的逻辑结构很类似。因为是带符号数运算,不需要专门的进位位。。每次循环,乘积寄存器 P 和乘数寄存器 Y 是实现同步"算术右移",每次从寄存器 Y 移出的最低位和它的前一位来决定是-[x]*、+[x]*还是+0。

王道考研/CSKAOYAN.COM









王道考妍/cskaoyan.com