

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6976480号
(P6976480)

(45) 発行日 令和3年12月8日(2021.12.8)

(24) 登録日 令和3年11月11日(2021.11.11)

(51) Int.Cl.	F 1
HO4N 5/369	(2011.01)
HO4N 5/378	(2011.01)
HO4N 5/225	(2006.01)
HO4N 5/232	(2006.01)
	HO4N 5/369 600
	HO4N 5/378
	HO4N 5/225 300
	HO4N 5/232 120

請求項の数 25 (全 47 頁)

(21) 出願番号	特願2021-505572 (P2021-505572)	(73) 特許権者	306037311 富士フィルム株式会社 東京都港区西麻布2丁目26番30号
(86) (22) 出願日	令和2年1月28日(2020.1.28)	(74) 代理人	110001519 特許業務法人太陽国際特許事務所
(86) 国際出願番号	PCT/JP2020/002930	(72) 発明者	桜武 仁史 埼玉県さいたま市北区植竹町1丁目324番地 富士フィルム株式会社内
(87) 国際公開番号	W02020/183947	(72) 発明者	小林 誠 埼玉県さいたま市北区植竹町1丁目324番地 富士フィルム株式会社内
(87) 国際公開日	令和2年9月17日(2020.9.17)	(72) 発明者	長谷川 亮 埼玉県さいたま市北区植竹町1丁目324番地 富士フィルム株式会社内
審査請求日	令和3年8月19日(2021.8.19)		
(31) 優先権主張番号	特願2019-46435 (P2019-46435)		
(32) 優先日	平成31年3月13日(2019.3.13)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

早期審査対象出願

最終頁に続く

(54) 【発明の名称】撮像素子、撮像装置、撮像素子の作動方法、及びプログラム

(57) 【特許請求の範囲】

【請求項 1】

位相差画素を含む撮像素子であって、
第1フレームレートで被写体が撮像されることで得られた画素データを読み出し、かつ、前記撮像素子に内蔵された読み出回路と、

前記読み出回路により読み出された画素データを記憶し、かつ、前記撮像素子に内蔵されたメモリと、

前記メモリに記憶された画素データに基づく画像データを第2フレームレートで出力し、かつ、前記撮像素子に内蔵された出力回路と、を含み、

前記第1フレームレートは、前記第2フレームレートよりも高いフレームレートであり、

前記画素データは、位相差画素データと、前記位相差画素データとは異なる非位相差画素データと、を含み、

前記読み出回路は、前記画像データが1フレーム分出力される期間として前記第2フレームレートで規定された出力期間内に、複数のフレームの各々の前記画素データを並行して読み出し、かつ、前記出力期間内に、前記非位相差画素データの読み出しと、複数回の前記位相差画素データの読み出しとを行う

撮像素子。

【請求項 2】

前記読み出回路は、前記非位相差画素データの読み出しと、前記位相差画素データの読み

10

20

出しとを並行して行う請求項 1 に記載の撮像素子。

【請求項 3】

前記読み出回路は、前記画素データをライン単位で読み出す請求項 1 又は請求項 2 に記載の撮像素子。

【請求項 4】

前記位相差画素データは、前記位相差画素の画素データであり、

前記非位相差画素データは、前記位相差画素とは異なる画素である非位相差画素の画素データである請求項 1 から請求項 3 の何れか一項に記載の撮像素子。

【請求項 5】

前記非位相差画素データの読み出しは、前記非位相差画素からの前記非位相差画素データの読み出しであり、

複数回の前記位相差画素データの読み出しは、前記位相差画素からの複数回の前記位相差画素データの読み出しである請求項 4 に記載の撮像素子。

【請求項 6】

前記位相差画素を含む複数の第 1 ラインと前記非位相差画素のみからなる複数の第 2 ラインとが配列された撮像面を含み、

前記読み出回路は、前記複数の第 1 ラインに含まれる前記位相差画素の各々から前記位相差画素データを読み出す第 1 読出回路と、前記複数の第 2 ラインに含まれる前記非位相差画素の各々から前記非位相差画素データを読み出す第 2 読出回路と、を有する請求項 4 又は請求項 5 に記載の撮像素子。

20

【請求項 7】

前記第 1 読出回路による前記位相差画素からの前記位相差画素データの読み出しと、前記第 2 読出回路による前記非位相差画素からの前記非位相差画素データの読み出しとが独立して行われる請求項 6 に記載の撮像素子。

【請求項 8】

1 フレーム分の読み出期間内において、前記第 1 読出回路による前記位相差画素からの前記位相差画素データの読み出しは、前記第 2 読出回路による前記非位相差画素からの前記非位相差画素データの読み出しそれよりも先に行われる請求項 7 に記載の撮像素子。

【請求項 9】

前記第 1 ラインは、前記位相差画素と前記非位相差画素とが周期的に配列されたラインである請求項 6 から請求項 8 の何れか一項に記載の撮像素子。

30

【請求項 10】

前記撮像面において、前記第 1 ラインと、前記第 1 ラインのライン方向に交差する方向に沿って既定ライン数分の前記第 2 ラインとが交互に配列されている請求項 6 から請求項 9 の何れか一項に記載の撮像素子。

【請求項 11】

前記読み出回路は、1 フレーム分の読み出期間内に 1 フレーム分の前記非位相差画素データを記録用画素データとして読み出し、前記記録用画素データとして前記非位相差画素データが読み出されている間に前記位相差画素データを読み出す請求項 1 から請求項 10 の何れか一項に記載の撮像素子。

40

【請求項 12】

前記読み出回路は、1 フレーム分の読み出期間内に前記非位相差画素データ及び前記位相差画素データを表示用画素データとして読み出し、既定条件を満足した場合に前記非位相差画素データを前記記録用画素データとして読み出す請求項 11 に記載の撮像素子。

【請求項 13】

前記読み出回路は、連写モードの場合に前記非位相差画素データを前記記録用画素データとして読み出す請求項 11 に記載の撮像素子。

【請求項 14】

前記位相差画素に起因して生じる減光特性を補正する補正係数を前記位相差画素データに基づいて導出する導出回路を更に含み、

50

前記出力回路は、前記導出回路により導出された前記補正係数を出力する請求項 1 から請求項 1 3 の何れか一項に記載の撮像素子。

【請求項 1 5】

前記画像データは、前記非位相差画素データに基づく第 1 画素データと、複数回の前記位相差画素データの読み出しにより得られた前記位相差画素データに基づく第 2 画素データと、を含み、

前記出力回路は、1 フレーム分の前記画像データを出力する場合、前記第 1 画素データと前記第 2 画素データとを異なるタイミングで出力する請求項 1 から請求項 1 4 の何れか一項に記載の撮像素子。

【請求項 1 6】

前記出力回路は、前記第 2 画素データの出力が完了してから、前記第 1 画素データを出力する請求項 1 5 に記載の撮像素子。

【請求項 1 7】

前記画像データは、前記非位相差画素データに基づく画素データと、複数回の前記位相差画素データの読み出しにより得られた前記位相差画素データの統計値に基づく画素データと、を含む請求項 1 から請求項 1 6 の何れか一項に記載の撮像素子。

【請求項 1 8】

前記統計値は、前記位相差画素データの加算平均値である請求項 1 7 に記載の撮像素子。

【請求項 1 9】

前記位相差画素データ及び前記非位相差画素データに対して共用される A / D 変換器を含み、

前記 A / D 変換器は、前記位相差画素データ及び前記非位相差画素データについて、異なるタイミングで A / D 変換を行う請求項 1 から請求項 1 8 の何れか一項に記載の撮像素子。

【請求項 2 0】

複数の A / D 変換器を含み、

前記複数の A / D 変換器は、前記位相差画素データのみに対して用いられる第 1 A / D 変換器と前記非位相差画素データのみに対して用いられる第 2 A / D 変換器と、を含む請求項 1 から請求項 1 8 の何れか一項に記載の撮像素子。

【請求項 2 1】

少なくとも光電変換素子と前記メモリとが 1 チップ化された請求項 1 から請求項 2 0 の何れか一項に記載の撮像素子。

【請求項 2 2】

前記撮像素子は、前記光電変換素子に前記メモリが積層された積層型撮像素子である請求項 2 1 に記載の撮像素子。

【請求項 2 3】

請求項 1 から請求項 2 2 の何れか一項に記載の撮像素子と、

前記出力回路により出力された前記画像データに基づく画像をディスプレイに対して表示させる制御、及び前記出力回路により出力された前記画像データを記憶装置に対して記憶させる制御のうちの少なくとも一方を行うプロセッサと、

を含む撮像装置。

【請求項 2 4】

位相差画素と、第 1 フレームレートで被写体が撮像されることで得られた画素データを読み出す読出回路と、前記読出回路により読み出された画素データを記憶するメモリと、前記メモリに記憶された画素データに基づく画像データを第 2 フレームレートで出力する出力回路と、を含み、前記読出回路、前記メモリ、及び前記出力回路が内蔵された撮像素子の作動方法であって、

前記第 1 フレームレートは、前記第 2 フレームレートよりも高いフレームレートであり

、

10

20

30

40

50

前記画素データは、位相差画素データと、前記位相差画素データとは異なる非位相差画素データと、を含み、

前記読み出回路は、前記画像データが1フレーム出力される期間として前記第2フレームレートで規定された出力期間内に、複数のフレームの各々の前記画素データを並行して読み出し、かつ、前記出力期間内に、前記非位相差画素データの読み出しどと、複数回の前記位相差画素データの読み出しどとを行うことを含む、撮像素子の作動方法。

【請求項25】

位相差画素と、第1フレームレートで被写体が撮像されることで得られた画素データを読み出す読み出回路と、前記読み出回路により読み出された画素データを記憶するメモリと、前記メモリに記憶された画素データに基づく画像データを第2フレームレートで出力する出力回路と、を含み、前記読み出回路、前記メモリ、及び前記出力回路が内蔵された撮像素子に含まれる前記読み出回路及び前記出力回路としてコンピュータを機能させるためのプログラムであって、

前記第1フレームレートは、前記第2フレームレートよりも高いフレームレートであり、

前記画素データは、位相差画素データと、前記位相差画素データとは異なる非位相差画素データと、を含み、

前記読み出回路は、前記画像データが1フレーム出力される期間として前記第2フレームレートで規定された出力期間内に、複数のフレームの各々の前記画素データを並行して読み出し、かつ、前記出力期間内に、前記非位相差画素データの読み出しどと、複数回の前記位相差画素データの読み出しどとを行う

プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の技術は、撮像素子、撮像装置、撮像素子の作動方法、及びプログラムに関する。

【背景技術】

【0002】

特開2014-178603号公報には、撮像手段、注目領域決定手段、制御手段、及び焦点検出手段を備えた撮像装置が開示されている。

【0003】

特開2014-178603号公報に記載の撮像装置において、撮像手段は、複数の撮像領域を有し、撮像領域に入射した光線に応じた画像信号を生成する。注目領域決定手段は、撮像手段から出力された画像信号に基づいて、画像信号の示す画像の注目領域を決定する。

【0004】

制御手段は、第1制御部及び第2制御部を有する。第1制御部は、複数の撮像領域のうち注目領域に対応する光像が入射した撮像領域を第1撮像条件で撮像するように制御する。第2制御部は、複数の撮像領域のうち注目領域に対応する光像が入射した撮像領域以外の撮像領域を第1撮像条件とは異なる第2撮像条件で撮像するように制御する。焦点検出手段は、注目領域の焦点調節状態を検出する。第1制御部は、第2制御部よりも高いフレームレートで撮像を行うように制御する。

【発明の概要】

【0005】

本開示の技術に係る一つの実施形態は、1フレーム分の画像を読み出す読み出回路内にオートフォーカス専用画素から画素データが複数回読み出される場合に比べ、簡素な構成でオートフォーカスを高精度化することができる撮像素子、撮像装置、撮像素子の作動方法、及びプログラムを提供する。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 6 】

本開示の技術に係る第1の態様は、位相差画素を含む撮像素子であって、第1フレームレートで被写体が撮像されることで得られた画素データを読み出し、かつ、撮像素子に内蔵された読出部と、読出部により読み出された画素データを記憶し、かつ、撮像素子に内蔵された記憶部と、記憶部に記憶された画素データに基づく画像データを第2フレームレートで出力し、かつ、撮像素子に内蔵された出力部と、を含み、第1フレームレートは、第2フレームレートよりも高いフレームレートであり、画素データは、位相差画素データと、位相差画素データとは異なる非位相差画素データと、を含み、読出部は、画像データが1フレーム分出力される期間として第2フレームレートで規定された出力期間内に、複数のフレームの各々の画素データを並行して読み出し、かつ、出力期間内に、非位相差画素データの読み出しと、位相差画素データの複数回の読み出しとを行う撮像素子である。これにより、1フレーム分の画像を読み出す読出期間内にオートフォーカス専用画素から画素データが複数回読み出される場合に比べ、簡素な構成でオートフォーカスを高精度化することができる。10

【 0 0 0 7 】

本開示の技術に係る第2の態様は、読出部は、非位相差画素データの読み出しと、位相差画素データの読み出しとを並行して行う第1の態様に係る撮像素子である。これにより、非位相差画素データ及び位相差画素データの一方の読み出しが完了してから他方の読み出しが開始される場合に比べ、限られた時間内で位相差画素データ及び非位相差画素データを多く読み出すことができる。20

【 0 0 0 8 】

本開示の技術に係る第3の態様は、読出部は、画素データをライン単位で読み出す第1の態様又は第2の態様に係る撮像素子である。これにより、画素データをライン単位で間引くことができる。

【 0 0 0 9 】

本開示の技術に係る第4の態様は、位相差画素データは、位相差画素の画素データであり、非位相差画素データは、位相差画素とは異なる画素である非位相差画素の画素データである第1の態様から第3の態様の何れか1つの態様に係る撮像素子である。位相差画素データが位相差画素以外の画素の画素データから生成され、非位相差画素データが非位相差画素以外の画素の画素データから生成される場合に比べ、位相差画素データ及び非位相差画素データを容易に得ることができる。30

【 0 0 1 0 】

本開示の技術に係る第5の態様は、非位相差画素データの読み出しは、非位相差画素からの非位相差画素データの読み出しであり、位相差画素データの複数回の読み出しは、位相差画素からの位相差画素データの複数回の読み出しである第4の態様に係る撮像素子である。これにより、位相差画素データの位相差画素からの読み出しと、非位相差画素データの非位相差画素からの読み出しが出力期間毎に交互に1回ずつ行われる場合に比べ、出力期間内に非位相差画素データと複数の位相差画素データとを得ることができる。

【 0 0 1 1 】

本開示の技術に係る第6の態様は、位相差画素を含む複数の第1ラインと非位相差画素のみからなる複数の第2ラインとが配列された撮像面を含み、読出部は、複数の第1ラインに含まれる位相差画素の各々から位相差画素データを読み出す第1読出部と、複数の第2ラインに含まれる非位相差画素の各々から非位相差画素データを読み出す第2読出部と、を有する第4の態様又は第5の態様に係る撮像素子である。これにより、位相差画素データの読み出しにかかる負荷と非位相差画素データの読み出しにかかる負荷とを分散させることができる。40

【 0 0 1 2 】

本開示の技術に係る第7の態様は、第1読出部による位相差画素からの位相差画素データの読み出しと、第2読出部による非位相差画素からの非位相差画素データの読み出しが独立して行われる第6の態様に係る撮像素子である。これにより、位相差画素データの50

読み出し及び非位相差画素データの読み出しのうちの一方が他方に影響を及ぼすことを回避することができる。

【0013】

本開示の技術に係る第8の態様は、1フレーム分の読み出しがあるときに、第1読み出しがある位相差画素からの位相差画素データの読み出しが、第2読み出しがある非位相差画素からの非位相差画素データの読み出しが先に行われる第7の態様に係る像素子である。これにより、非位相差画素データの読み出しが位相差画素データの読み出しが先に行われる場合に比べ、位相差画素データを早くオートフォーカスの処理に供することができる。

【0014】

本開示の技術に係る第9の態様は、第1ラインは、位相差画素と非位相差画素とが周期的に配列されたラインである第6の態様から第8の態様の何れか1つの態様に係る像素子である。これにより、位相差画素と非位相差画素とが局所的に集中して配列されたラインを用いる場合に比べ、広範なエリアに対するオートフォーカスの精度を高めることができる。

10

【0015】

本開示の技術に係る第10の態様は、撮像面において、第1ラインと、第1ラインのライン方向に交差する方向に沿って既定ライン数分の第2ラインとが交互に配列されている第6の態様から第9の態様の何れか1つの態様に係る像素子である。これにより、第1ラインのライン方向に交差する方向において第1ラインと第2ラインとが局所的に集中して配列されている場合に比べ、広範なエリアに対するオートフォーカスの精度を高めることができる。

20

【0016】

本開示の技術に係る第11の態様は、読み出しがある部は、1フレーム分の読み出しがある間に位相差画素データを読み出しがある記録用画素データとして読み出し、記録用画素データとして非位相差画素データが読み出されている間に位相差画素データを読み出す第1の態様から第10の態様の何れか1つの態様に係る像素子である。これにより、非位相差画素データが記録用画素データとして読み出されるのを待ってから位相差画素データが読み出される場合に比べ、限られた時間内で、記録用画素データとしての非位相差画素データ及び位相差画素データを多く読み出すことができる。

30

【0017】

本開示の技術に係る第12の態様は、読み出しがある部は、1フレーム分の読み出しがある間に非位相差画素データ及び位相差画素データを表示用画素データとして読み出し、既定条件を満足した場合に非位相差画素データを記録用画素データとして読み出す第11の態様に係る像素子である。これにより、常に非位相差画素データが記録用画素データとして読み出される場合に比べ、汎用性を高めることができる。

【0018】

本開示の技術に係る第13の態様は、読み出しがある部は、連写モードの場合に非位相差画素データを記録用画素データとして読み出す第11の態様に係る像素子である。これにより、連写モードの場合に、記録用画素データとして読み出された非位相差画素データを記録することができる。

40

【0019】

本開示の技術に係る第14の態様は、位相差画素に起因して生じる減光特性を補正する補正係数を位相差画素データに基づいて導出する導出部を更に含み、出力部は、導出部により導出された補正係数を出力する第1の態様から第13の態様の何れか1つの態様に係る像素子である。これにより、位相差画素データに基づく画像に現れる減光特性を補正することができる。

【0020】

本開示の技術に係る第15の態様は、画像データは、非位相差画素データに基づく第1画素データと、複数回の読み出しにより得られた位相差画素データに基づく第2画素データ

50

タと、を含み、出力部は、1フレーム分の画像データを出力する場合、第1画素データと第2画素データとを異なるタイミングで出力する第1の態様から第14の態様の何れか1つの態様に係る撮像素子である。これにより、位相差画素データと非位相差画素データとの各々に対して専用の出力回路を用いる場合に比べ、撮像素子の小型化に寄与することができる。

【0021】

本開示の技術に係る第16の態様は、出力部は、第2画素データの出力が完了してから、第1画素データを出力する第15の態様に係る撮像素子である。これにより、非位相差画素データの出力が完了してから、位相差画素データが出力される場合に比べ、位相差画素データを早くオートフォーカスの処理に供することができる。

10

【0022】

本開示の技術に係る第17の態様は、画像データは、非位相差画素データに基づく画素データと、複数回の読み出しにより得られた位相差画素データの統計値に基づく画素データと、を含む第1の態様から第16の態様の何れか1つの態様に係る撮像素子である。これにより、各フレームの各々について得られた複数の位相差画素データを出力する場合に比べ、撮像素子からの出力データ量を少なくすることができる。

【0023】

本開示の技術に係る第18の態様は、統計値は、位相差画素データの加算平均値である第17の態様に係る撮像素子である。これにより、各フレームの各々について得られた複数の位相差画素データを出力する場合に比べ、撮像素子からの出力データ量を少なくすることができる。

20

【0024】

本開示の技術に係る第19の態様は、位相差画素データ及び非位相差画素データに対して共用されるA/D変換器を含み、A/D変換器は、位相差画素データ及び非位相差画素データについて、異なるタイミングでA/D変換を行う第1の態様から第18の態様の何れか1つの態様に係る撮像素子である。これにより、位相差画素データと非位相差画素データとの各々に対して専用のA/D変換器を用いる場合に比べ、撮像素子の小型化に寄与することができる。

【0025】

本開示の技術に係る第20の態様は、複数のA/D変換器を含み、複数のA/D変換器は、位相差画素データのみに対して用いられる第1A/D変換器と非位相差画素データのみに対して用いられる第2A/D変換器と、を含む第1の態様から第18の態様の何れか1つの態様に係る撮像素子である。これにより、出力期間内において、位相差画素データのA/D変換と非位相差画素データのA/D変換とを並行して行うことができる。

30

【0026】

本開示の技術に係る第21の態様は、少なくとも光電変換素子と記憶部とが1チップ化された第1の態様から第20の態様の何れか1つの態様に係る撮像素子である。これにより、光電変換素子と記憶部とが1チップ化されていない撮像素子に比べ、撮像素子の可搬性が高くなる。

【0027】

40

本開示の技術に係る第22の態様は、撮像素子は、光電変換素子に記憶部が積層された積層型撮像素子である第21の態様に係る撮像素子である。これにより、光電変換素子と記憶部とが積層されていない場合に比べ、光電変換素子から記憶部への画像データの転送速度を高めることができる。

【0028】

本開示の技術に係る第23の態様は、第1の態様から第22の態様の何れか1つの態様に係る撮像素子と、出力部により出力された画像データに基づく画像を表示部に対して表示させる制御、及び出力部により出力された画像データを記憶装置に対して記憶させる制御のうちの少なくとも一方を行う制御部と、を含む撮像装置である。これにより、1フレーム分の画像を読み出す読み出期間内にオートフォーカス専用画素から画素データが複数回

50

読み出される場合に比べ、簡素な構成でオートフォーカスを高精度化することができる。

【0029】

本開示の技術に係る第24の態様は、位相差画素と、第1フレームレートで被写体が撮像されることで得られた画素データを読み出す読出部と、読出部により読み出された画素データを記憶する記憶部と、記憶部に記憶された画素データに基づく画像データを第2フレームレートで出力する出力部と、を含み、読出部、記憶部、及び出力部が内蔵された撮像素子の作動方法であって、第1フレームレートは、第2フレームレートよりも高いフレームレートであり、画素データは、位相差画素データと、位相差画素データとは異なる非位相差画素データと、を含み、読出部は、画像データが1フレーム出力される期間として第2フレームレートで規定された出力期間内に、複数のフレームの各々の画素データを並行して読み出し、かつ、出力期間内に、非位相差画素データの読み出しと、位相差画素データの複数回の読み出しとを行うことを含む、撮像素子の作動方法である。これにより、1フレーム分の画像を読み出す読出期間内にオートフォーカス専用画素から画素データが複数回読み出される場合に比べ、簡素な構成でオートフォーカスを高精度化することができる。

10

【0030】

本開示の技術に係る第25の態様は、位相差画素と、第1フレームレートで被写体が撮像されることで得られた画素データを読み出す読出部と、読出部により読み出された画素データを記憶する記憶部と、記憶部に記憶された画素データに基づく画像データを第2フレームレートで出力する出力部と、を含み、読出部、記憶部、及び出力部が内蔵された撮像素子に含まれる読出部及び出力部としてコンピュータを機能させるためのプログラムであって、第1フレームレートは、第2フレームレートよりも高いフレームレートであり、画素データは、位相差画素データと、位相差画素データとは異なる非位相差画素データと、を含み、読出部は、画像データが1フレーム出力される期間として第2フレームレートで規定された出力期間内に、複数のフレームの各々の画素データを並行して読み出し、かつ、出力期間内に、非位相差画素データの読み出しと、位相差画素データの複数回の読み出しとを行うプログラムである。これにより、1フレーム分の画像を読み出す読出期間内にオートフォーカス専用画素から画素データが複数回読み出される場合に比べ、簡素な構成でオートフォーカスを高精度化することができる。

20

【0031】

本開示の技術に係る第26の態様は、位相差画素を含み、プロセッサ、及びメモリが内蔵された撮像素子であって、プロセッサは、第1フレームレートで被写体が撮像されることで得られた画素データを読み出し、メモリは、プロセッサにより読み出された画素データを記憶し、メモリに記憶された画素データに基づく画像データを第2フレームレートで出力し、第1フレームレートは、第2フレームレートよりも高いフレームレートであり、画素データは、位相差画素データと、位相差画素データとは異なる非位相差画素データと、を含み、プロセッサは、画像データが1フレーム分出力される期間として第2フレームレートで規定された出力期間内に、複数のフレームの各々の画素データを並行して読み出し、かつ、出力期間内に、非位相差画素データの読み出しと、位相差画素データの複数回の読み出しとを行う。

30

【図面の簡単な説明】

【0032】

【図1】第1及び第2実施形態に係る撮像装置の外観の一例を示す斜視図である。

【図2】第1及び第2実施形態に係る撮像装置の構成の一例を示すブロック図である。

【図3A】第1及び第2実施形態に係る撮像装置に含まれる撮像素子の撮像フレームレートの説明に供する概念図である。

【図3B】第1及び第2実施形態に係る撮像装置に含まれる撮像素子の出力フレームレートの説明に供する概念図である。

【図4】第1及び第2実施形態に係る撮像装置本体の電気系の構成の一例を示すブロック図である。

40

50

【図 5】第 1 及び第 2 実施形態に係る撮像装置に含まれる撮像素子の積層構造の一例、並びに、撮像素子、信号処理部、及びコントローラの接続関係の一例を示すブロック図である。

【図 6】第 1 及び第 2 実施形態に係る撮像装置に含まれる撮像素子の光電変換素子に含まれる各画素の撮像面での配置の一例を示す配置図である。

【図 7】図 6 に示す光電変換素子に含まれる第 1 位相差画素及び第 2 位相差画素に対する被写体光の入射特性の一例を示す概念図である。

【図 8】図 6 に示す光電変換素子に含まれる非位相差画素の構成の一例を示す概略構成図である。

【図 9】第 1 実施形態に係る撮像装置に含まれる撮像素子の電気系の構成の一例を示すブロック図である。 10

【図 10】第 1 実施形態に係る撮像装置に含まれる撮像素子の読み出回路によるフレーム毎のアナログ位相差画素データ及びアナログ非位相差画素データの各々の読み出しタイミングの一例を示すタイムチャートである。

【図 11】第 1 実施形態に係る撮像装置に含まれる撮像素子内でのアナログ画素データの読み出しタイミング、A / D 変換のタイミング、メモリへの記憶タイミング、及びデジタル画素データの出力タイミングの一例を示すタイムチャートである。

【図 12】第 1 実施形態に係るタイミング制御処理の流れの一例を示すフローチャートである。

【図 13】第 1 実施形態に係る位相差画素処理の流れの一例を示すフローチャートである。 20

【図 14】第 1 実施形態に係る非位相差画素処理の流れの一例を示すフローチャートである。

【図 15】第 1 実施形態に係る画素データ処理の流れの一例を示すフローチャートである。

【図 16】第 1 実施形態に係る撮像装置に含まれる撮像素子内でのアナログ画素データの読み出しタイミング、A / D 変換のタイミング、メモリへの記憶タイミング、及びデジタル画素データの出力タイミングの第 1 変形例を示すタイムチャートである。

【図 17】第 1 実施形態に係る撮像装置に含まれる撮像素子内でのアナログ画素データの読み出しタイミング、A / D 変換のタイミング、メモリへの記憶タイミング、及びデジタル画素データの出力タイミングの第 2 変形例を示すタイムチャートである。 30

【図 18】第 1 実施形態に係る撮像装置に含まれる撮像素子内でのアナログ画素データの読み出しタイミング、A / D 変換のタイミング、メモリへの記憶タイミング、及びデジタル画素データの出力タイミングの第 3 変形例を示すタイムチャートである。

【図 19】第 2 実施形態に係る撮像装置に含まれる撮像素子の電気系の構成の一例を示すブロック図である。

【図 20】第 2 実施形態に係る撮像装置に含まれる撮像素子の読み出回路によるフレーム毎のアナログ画素データの読み出しタイミングの一例を示すタイムチャートである。

【図 21】第 2 実施形態に係る撮像装置に含まれる撮像素子内でのアナログ画素データの読み出しタイミング、A / D 変換のタイミング、メモリへの記憶タイミング、及びデジタル画素データの出力タイミングの一例を示すタイムチャートである。 40

【図 22】第 2 実施形態に係る撮像素子内処理の流れの一例を示すフローチャートである。

【図 23】図 22 に示すフローチャートの続きである。

【図 24】第 2 実施形態に係る画素データ処理の流れの一例を示すフローチャートである。

【図 25】第 2 実施形態に係る撮像素子に含まれる第 1 位相差画素からの第 1 位相差画素データに基づく第 1 位相差画像の減光特性、及び第 2 位相差画素からの第 2 位相差画素データに基づく第 2 位相差画像の減光特性の一例を示すグラフである。

【図 26】図 25 に示す減光特性を補正する補正係数を算出する算出回路の一例を示すブ 50

ロック図である。

【図27】第2実施形態に係る撮像素子に含まれる第1位相差画素からの第1位相差画素データに基づく第1位相差画像及び第2位相差画素からの第2位相差画素データに基づく第2位相差画像の補正前後の態様の一例を示す概念図である。

【図28】第1及び第2実施形態に係る撮像装置に含まれる撮像素子の電気系の構成の変形例を示すブロック図である。

【図29】各種プログラムが記憶された記憶媒体から、各種プログラムが撮像素子内のコンピュータにインストールされる態様の一例を示す概念図である。

【図30】第1及び第2実施形態に係る撮像素子が組み込まれたスマートデバイスの概略構成の一例を示すブロック図である。 10

【発明を実施するための形態】

【0033】

以下、添付図面に従って本開示の技術に係る撮像装置の実施形態の一例について説明する。

【0034】

先ず、以下の説明で使用される用語の意味について説明する。

【0035】

CPUとは、“Central Processing Unit”の略称を指す。RAMとは、“Random Access Memory”の略称を指す。ROMとは、“Read Only Memory”の略称を指す。DRAMとは、“Dynamic Random Access Memory”の略称を指す。SRAMとは、“Static Random Access Memory”の略称を指す。 20

【0036】

LSIとは、“Large-Scale Integration”の略称を指す。ASICとは、“Application Specific Integrated Circuit”の略称を指す。PLDとは、“Programmable Logic Device”の略称を指す。FPGAとは、“Field-Programmable Gate Array”の略称を指す。

【0037】

SSDとは、“Solid State Drive”の略称を指す。DVD-ROMとは、“Digital Versatile Disc Read Only Memory”の略称を指す。USBとは、“Universal Serial Bus”の略称を指す。HDDとは、“Hard Disk Drive”の略称を指す。EEPROMとは、“Electrically Erasable and Programmable Read Only Memory”の略称を指す。 30

【0038】

CCDとは、“Charge Coupled Device”の略称を指す。CMOSとは、“Complementary Metal Oxide Semiconductor”的略称を指す。ELとは、“Electro-Luminescence”的略称を指す。A/Dとは、“Analog/Digital”的略称を指す。I/Fとは、“Interface”的略称を指す。UIとは、“User Interface”的略称を指す。PCとは、“Personal Computer”的略称を指す。AFとは、“Auto-Focus”的略称を指す。AEとは、“Automatic Exposure”的略称を指す。SoCとは、“System-on-a-chip”的略称を指す。 40

【0039】

【第1実施形態】

一例として図1に示すように、撮像装置10は、レンズ交換式カメラである。撮像装置10は、撮像装置本体12と、撮像装置本体12に交換可能に装着される交換レンズ14と、を備えている。 50

【0040】

撮像装置本体12には、撮像素子44が設けられている。交換レンズ14が撮像装置本体12に装着された場合に、被写体を示す被写体光は、交換レンズ14を透過して撮像素子44の撮像面44Aに結像される。

【0041】

撮像装置本体12の上面には、レリーズボタン20及びダイヤル22が設けられている。ダイヤル22は、撮像系の動作モード及び再生系の動作モード等の設定の際に操作される。レリーズボタン20は、撮像準備指示部及び撮像指示部として機能し、撮像準備指示状態と撮像指示状態との2段階の押圧操作が検出可能である。撮像準備指示状態とは、例えば待機位置から中間位置（半押し位置）まで押下される状態を指し、撮像指示状態とは、中間位置を超えた最終押下位置（全押し位置）まで押下される状態を指す。なお、以下では、「待機位置から半押し位置まで押下される状態」を「半押し状態」といい、「待機位置から全押し位置まで押下される状態」を「全押し状態」という。

10

【0042】

撮像装置10では、動作モードとして撮像モードと再生モードとがユーザの指示に応じて選択的に設定される。撮像モードは、表示動画用撮像モードと記録用撮像モードとに大別される。表示動画用撮像モード及び記録用撮像モードの各々では、ユーザの指示に従つてAFモードが設定される。

【0043】

表示動画用撮像モードにおいて、AFモードが設定されると、1フレーム毎に、AE機能が働いて露出状態が設定され、かつ、AF機能が働いて合焦制御され、表示動画像用の撮像が行われる。表示動画像用の撮像が行われることによりライブビュー画像が生成される。なお、一般的に、ライブビュー画像は、スルー画像とも称されている。

20

【0044】

記録用撮像モードは、動画像記録用撮像モードと静止画像記録用撮像モードとに大別され、動画像記録用撮像モードと静止画像記録用撮像モードとが、ユーザの指示に応じて選択的に設定される。撮像装置10では、動画像記録用撮像モードにおいて、AFモードが設定されると、1フレーム毎に、AE機能が働いて露出状態が設定され、かつ、AF機能が働いて合焦制御され、記録動画像用の撮像が行われる。記録動画像用の撮像が行われることにより得られた動画像は、メモリカード又はUSBメモリ等の既定の記録媒体（以下、単に「既定の記録媒体」とも称する）に記録される。なお、記録動画像用の撮像が行われることにより得られた動画像は、本開示の技術に係る「記録用画素データ」の一例である。

30

【0045】

静止画像記録用撮像モードにおいて、AFモードが設定されると、レリーズボタン20を半押し状態にすることにより撮影条件の調整が行われ、その後、引き続き全押し状態にすると静止画像用の撮像が行われる。つまり、レリーズボタン20を半押し状態にすることによりAE機能が働いて露出状態が設定された後、AF機能が働いて合焦制御され、レリーズボタン20を全押し状態にすると記録静止画像用の撮像が行われる。記録静止画像用の撮像が行われることにより得られた静止画像は、既定の記録媒体に記録される。なお、記録静止画像用の撮像が行われることにより得られた静止画像は、本開示の技術に係る「記録用画素データ」の一例である。

40

【0046】

一例として図2に示すように、交換レンズ14は、撮像レンズ40を有する。撮像レンズ40は、対物レンズ40A、フォーカスレンズ40B、及び絞り40Cを備えている。対物レンズ40A、フォーカスレンズ40B、及び絞り40Cは、被写体側から撮像装置本体12側にかけて、光軸L1に沿って、対物レンズ40A、フォーカスレンズ40B、及び絞り40Cの順に配置されている。絞り40Cは、モータ等の駆動源（図示省略）からの動力を受けることで作動する。これにより、絞り40Cの開度が変更される。絞り40Cの開度が変更されることで、露出が調節される。

50

【0047】

フォーカスレンズ40Bは、スライド機構15に取り付けられている。スライド機構15にはモータ17が接続されている。モータ17は、動力を生成し、生成した動力をスライド機構15に伝達することで、スライド機構15を作動させる。スライド機構15は、モータ17から与えられた動力に応じて光軸L1に沿ってフォーカスレンズ40Bを移動させる。

【0048】

モータ17は、通信ライン55を介して撮像装置本体12のコントローラ46に接続されている。モータ17は、コントローラ46によって制御される。AFモードでは、フォーカスレンズ40Bが、コントローラ46の制御下で、光軸L1に沿って移動することで、被写体距離に応じた合焦位置で撮像素子44の撮像面44Aに被写体光が結像される。ここで言う「合焦位置」とは、ピントが合っている状態でのフォーカスレンズ40Bの光軸L1上の位置を指す。以下では、説明の便宜上、フォーカスレンズ40Bを合焦位置に合わせる制御を「AF制御」と称する。

10

【0049】

撮像装置本体12は、メカニカルシャッタ42及び撮像素子44を備えている。メカニカルシャッタ42は、モータ等の駆動源(図示省略)からの動力を受けることで作動する。交換レンズ14が撮像装置本体12に装着された場合に、被写体光は、撮像レンズ40を透過し、メカニカルシャッタ42を介して撮像素子44の撮像面44Aに結像される。

【0050】

20

撮像装置本体12は、コントローラ46、UI系デバイス48、及び信号処理部50を備えている。コントローラ46及び信号処理部50の各々は、LSIによって実現されている。また、コントローラ46及び信号処理部50の各々は、撮像素子44の後段に位置しているので、撮像素子44の後段回路とも言える。

【0051】

コントローラ46は、撮像装置10の全体を制御する。UI系デバイス48は、ユーザに対して情報を提示したり、ユーザからの指示を受け付けたりするデバイスである。コントローラ46には、UI系デバイス48が接続されており、コントローラ46は、UI系デバイス48からの各種情報の取得、及びUI系デバイス48の制御を行う。

【0052】

30

撮像素子44は、通信ライン57を介してコントローラ46に接続されており、コントローラ46の制御下で、被写体を撮像することで、被写体の画像を示す画像データ69を生成する。

【0053】

撮像素子44は、通信ライン53を介して信号処理部50に接続されている。信号処理部50は、ASICを含むデバイスである。信号処理部50には、通信ライン60を介してコントローラ46が接続されている。

【0054】

信号処理部50には、撮像素子44から通信ライン53を介して画像データ69が入力される。信号処理部50は、撮像素子44から通信ライン53を介して入力された画像データ69に対して各種の信号処理を行う。各種の信号処理には、例えば、ホワイトバランス調整、シャープネス調整、ガンマ補正、色空間変換処理、及び色差補正などの公知の信号処理が含まれる。

40

【0055】

なお、本第1実施形態では、信号処理部50としてASICを含むデバイスを例示しているが、本開示の技術はこれに限定されず、信号処理部50は、ASIC、FPGA、及び/又はPLDを含むデバイスであってもよい。また、信号処理部50は、CPU、ROM、及びRAMを含むコンピュータであってもよい。CPUは、単数であってもよいし、複数であってもよい。また、信号処理部50は、ハードウェア構成及びソフトウェア構成の組み合わせによって実現されてもよい。

50

【0056】

撮像素子44は、本開示の技術に係る「積層型撮像素子」の一例である。本実施形態において、撮像素子44は、CMOSイメージセンサである。また、ここでは、撮像素子44としてCMOSイメージセンサを例示しているが、本開示の技術はこれに限定されず、例えば、撮像素子44がCCDイメージセンサであっても本開示の技術は成立する。

【0057】

撮像素子44では、撮像フレームレートで被写体が撮像されることで、一例として図3Aに示すように、被写体の画像を各々示す複数の画像データ69が生成される。また、撮像素子44では、生成された複数の画像データ69が出力フレームレートで出力される。撮像フレームレート及び出力フレームレートは何れも可変なフレームレートである。なお、撮像フレームレートは、本開示の技術に係る「第1フレームレート」の一例であり、出力フレームレートは、本開示の技術に係る「第2フレームレート」の一例である。

10

【0058】

撮像フレームレートと出力フレームレートは、“撮像フレームレート>出力フレームレート”的関係性を有している。つまり、撮像フレームレートは、出力フレームレートよりも高いフレームレートである。例えば、撮像フレームレートは、図3Aに示すように、期間T内に8フレーム分の撮像が行われるフレームレートであり、出力フレームレートは、図3Bに示すように、期間T内に2フレーム分の出力が行われるフレームレートである。具体的には、撮像フレームレートの一例として、240fps(frame per second)が挙げられ、出力フレームレートの一例として、60fpsが挙げられる。

20

【0059】

一例として図4に示すように、コントローラ46は、CPU46A、ROM46B、RAM46C、第1通信I/F46D1、第2通信I/F46D2、及び第3通信I/F46D3を備えている。CPU46A、ROM46B、RAM46C、第1通信I/F46D1、第2通信I/F46D2、及び第3通信I/F46D3は、バスライン88を介して相互に接続されている。

【0060】

ROM46Bには、各種プログラムが記憶されている。CPU46Aは、ROM46Bから各種プログラムを読み出し、読み出した各種プログラムをRAM46Cに展開する。CPU46Aは、RAM46Cに展開した各種プログラムに従って撮像装置10の全体を制御する。

30

【0061】

ROM46Bに記憶されている各種プログラムには、タイミング制御プログラム46B1及び画素データ処理プログラム46B2が含まれている。CPU46Aは、タイミング制御プログラム46B1に従って、後述のタイミング制御処理(図12参照)を実行する。また、CPU46Aは、画素データ処理プログラム46B2に従って、後述の画素データ処理(図15参照)を実行する。

【0062】

第1通信I/F46D1、第2通信I/F46D2、及び第3通信I/F46D3の各々は、FPGAを有する通信デバイスである。第1通信I/F46D1は通信ライン60を介して信号処理部50に接続されている。第1通信I/F46D1には、信号処理部50により各種の信号処理が施された画像データ69(図2、図3A及び図3B参照)が通信ライン60を介して入力される。第1通信I/F46D1は、信号処理部50から入力された画像データ69をCPU46Aに転送する。

40

【0063】

第2通信I/F46D2は、通信ライン57を介して撮像素子44に接続されている。CPU46Aは、第2通信I/F46D2を介して撮像素子44を制御する。

【0064】

第3通信I/F46D3は、通信ライン55を介してモータ17に接続されている。CPU46Aは、第3通信I/F46D3を介してモータ17を制御する。

50

【0065】

バスライン88には、二次記憶装置80及び外部I/F82が接続されている。二次記憶装置80は、SSD、HDD、又はEEPROM等の不揮発性のメモリである。CPU46Aは、二次記憶装置80に対して各種情報の読み書きを行う。

【0066】

外部I/F82は、FPGAを有する通信デバイスである。外部I/F82には、既定の記録媒体が接続される。また、外部I/F82には、PC又はサーバ等の外部装置(図示省略)も接続される。外部I/F82は、CPU46Aと外部装置との間の各種情報の授受を司る。

【0067】

UI系デバイス48は、タッチパネル・ディスプレイ26及び受付デバイス84を備えている。ディスプレイ32は、バスライン88に接続されている。ディスプレイ32の一例としては、液晶ディスプレイが挙げられる。ディスプレイ32は、液晶ディスプレイではなく、有機ELディスプレイ等の他種類のディスプレイであってもよい。ディスプレイ32は、CPU46Aの制御下で、ライブビュー画像及び静止画像等の各種画像の他、文字情報も表示する。なお、ディスプレイ32は、本開示の技術に係る「表示部(ディスプレイ)」の一例である。また、CPU46Aは、本開示の技術に係る「制御部(プロセッサ)」の一例である。

【0068】

受付デバイス84は、ハードキー部25及びタッチパネル34を備えている。ハードキー部25は、レリーズボタン20及びダイヤル22を含む複数のハードキーである。タッチパネル34は、透過型のタッチパネルであり、ディスプレイ32の表示領域の表面に重ねられている。タッチパネル34は、例えば、指又はスタイルスペン等の指示体による接触を検知する。ハードキー部25及びタッチパネル34は、バスライン88に接続されており、CPU46Aは、ハードキー部25及びタッチパネル34の各々によって受け付けられた各種指示に従って動作する。

【0069】

一例として図5に示すように、撮像素子44には、光電変換素子61、処理回路62、及びメモリ64が内蔵されている。撮像素子44は、光電変換素子61、処理回路62、及びメモリ64が1チップ化された撮像素子である。すなわち、光電変換素子61、処理回路62、及びメモリ64は1パッケージ化されている。撮像素子44では、光電変換素子61に対して処理回路62及びメモリ64が積層されている。具体的には、光電変換素子61及び処理回路62は、銅等の導電性を有するバンプ(図示省略)によって互いに電気的に接続されており、処理回路62及びメモリ64も、銅等の導電性を有するバンプ(図示省略)によって互いに電気的に接続されている。ここでは、光電変換素子61、処理回路62、及びメモリ64の3層構造が例示されているが、本開示の技術はこれに限らず、処理回路62とメモリ64とを1層としたメモリ層と、光電変換素子61との2層構造であってもよい。なお、メモリ64は、本開示の技術に係る「記憶部(メモリ)」の一例である。

【0070】

処理回路62は、例えば、LSIであり、メモリ64は、例えば、DRAMである。但し、本開示の技術はこれに限らず、メモリ64としてDRAMに代えてSRAMを採用してもよい。

【0071】

処理回路62は、ASIC及びFPGAを含むデバイスであり、コントローラ46の指示に従って、撮像素子44の全体を制御する。なお、ここでは、処理回路62がASIC及びFPGAを含むデバイスによって実現される例を挙げているが、本開示の技術はこれに限定されるものではなく、例えば、ASIC、FPGA、及び/又はPLDを含むデバイスであってもよい。また、処理回路62として、CPU、ROM、及びRAMを含むコンピュータが採用されてもよい。CPUは、単数であってもよいし、複数であってもよい

10

20

30

40

50

。また、処理回路 6 2 は、ハードウェア構成及びソフトウェア構成の組み合わせによって実現されてもよい。

【 0 0 7 2 】

光電変換素子 6 1 は、マトリクス状に配置された複数のフォトダイオードを有している。複数のフォトダイオードの一例としては、“4896 × 3265”画素分のフォトダイオードが挙げられる。

【 0 0 7 3 】

光電変換素子 6 1 に含まれる各フォトダイオードには、カラーフィルタが配置されている。カラーフィルタは、輝度信号を得るために最も寄与する G (緑) に対応する G フィルタ、R (赤) に対応する R フィルタ、及び B (青) に対応する B フィルタを含む。光電変換素子 6 1 は、R 画素、G 画素、及び B 画素を有する (図 6 参照)。R 画素は、R フィルタが配置されたフォトダイオードに対応する画素であり、G 画素は、G フィルタが配置されたフォトダイオードに対応する画素であり、B 画素は、B フィルタが配置されたフォトダイオードに対応する画素である。

10

【 0 0 7 4 】

撮像素子 4 4 は、いわゆる電子シャッタ機能を有しており、コントローラ 4 6 の制御下で電子シャッタ機能を働かせることで、光電変換素子 6 1 内の各フォトダイオードの電荷蓄積時間を制御する。電荷蓄積時間とは、いわゆるシャッタスピードを指す。

【 0 0 7 5 】

撮像装置 1 0 では、ローリングシャッタ方式で、静止画像用の撮像と、動画像用の撮像とが行われる。静止画像記録用撮像モードにおいて、静止画像用の撮像は、電子シャッタ機能を働かせ、かつ、メカニカルシャッタ 4 2 (図 2 参照) を作動させることで実現される。また、静止画像記録用撮像モードにおいて、連写用の撮像は、メカニカルシャッタ 4 2 を作動させずに、電子シャッタ機能を働かせることで実現される。また、動画像記録用撮像モードにおいて、動画像用の撮像も、メカニカルシャッタ 4 2 を作動させずに、電子シャッタ機能を働かせることで実現される。更に、表示動画用撮像モードにおいて、ライブビュー画像用の撮像も、メカニカルシャッタ 4 2 を作動させずに、電子シャッタ機能を働かせることで実現される。なお、ここでは、ローリングシャッタ方式が例示されているが、本開示の技術はこれに限らず、ローリングシャッタ方式に代えてグローバルシャッタ方式を適用してもよい。

20

【 0 0 7 6 】

処理回路 6 2 は、光電変換素子 6 1 により被写体が撮像されることで得られた画像データ 6 9 を読み出す。画像データ 6 9 は、光電変換素子 6 1 に蓄積された信号電荷である。処理回路 6 2 は、光電変換素子 6 1 から読み出したアナログの画像データ 6 9 に対して A / D 変換を行う。処理回路 6 2 は、アナログの画像データ 6 9 に対して A / D 変換を行うことで得たデジタルの画像データ 6 9 をメモリ 6 4 に記憶する。

30

【 0 0 7 7 】

処理回路 6 2 は、通信ライン 5 3 を介して信号処理部 5 0 に接続されている。また、処理回路 6 2 は、通信ライン 5 7 を介してコントローラ 4 6 の第 2 通信 I / F 4 6 D 2 に接続されている。

40

【 0 0 7 8 】

メモリ 5 4 は、第 1 記憶領域 6 4 A、第 2 記憶領域 6 4 B、第 3 記憶領域 6 4 C、第 4 記憶領域 6 4 D、及び第 5 記憶領域 6 4 E を含む複数の記憶領域を備えている。複数の記憶領域の各々には、例えば、1 フレーム毎にデジタルの画像データ 6 9 が光電変換素子 6 1 の画素に対応するアドレスに画素単位で記憶される。また、複数の記憶領域に対しては処理回路 6 2 によってランダムアクセスが行われる。

【 0 0 7 9 】

一例として図 6 に示すように、光電変換素子 6 1 の撮像面 4 4 A では、R 画素、G 画素、及び B 画素が、行方向 (水平方向) 及び列方向 (垂直方向) の各々に既定の周期性で配置されている。本第 1 実施形態では、R 画素、G 画素、及び B 画素が X - T r a n s (登

50

録商標)配列に対応した周期性で配列されている。なお、図6に示す例では、X-Tra
ns配列を例示しているが、本開示の技術はこれに限定されず、R画素、G画素、及びB
画素の配列は、ベイヤ配列又はハニカム配列などであってもよい。

【0080】

図6に示す例では、1行目で、R画素、G画素、及びB画素が、行方向にG画素、B画
素、R画素、G画素、R画素、及びB画素の順に循環して配列されている。また、2行目
で、R画素、G画素、及びB画素が、行方向にR画素、G画素、G画素、B画素、G画素
、及びG画素の順に循環して配列されている。また、3行目で、R画素、G画素、及びB
画素が、行方向にB画素、G画素、G画素、R画素、G画素、及びG画素の順に循環して
配列されている。また、4行目で、R画素、G画素、及びB画素が、行方向にG画素、R
画素、B画素、G画素、B画素、及びR画素の順に循環して配列されている。また、5行
目で、R画素、G画素、及びB画素が、行方向にB画素、G画素、G画素、R画素、G画
素、及びG画素の順に循環して配列されている。更に、6行目で、R画素、G画素、及び
B画素が、行方向にR画素、G画素、G画素、B画素、G画素、及びG画素の順に循環して
配列されている。そして、1行目～6行目のR画素、G画素、及びB画素の配列パター
ンが6行単位で列方向に繰り返されることによって光電変換素子61の全体のR画素、G
画素、及びB画素の配列パターンが形成されている。

【0081】

光電変換素子61は、位相差画素と、位相差画素とは異なる画素である非位相差画素N
との2種類の感光画素によって形成されている。一般的に、非位相差画素Nは、通常画素
とも称される。撮像面44Aには、複数の位相差画素ライン61Aと複数の非位相差画素
ライン61Bとが配列されている。位相差画素ライン61Aは、位相差画素を含む水平ラ
インである。具体的には、位相差画素ライン61Aは、位相差画素と非位相差画素Nとが
混在している水平ラインである。非位相差画素ライン61Bは、複数の非位相差画素Nの
みを含む水平ライン、すなわち、複数の非位相差画素Nからなる水平ラインである。なお
、位相差画素ライン61Aは、本開示の技術に係る「第1ライン」の一例であり、非位相
差画素ライン61Bは、本開示の技術に係る「第2ライン」の一例である。

【0082】

一例として図6に示すように、撮像面44Aには、位相差画素ライン61Aと、既定ラ
イン数分の非位相差画素ライン61Bとが列方向に沿って交互に配置されている。ここで
言う「既定ライン数」とは、例えば、2ラインを指す。なお、ここでは、既定ライン数と
して、2ラインを例示しているが、本開示の技術はこれに限らず、既定ライン数は、3ラ
イン以上の数ラインであってもよいし、十数ライン、数十ライン、又は数百ライン等であ
ってもよい。また、図6に示す例において、行方向は、本開示の技術に係る「第1ライン
のライン方向」の一例であり、列方向は、本開示の技術に係る「第1ラインのライン方向
に交差する方向」の一例である。

【0083】

位相差画素ライン61Aは、1行目から最終行にかけて列方向に2行飛ばしで配列され
ている。位相差画素ライン61Aの一部の画素が位相差画素である。具体的には、位相差
画素ライン61Aは、位相差画素と非位相差画素Nとが周期的に配列された水平ラインで
ある。位相差画素は、第1位相差画素Lと第2位相差画素Rとに大別される。位相差画素
ライン61Aには、G画素として第1位相差画素Lと第2位相差画素Rとがライン方向に
数画素間隔で交互に配置されている。

【0084】

第1位相差画素L及び第2位相差画素Rは、列方向で交互に現れるように配置されて
いる。図6に示す例では、4列目において、1行目から列方向に沿って第1位相差画素L、
第2位相差画素R、第1位相差画素L、及び第2位相差画素Rの順に配置されている。す
なわち、第1位相差画素Lと第2位相差画素Rとが1行目から列方向に沿って交互に配置
されている。また、図6に示す例では、10列目において、1行目から列方向に沿って第
2位相差画素R、第1位相差画素L、第2位相差画素R、及び第1位相差画素Lの順に配
10

置されている。すなわち、第2位相差画素Rと第1位相差画素Lとが1行目から列方向に沿って交互に配置されている。

【0085】

一例として図7に示すように、第1位相差画素Lは、マイクロレンズ19、遮光部材21A、及びフォトダイオードPDを備えている。第1位相差画素Lでは、マイクロレンズ19とフォトダイオードPDの受光面との間には遮光部材21Aが配置されている。フォトダイオードPDの受光面における行方向の左半分(受光面から被写体を臨む場合の左側(換言すると、被写体から受光面を臨む場合の右側))は、遮光部材21Aによって遮光されている。

【0086】

第2位相差画素Rは、マイクロレンズ19、遮光部材21B、及びフォトダイオードPDを備えている。第2位相差画素Rでは、マイクロレンズ19とフォトダイオードPDの受光面との間には遮光部材21Bが配置されている。フォトダイオードPDの受光面における行方向の右半分(受光面から被写体を臨む場合の右側(換言すると、被写体から受光面を臨む場合の左側))は、遮光部材21Bによって遮光されている。

【0087】

撮像レンズ40の射出瞳を通過する光束は、左領域通過光300L及び右領域通過光300Rに大別される。左領域通過光300Lとは、撮像レンズ40の射出瞳を通過する光束のうち、位相差画素側から被写体側を臨む場合の左半分の光束を指し、右領域通過光300Rとは、撮像レンズ40の射出瞳を通過する光束のうち、位相差画素側から被写体側を臨む場合の右半分の光束を指す。撮像レンズ40の射出瞳を通過する光束は、瞳分割部として機能するマイクロレンズ19及び遮光部材21A, 21Bにより左右に分割され、第1位相差画素Lが被写体光として左領域通過光300Lを受光し、第2位相差画素Rが被写体光として右領域通過光300Rを受光する。この結果、左領域通過光300Lに対応する被写体像に相当する第1位相差画像と、右領域通過光300Rに対応する被写体像に相当する第2位相差画像とが撮像素子44によって生成される。

【0088】

なお、以下では、説明の便宜上、第1位相差画素L及び第2位相差画素Rを区別して説明する必要がない場合、「位相差画素」と称する。また、以下では、説明の便宜上、遮光部材21A, 21Bを区別して説明する必要がない場合、符号を付さずに「遮光部材」と称する。

【0089】

一例として図8に示すように、非位相差画素は、位相差画素に比べ、遮光部材を有しない点が異なる。非位相差画素のフォトダイオードPDは、被写体光として左領域通過光300L及び右領域通過光300Rを受光する。

【0090】

一例として図9に示すように、処理回路62は、読出回路62A、デジタル処理回路62B、画像処理回路62C、出力回路62D、及び制御回路62Eを備えている。読出回路62Aは、本開示の技術に係る「読出部(読出回路)」の一例である。出力回路62Dは、本開示の技術に係る「出力部(出力回路)」の一例である。

【0091】

読出回路62Aは、第1読出回路62A1及び第2読出回路62A2を備えている。第1読出回路62A1は、本開示の技術に係る「第1読出部(第1読出回路)」の一例であり、第2読出回路62A2は、本開示の技術に係る「第2読出部(第2読出回路)」の一例である。

【0092】

第1読出回路62A1及び第2読出回路62A2の各々は、光電変換素子61、デジタル処理回路62B、及び制御回路62Eに接続されている。メモリ64は、制御回路62Eに接続されている。画像処理回路62Cも、制御回路62Eに接続されている。出力回路62Dも、制御回路62Eに接続されている。制御回路62Eは、通信ライン57を介

してコントローラ46に接続されている。出力回路62Dは、通信ライン53を介して信号処理部50に接続されている。

【0093】

一例として図9に示すように、上述の画像データ69は、アナログ画素データ69Aとデジタル画素データ69Bとに大別される。なお、以下では、説明の便宜上、アナログ画素データ69Aとデジタル画素データ69Bとを区別して説明する必要がない場合、「画像データ69」と称する。

【0094】

アナログ画素データ69Aは、位相差画素のアナログの画素データであるアナログ位相差画素データ69A1と、非位相差画素Nのアナログの画素データであるアナログ非位相差画素データ69A2とに大別される。デジタル画素データ69Bは、デジタル位相差画素データ69B1と、デジタル非位相差画素データ69B2とに大別される。デジタル位相差画素データ69B1は、アナログ位相差画素データ69A1がデジタル化されることで得られる画素データである。デジタル非位相差画素データ69B2は、アナログ非位相差画素データ69A2がデジタル化されることで得られる画素データである。

10

【0095】

なお、アナログ画素データ69A及びデジタル画素データ69Bは、本開示の技術に係る「画素データ」の一例である。アナログ位相差画素データ69A1及びデジタル位相差画素データ69B1は、本開示の技術に係る「第2画素データ」の一例である。アナログ非位相差画素データ69A2及びデジタル非位相差画素データ69B2は、本開示の技術に係る「第1画素データ」の一例である。

20

【0096】

コントローラ46は、タイミング制御信号を、通信ライン57を介して制御回路62Eに供給する。タイミング制御信号は、撮像用垂直同期信号及び出力用垂直同期信号を含む。出力用垂直同期信号は、1フレーム単位の出力タイミングを規定する同期信号である。換言すると、出力用垂直同期信号は、出力フレームレートを規定する同期信号である。すなわち、デジタル画素データ69Bが1フレーム分出力される出力期間（以下、単に「出力期間」と称する）は、出力用垂直同期信号によって規定される。撮像用垂直同期信号は、1フレーム単位の撮像タイミングを規定する同期信号である。換言すると、撮像用垂直同期信号は、撮像フレームレートを規定する同期信号である。すなわち、撮像が行われる間隔は、撮像用垂直同期信号によって規定される。

30

【0097】

なお、本第1実施形態では、コントローラ46から制御回路62Eに対して、出力期間内に複数の撮像用垂直同期信号が供給され、これにより、出力期間内に、複数フレームの撮像が行われる。

【0098】

読み回路62Aは、撮像フレームレートで被写体が撮像されることで得られたアナログ画素データ69Aを水平ライン単位で読み出す。すなわち、読み回路62Aは、制御回路62Eの制御下で、光電変換素子61を制御し、光電変換素子61からアナログ画素データ69Aを水平ライン単位で読み出す。読み回路62Aは、光電変換素子61に含まれる全画素について、アナログ位相差画素データ69A1とアナログ非位相差画素データ69A2とを選択的に読み出し可能な回路とされている。詳しくは後述するが、アナログ位相差画素データ69A1とアナログ非位相差画素データ69A2との選択的な読み出しは、第1読み回路62A1及び第2読み回路62A2によって実現される。なお、ここでは、光電変換素子61に含まれる全画素について、アナログ位相差画素データ69A1とアナログ非位相差画素データ69A2とが選択的に読み出される形態例を挙げているが、本開示の技術はこれに限定されない。例えば、光電変換素子61に含まれる全画素のうちの指定された一部の画素群について、アナログ位相差画素データ69A1とアナログ非位相差画素データ69A2とが選択的に読み出されるようにしてもよい。

40

【0099】

50

光電変換素子 6 1 からの 1 フレーム分のアナログ画素データ 6 9 A の読み出しは、撮像用垂直同期信号に従って開始される。制御回路 6 2 E は、コントローラ 4 6 から供給された撮像用垂直同期信号を読み出回路 6 2 A に転送する。読み出回路 6 2 A は、制御回路 6 2 E から撮像用垂直同期信号が入力されると、光電変換素子 6 1 に対して 1 フレーム分のアナログ画素データ 6 9 A の読み出しを開始する。

【 0 1 0 0 】

具体的には、制御回路 62E は、コントローラ 46 から供給された撮像用垂直同期信号を第 1 読出回路 62A1 及び第 2 読出回路 62A2 に転送する。第 1 読出回路 62A1 及び第 2 読出回路 62A2 の各々に撮像用垂直同期信号が入力されると、位相差画素からのアナログ位相差画素データ 69A1 の読み出しと非位相差画素 N からのアナログ非位相差画素データ 69A2 の読み出しが独立して行われる。アナログ位相差画素データ 69A1 の読み出しは、第 1 読出回路 62A1 によって行われ、アナログ非位相差画素データ 69A2 の読み出しは、第 2 読出回路 62A2 によって行われる。

10

〔 0 1 0 1 〕

より詳細に説明すると、第1読出回路62A1は、制御回路62Eから撮像用垂直同期信号が入力されると、光電変換素子61に対して1フレーム分のアナログ位相差画素データを位相差画素ライン61A毎に位相差画素の各々から読み出す。第2読出回路62A2は、読み出しが完了した後、読み出しが完了したと判断されたときに、制御回路62Eから撮像用垂直同期信号が入力されると、光電変換素子61に対して1フレーム分のアナログ位相差画素データを位相差画素ライン61B毎に位相差画素の各々から読み出す。ここで言う「読み出しが完了した」とは、制御回路62Eから撮像用垂直同期信号が入力され、かつ、第1読出回路62A1による1フレーム分のアナログ位相差画素データの読み出しが完了した、との条件を指す。

30

【 0 1 0 2 】

読み回路 6 2 A は、光電変換素子 6 1 から読み出されたアナログ画素データ 6 9 A に対してアナログ信号処理を行う。アナログ信号処理には、ノイズキャンセル処理及びアナログゲイン処理などの公知の処理が含まれる。ノイズキャンセル処理は、光電変換素子 6 1 に含まれる画素間の特性のばらつきに起因するノイズをキャンセルする処理である。アナログゲイン処理は、アナログ画素データ 6 9 A に対してゲインをかける処理である。このようにしてアナログ信号処理が行われたアナログ画素データ 6 9 A は、読み回路 6 2 A によってデジタル処理回路 6 2 B に出力される。

30

[0 1 0 3]

デジタル処理回路 62B は、A/D 変換器 62B1 を備えている。デジタル処理回路 62B は、読み出回路 62A から入力されたアナログ画素データ 69A に対してデジタル信号処理を行う。デジタル信号処理には、例えば、相関二重サンプリング、A/D 変換器 62B1 による A/D 変換、及びデジタルゲイン処理が含まれる。

〔 0 1 0 4 〕

アナログ画素データ69Aに対しては、デジタル処理回路62Bによって相關二重サンプリングが行われる。相關二重サンプリングの信号処理が行われたアナログ画素データ69Aに対しては、A/D変換器62B1によってA/D変換が行われ、これによって、アナログ画素データ69Aがデジタル化され、デジタル画素データ69Bが得られる。そして、デジタル画素データ69Bに対しては、デジタル処理回路62Bによってデジタルゲイン処理が行われる。デジタルゲイン処理とは、デジタル画素データ69Bに対してゲインをかける処理を指す。

40

【 0 1 0 5 】

制御回路 62E は、デジタル信号処理が行われるによって得られたデジタル画素データ 69B をデジタル処理回路 62B から取得し、取得したデジタル画素データ 69B をメモリ 64 に記憶する。

〔 0 1 0 6 〕

メモリ 64 は、複数フレームのデジタル画素データ 69B を記憶可能なメモリである。メモリ 64 は、複数の記憶領域（図 5 参照）を有しており、デジタル画素データ 69B が

50

制御回路 62E によって、メモリ 64 のうちの対応する記憶領域に画素単位で記憶される。

【0107】

制御回路 62E は、メモリ 64 に対してランダムアクセス可能であり、メモリ 64 からデジタル非位相差画素データ 69B2 を取得する。制御回路 62E は、メモリ 64 から取得したデジタル非位相差画素データ 69B2 を画像処理回路 62C に出力する。画像処理回路 62C は、制御回路 62E から入力されたデジタル非位相差画素データ 69B2 に対して画像処理を行う。ここで言う「画像処理」としては、デモザイク処理、デジタル間引き処理、デジタル加算処理、及びデータ埋め込み処理などが挙げられる。

【0108】

デモザイク処理は、カラーフィルタの配列に対応したモザイク画像から画素毎に全ての色情報を算出する処理である。例えば、RGB 3 色のカラーフィルタからなる撮像素子の場合、RGB からなるモザイク画像から画素毎に RGB 全ての色情報が算出される。

【0109】

デジタル間引き処理は、デジタル非位相差画素データ 69B2 に含まれる画素をライン単位で間引く処理である。ライン単位とは、例えば、水平ライン単位及び / 又は垂直ライン単位を指す。デジタル加算処理は、例えば、デジタル非位相差画素データ 69B2 に含まれる複数の画素について画素値を加算平均する処理である。データ埋め込み処理は、デジタル非位相差画素データ 69B2 の下位の空きビットに対して特定のデータを埋める処理などが挙げられる。ここで言う「特定のデータ」としては、例えば、デジタル非位相差画素データ 69B2 に対して行ったデジタル間引き処理の方法を特定可能な情報、又は、フレームを特定可能なフレーム番号等が挙げられる。

【0110】

画像処理回路 62C は、画像処理済みのデジタル非位相差画素データ 69B2 を制御回路 62E に出力する。制御回路 62E は、画像処理回路 62C から入力されたデジタル非位相差画素データ 69B2 をメモリ 64 に記憶する。なお、画像処理済みのデジタル非位相差画素データ 69B2 は、本開示の技術に係る「画素データに基づく画像データ」及び「位相差画素データに基づく第 1 画素データ」の一例である。

【0111】

制御回路 62E は、メモリ 64 からデジタル画素データ 69B を取得する。制御回路 62E は、メモリ 64 から取得したデジタル画素データ 69B を出力回路 62D に出力する。

【0112】

具体的には、制御回路 62E は、メモリ 64 に 1 フレーム分のデジタル位相差画素データ 69B1 が記憶される毎に、デジタル非位相差画素データのメモリ 64 への記憶を待つことなく、メモリ 64 から 1 フレーム分のデジタル位相差画素データ 69B1 を取得する。そして、制御回路 62E は、メモリ 64 から取得した最新の 1 フレーム分のデジタル位相差画素データ 69B1 を出力回路 62D に出力する。

【0113】

制御回路 62E は、出力期間内に第 1 読出回路 62A1 によって読み出された 1 フレーム分のアナログ位相差画素データ 69A1 に対応するデジタル位相差画素データ 69B1 の取得が完了すると、メモリ 64 からデジタル非位相差画素データ 69B2 を取得する。メモリ 64 から取得されるデジタル非位相差画素データ 69B2 は、出力期間内に第 2 読出回路 62A2 によって読み出された 1 フレーム分のアナログ非位相差画素データ 69A2 に対応するデジタル非位相差画素データ 69B2 である。そして、制御回路 62E は、メモリ 64 から取得したデジタル非位相差画素データ 69B2 を出力回路 62D に出力する。

【0114】

出力回路 62D は、1 フレーム分のデジタル画素データ 69B を出力する場合、デジタル位相差画素データ 69B1 とデジタル非位相差画素データ 69B2 とを異なるタイミン

10

20

30

40

50

グで出力する。具体的には、出力回路 62D は、先ず、デジタル位相差画素データ 69B1 を出力し、デジタル位相差画素データ 69B1 の出力が完了してから、デジタル非位相差画素データ 69B2 を出力する。

【0115】

出力期間内に読み出された全フレーム分のデジタル位相差画素データ 69B1 は、デジタル非位相差画素データ 69B2 に先立って制御回路 62E によって出力回路 62D に出力される。出力回路 62D は、制御回路 62E から入力されたデジタル画素データ 69B を、入力された順に信号処理部 50 に出力する。出力回路 62D は、先ず、出力期間内に読み出された全フレーム分のデジタル位相差画素データ 69B1 を信号処理部 50 に出力し、次いで、出力期間内に読み出された全フレーム分のデジタル非位相差画素データ 69B2 を信号処理部 50 に出力する。

10

【0116】

ところで、撮像装置 10 では、ローリングシャッタ方式での撮像が行われる。従って、一例として図 10 に示すように、読み出しが開始タイミングと読み出しが終了タイミングとの間にずれが生じる。読み出しが開始タイミングは、撮像素子 44 の撮像領域の全ての水平ラインのうちの最初に読み出しが行う水平ラインとして予め定められた水平ライン（以下、「先頭水平ライン」とも称する）の読み出しが行うタイミングである。読み出しが終了タイミングは、撮像素子 44 の撮像領域の全ての水平ラインのうちの最後に読み出しが行う水平ラインとして予め定められた水平ライン（以下、「最終水平ライン」とも称する）の読み出しが行うタイミングである。ローリングシャッタ方式では、水平同期信号に従って撮像素子 44 の撮像領域の全ての水平ラインについて 1 水平ライン毎に順次にアナログ画素データ 69A の読み出しが行われる。そのため、読み出しが終了タイミングは、読み出しが開始タイミングよりも遅れて到来する。これに伴って、先頭水平ラインに対して露光が行われるタイミングと最終水平ラインに対して露光が行われるタイミングとの間にずれが生じる。

20

【0117】

図 10 には、1 つの出力期間内での 4 フレーム分の読み出しが並びリセットタイミングの各態様例が示されている。図 10 に示す例において、「F」は、「フレーム」の略称を示している。図 10 に示す例では、1 つの出力期間内に 4 フレーム分の撮像が行われている。すなわち、1 つの出力期間内に複数のアナログ画素データ 69A の読み出しが並行して行われている。例えば、1 つの出力期間内の 1 フレーム目から 4 フレーム目までの読み出しが並行して行われているうち、1 フレーム目の読み出しが 2 フレーム目の読み出しが並行して行われている。これに伴って、1 フレーム目のリセットと 2 フレーム目のリセットも並行して行われている。つまり、1 フレーム目の読み出しが終了するタイミングと 2 フレーム目の読み出しが終了するタイミングとの間に重複しており、1 フレーム目のリセット期間と 2 フレーム目のリセット期間も一部重複している。なお、2 フレーム目と 3 フレーム目についても、同様のことが言える。また、3 フレーム目と 4 フレーム目についても同様のことが言える。

30

【0118】

このように、1 つの出力期間内に、4 フレーム分のアナログ非位相差画素データ 69A2 の読み出しが、4 フレーム分のアナログ位相差画素データ 69A1 の読み出しが行われる。すなわち、1 つの出力期間内に、アナログ非位相差画素データ 69A2 の読み出しが行われる。すなわち、1 つの出力期間内に、アナログ非位相差画素データ 69A2 の読み出しが行われる。ここで言う「アナログ非位相差画素データ 69A2 の読み出しが」とは、非位相差画素 N からのアナログ非位相差画素データ 69A2 の読み出しが指す。また、ここで言う「アナログ位相差画素データ 69A1 の複数回の読み出しが」とは、位相差画素からのアナログ位相差画素データ 69A1 の複数回の読み出しが指す。すなわち、これは、1 つの出力期間内に、同一の位相差画素から何度もアナログ位相差画素データ 69A1 を読み出す、ということを意味する。

40

【0119】

また、一例として図 10 に示すように、各フレームにおいて、先ず、第 1 読出回路 62A1 によりアナログ位相差画素データ 69A1 が光電変換素子 61 から読み出される。す

50

なわち、1フレーム分の全ての位相差画素ライン61Aを読み出対象として、1ラインずつアナログ位相差画素データ69A1が第1読み出回路62A1によって読み出される。1つの位相差画素ライン61Aに対して、第1読み出回路62A1による読み出しが完了する毎に第1読み出回路62A1によるリセットが行われる。

【0120】

全ての位相差画素ライン61Aに対してのアナログ位相差画素データ69A1の読み出しが完了すると、次いで、全ての非位相差画素ライン61Bを読み出対象として、1ラインずつアナログ非位相差画素データ69A2が第2読み出回路62A2によって読み出される。1つの非位相差画素ライン61Bに対して、第2読み出回路62A2による読み出しが完了する毎に第2読み出回路62A2によるリセットが行われる。

10

【0121】

このように、1フレーム分の読み出期間において、第1読み出回路62A1による位相差画素からのアナログ位相差画素データ69A1の読み出しが、第2読み出回路62A2による非位相差画素Nからのアナログ非位相差画素データ69A2の読み出しそれよりも先に行われる。

【0122】

また、図10に示す例では、1フレーム目のアナログ非位相差画素データ69A2の読み出しが、2フレーム目のアナログ位相差画素データ69A1の読み出しが並行して行われている。すなわち、1フレーム目のアナログ非位相差画素データ69A2の読み出期間と2フレーム目のアナログ位相差画素データ69A1の読み出期間とが重複している。なお、2フレーム目と3フレーム目についても、同様のことが言える。また、3フレーム目と4フレーム目についても同様のことが言える。

20

【0123】

一例として図11に示すように、1つの出力期間内の各フレームについて第1読み出回路62A1によって読み出されたアナログ位相差画素データ69A1は、A/D変換器62B1によってデジタル化され、デジタル位相差画素データ69B1に変換される。1つの出力期間内で読み出された全てのアナログ位相差画素データ69A1のデジタル化が完了すると、1つの出力期間内の各フレームについて第2読み出回路62A2によって読み出されたアナログ非位相差画素データ69A2のA/D変換が行われる。すなわち、各フレームについて第2読み出回路62A2によって読み出されたアナログ非位相差画素データ69A2は、A/D変換器62B1によってデジタル化され、デジタル非位相差画素データ69B2に変換される。

30

【0124】

このように、アナログ位相差画素データ69A1及びアナログ非位相差画素データ69A2は、A/D変換器62B1によって異なるタイミングでA/D変換される。これは、アナログ位相差画素データ69A1及びアナログ非位相差画素データ69A2に対してA/D変換器62B1が共用されるからである。

【0125】

一例として図11に示すように、各フレームについてA/D変換が行われることで得られたデジタル位相差画素データ69B1の各々は、メモリ64の対応する記憶領域に記憶される。図11に示す例では、1フレーム目のデジタル位相差画素データ69B1は第1記憶領域64Aに記憶されている。また、2フレーム目のデジタル位相差画素データ69B1は第2記憶領域64Bに記憶されている。また、3フレーム目のデジタル位相差画素データ69B1は第3記憶領域64Cに記憶されている。また、4フレーム目のデジタル位相差画素データ69B1は第4記憶領域64Dに記憶されている。

40

【0126】

各フレームについてA/D変換が行われることで得られたデジタル非位相差画素データ69B2は、第5記憶領域64Eに1フレーム分に合成されて記憶される。ここで言う「合成」とは、例えば、1つの出力期間内に撮像されることで得られた複数フレーム分(図11に示す例では、1フレーム目から4フレーム目)のデジタル非位相差画素データ69

50

B 2 の画素単位での加算平均を指す。このように、複数フレーム分のデジタル非位相差画素データ 6 9 B 2 が画素単位で加算平均されることで 1 フレーム分のデジタル非位相差画素データ 6 9 B 2 が生成される。

【 0 1 2 7 】

なお、ここでは、複数フレーム分のデジタル非位相差画素データ 6 9 B 2 が 1 フレーム分にまとめられる例を挙げて説明しているが、本開示の技術はこれに限定されない。例えば、複数フレーム分のデジタル非位相差画素データ 6 9 B 2 の全てがメモリ 6 4 に記憶されるようにしてもよい。また、複数フレームのうちの代表の 1 フレーム（例えば、1 フレーム目）のみ、第 2 読出回路 6 2 A 2 によりアナログ非位相差画素データ 6 9 A 2 が読み出されるようにしてもよい。詳しくは変形例として後述するが、この場合、他のフレーム（例えば、2 フレーム目から 4 フレーム目）について第 2 読出回路 6 2 A 2 によってアナログ非位相差画素データ 6 9 A 2 が読み出されない（図 16 参照）。そのため、1 フレーム分のアナログ非位相差画素データ 6 9 A 2 のみが A / D 変換され、上述の「合成」も不要となる。

【 0 1 2 8 】

フレーム単位でメモリ 6 4 にデジタル位相差画素データ 6 9 B 1 が記憶されると、メモリ 6 4 への 1 フレーム分のデジタル位相差画素データ 6 9 B 1 の記憶が完了したタイミングで、メモリ 6 4 内のデジタル位相差画素データ 6 9 B 1 が出力回路 6 2 D に転送される。すなわち、メモリ 6 4 内のデジタル位相差画素データ 6 9 B 1 は、制御回路 6 2 E によってメモリ 6 4 から取得され、出力回路 6 2 D に出力される。出力回路 6 2 D は、制御回路 6 2 E から入力されたデジタル位相差画素データ 6 9 B 1 を信号処理部 5 0 に出力する。

【 0 1 2 9 】

メモリ 6 4 内のデジタル位相差画素データ 6 9 B 1 が出力回路 6 2 D によって出力された後、メモリ 6 4 内のデジタル非位相差画素データ 6 9 B 2 は、制御回路 6 2 E によってメモリ 6 4 から取得され、出力回路 6 2 D に出力される。出力回路 6 2 D は、制御回路 6 2 E から入力されたデジタル非位相差画素データ 6 9 B 2 を信号処理部 5 0 に出力する。

【 0 1 3 0 】

次に、撮像装置 1 0 の作用について説明する。

【 0 1 3 1 】

先ず、タイミング制御処理の実行を開始する条件を満足した場合にタイミング制御プログラム 4 6 B 1 に従って C P U 4 6 A によって実行されるタイミング制御処理について図 12 を参照しながら説明する。なお、タイミング制御処理の実行を開始する条件としては、例えば、撮像モードが設定された、との条件が挙げられる。

【 0 1 3 2 】

図 12 に示すタイミング制御処理では、先ず、ステップ S T 1 0 で、C P U 4 6 A は、読み出開始タイミングが到来したか否かを判定する。読み出開始タイミングとは、光電変換素子 6 1 からのアナログ画素データ 6 9 A の読み出しの開始を撮像素子 4 4 に対して指示するタイミングを指す。ステップ S T 1 0 において、読み出開始タイミングが到来していない場合は、判定が否定されて、タイミング制御処理はステップ S T 1 8 へ移行する。ステップ S T 1 0 において、読み出開始タイミングが到来した場合は、判定が肯定されて、タイミング制御処理はステップ S T 1 2 へ移行する。

【 0 1 3 3 】

ステップ S T 1 2 で、C P U 4 6 A は、撮像用垂直同期信号を撮像素子 4 4 に出力し、その後、タイミング制御処理はステップ S T 1 4 へ移行する。本ステップ S T 1 2 の処理が実行されることで出力された撮像用垂直同期信号は、撮像素子 4 4 の制御回路 6 2 E によって受け付けられる。撮像素子 4 4 では、制御回路 6 2 E によって受け付けられた撮像用垂直同期信号に応じて定められた撮像フレームレートで撮像が行われる。

【 0 1 3 4 】

ステップ S T 1 4 で、C P U 4 6 A は、撮像用垂直同期信号の出力回数（例

10

20

30

40

50

れば、4回)に到達したか否かを判定する。ステップST14において、撮像用垂直同期信号の出力回数が既定回数に到達していない場合は、判定が否定されて、タイミング制御処理はステップST18へ移行する。ステップST14において、撮像用垂直同期信号の出力回数が既定回数に到達した場合は、判定が肯定されて、タイミング制御処理はステップST16へ移行する。

【0135】

ステップST16で、CPU46Aは、出力用垂直同期信号を撮像素子44に出力し、その後、タイミング制御処理はステップST18へ移行する。本ステップST16の処理が実行されることで出力された出力用垂直同期信号は、撮像素子44の制御回路62Eによって受け付けられる。撮像素子44では、制御回路62Eによって受け付けられた出力用垂直同期信号に応じて定められた出力フレームレートでデジタル画素データ69Bが出力回路62Dによって出力される。

【0136】

ステップST18で、CPU46Aは、タイミング制御処理を終了する条件(以下、「タイミング制御処理終了条件」と称する)を満足したか否かを判定する。タイミング制御処理終了条件としては、例えば、タイミング制御処理を終了させる指示が受付デバイス84(図4参照)によって受け付けられた、との条件が挙げられる。ステップST18において、タイミング制御処理終了条件を満足していない場合は、判定が否定されて、タイミング制御処理はステップST10へ移行する。ステップST18において、タイミング制御処理終了条件を満足した場合は、判定が肯定されて、タイミング制御処理が終了する。

【0137】

次に、出力期間内に処理回路62によって実行される位相差画素処理について図13を参照しながら説明する。

【0138】

図13に示す位相差画素処理では、先ず、ステップST30で、制御回路62Eは、上記のタイミング制御処理のステップST12の処理が実行されることで出力された撮像用垂直同期信号を受け付けたか否かを判定する。ステップST30において、撮像用垂直同期信号を受け付けていない場合は、判定が否定されて、位相差画素処理はステップST40へ移行する。ステップST30において、撮像用垂直同期信号を受け付けた場合は、判定が肯定されて、位相差画素処理はステップST32へ移行する。

【0139】

ステップST32で、第1読出回路62A1は、1フレーム分の全ての位相差画素ライン61Aを対象として、位相差画素からアナログ位相差画素データ69A1を読み出し、その後、位相差画素処理はステップST34へ移行する。

【0140】

ステップST34で、デジタル処理回路62Bは、第1読出回路62A1によって読み出されたアナログ位相差画素データ69A1に対してデジタル信号処理を施すことでアナログ位相差画素データ69A1をデジタル位相差画素データ69B1に変換する。

【0141】

次のステップST36で、制御回路62Eは、デジタル処理回路62Bからデジタル位相差画素データ69B1を取得し、取得したデジタル位相差画素データ69B1をメモリ64に記憶し、その後、位相差画素処理はステップST38へ移行する。

【0142】

メモリ64にデジタル位相差画素データ69B1が記憶されると、制御回路62Eによってメモリ64からデジタル位相差画素データ69B1が取得され、取得されたデジタル位相差画素データ69B1は出力回路62Dに転送される。

【0143】

次のステップST38で、出力回路62Dは、制御回路62Eから入力されたデジタル位相差画素データ69B1を信号処理部50に出力し、その後、位相差画素処理はステップST40へ移行する。

10

20

30

40

50

【0144】

ステップST40で、制御回路62Eは、位相差画素処理を終了する条件（以下、「位相差画素処理終了条件」と称する）を満足したか否かを判定する。位相差画素処理終了条件としては、例えば、位相差画素処理を終了させる指示が受付デバイス84（図4参照）によって受け付けられた、との条件が挙げられる。ステップST40において、位相差画素処理終了条件を満足していない場合は、判定が否定されて、位相差画素処理はステップST30へ移行する。ステップST40において、位相差画素処理終了条件を満足した場合は、判定が肯定されて、位相差画素処理が終了する。

【0145】

次に、出力期間内に処理回路62によって実行される非位相差画素処理について図14 10を参照しながら説明する。

【0146】

図14に示す非位相差画素処理では、先ず、ステップST60で、第1読出回路62A1による1フレーム分のアナログ位相差画素データ69A1の読み出しが終了したか否かを判定する。ステップST60において、第1読出回路62A1による1フレーム分のアナログ位相差画素データ69A1の読み出しが終了していない場合は、判定が否定されて、非位相差画素処理はステップST72へ移行する。ステップST60において、第1読出回路62A1による1フレーム分のアナログ位相差画素データ69A1の読み出しが終了した場合は、判定が肯定されて、非位相差画素処理はステップST62へ移行する。

【0147】

ステップST62で、第2読出回路62A2は、1フレーム分の全ての非位相差画素ライン61Bを対象として、非位相差画素Nからアナログ非位相差画素データ69A2を読み出し、その後、非位相差画素処理はステップST64へ移行する。

【0148】

ステップST64で、デジタル処理回路62Bは、第2読出回路62A2によって読み出されたアナログ非位相差画素データ69A2に対してデジタル信号処理を施すことであナログ非位相差画素データ69A2をデジタル非位相差画素データ69B2に変換する。

【0149】

次のステップST66で、制御回路62Eは、デジタル処理回路62Bからデジタル非位相差画素データ69B2を取得し、取得したデジタル非位相差画素データ69B2をメモリ64に記憶し、その後、非位相差画素処理はステップST68へ移行する。なお、メモリ64には、画像処理回路62Cによって画像処理が行われたデジタル非位相差画素データ69B2が記憶される。

【0150】

ステップST68で、制御回路62Eは、非位相差画素データ出力タイミングが到来したか否かを判定する。非位相差画素データ出力タイミングとは、メモリ64内のデジタル非位相差画素データ69B2を信号処理部50に出力するタイミングを指す。非位相差画素データ出力タイミングは、同じ出力期間内の全フレーム分のデジタル位相差画素データ69B1の信号処理部50への出力タイミングと重複しないタイミングであればよい。非位相差画素データ出力タイミングとしては、例えば、同じ出力期間内の全フレーム分のデジタル位相差画素データ69B1の信号処理部50への出力が完了したタイミングが挙げられる。

【0151】

ステップST68において、非位相差画素データ出力タイミングが到来していない場合は、判定が否定されて、ステップST68の判定が再び行われる。ステップST68において、非位相差画素データ出力タイミングが到来した場合は、判定が肯定されて、非位相差画素処理はステップST70へ移行する。

【0152】

ステップST70で、制御回路62Eは、メモリ64からデジタル非位相差画素データ69B2を取得し、取得したデジタル非位相差画素データ69B2を出力回路62Dに転

10

20

30

40

50

送する。出力回路 62D は、制御回路 62E から入力されたデジタル非位相差画素データ 69B2 を信号処理部 50 に出力し、その後、非位相差画素処理はステップ ST72 へ移行する。

【0153】

ステップ ST72 で、制御回路 62E は、非位相差画素処理を終了する条件（以下、「非位相差画素処理終了条件」と称する）を満足したか否かを判定する。非位相差画素処理終了条件としては、例えば、非位相差画素処理を終了させる指示が受付デバイス 84（図 4 参照）によって受け付けられた、との条件が挙げられる。ステップ ST72 において、非位相差画素処理終了条件を満足していない場合は、判定が否定されて、非位相差画素処理はステップ ST60 へ移行する。ステップ ST72 において、非位相差画素処理終了条件を満足した場合は、判定が肯定されて、非位相差画素処理が終了する。

10

【0154】

信号処理部 50 では、撮像素子 44 から入力されたデジタル画素データ 69B に対して各種の信号処理が行われ、各種の信号処理が行われたデジタル画素データ 69B がコントローラ 46 に出力される。

【0155】

次に、信号処理部 50 からコントローラ 46 にデジタル画素データ 69B が入力された場合に画素データ処理プログラム 46B2 に従って CPU46A によって実行される画素データ処理について図 15 を参照しながら説明する。

【0156】

図 15 に示す画素データ処理では、先ず、ステップ ST150 で、CPU46A は、信号処理部 50 から入力されたデジタル画素データ 69B がデジタル非位相差画素データ 69B2 か否かを判定する。ステップ ST150 において、信号処理部 50 から入力されたデジタル画素データ 69B がデジタル位相差画素データ 69B1 の場合は、判定が否定されて、画素データ処理はステップ ST154 へ移行する。ステップ ST150 において、信号処理部 50 から入力されたデジタル画素データ 69B がデジタル非位相差画素データ 69B2 の場合は、判定が肯定されて、画素データ処理はステップ ST152 へ移行する。

20

【0157】

ステップ ST152 で、CPU46A は、デジタル非位相差画素データ 69B2 をディスプレイ 32 に出力し、その後、画素データ処理はステップ ST156 へ移行する。

30

【0158】

デジタル非位相差画素データ 69B2 がディスプレイ 32 に出力されると、ディスプレイ 32 は、デジタル非位相差画素データ 69B2 に基づく画像を表示する。

【0159】

ステップ ST154 で、CPU46A は、信号処理部 50 から入力されたデジタル位相差画素データ 69B1 を用いて AF 制御を実行し、その後、画素データ処理はステップ ST156 へ移行する。

【0160】

ステップ ST156 で、CPU46A は、画素データ処理を終了する条件（以下、「画素データ処理終了条件」と称する）を満足したか否かを判定する。画素データ処理終了条件としては、例えば、画素データ処理を終了させる指示が受付デバイス 84（図 4 参照）によって受け付けられた、との条件が挙げられる。ステップ ST156 において、画素データ処理終了条件を満足していない場合は、判定が否定されて、画素データ処理はステップ ST150 へ移行する。ステップ ST156 において、画素データ処理終了条件を満足した場合は、判定が肯定されて、画素データ処理が終了する。

40

【0161】

以上説明したように、本第 1 実施形態に係る撮像装置 10 では、出力期間内に、読出回路 62A によって、複数のフレームの各々のアナログ画素データ 69A が並行して読み出される。また、出力期間内に、読出回路 62A によって、アナログ非位相差画素データ 6

50

9 A 2 読み出しと、アナログ位相差画素データ 6 9 A 1 の複数回の読み出しが行われる。

【 0 1 6 2 】

ところで、1フレーム分のアナログ画素データ 6 9 A を読み出す読出期間内に、例えば、A F 専用画素から画素データを複数回読み出す場合、A F 専用画素毎に A / D 変換器の搭載が要求され、撮像素子の構成が複雑になる。

【 0 1 6 3 】

これに対し、本第1実施形態に係る撮像素子 4 4 の構成は、位相差画素毎に A / D 変換器を搭載していないので、A F 専用画素（例えば、位相差画素）毎に A / D 変換器の搭載される撮像素子の構成に比べ、簡素である。しかも、出力期間内に、複数のフレームの各々のアナログ画素データ 6 9 A が並行して読み出され、かつ、アナログ非位相差画素データ 6 9 A 2 の読み出しと、アナログ位相差画素データ 6 9 A 1 の複数回の読み出しが行われる。

【 0 1 6 4 】

複数のアナログ位相差画素データ 6 9 A 1 がデジタル化されて得られた複数のデジタル位相差画素データ 6 9 B 1 は A F 制御に供される。複数のデジタル位相差画素データ 6 9 B 1 は、1つのデジタル位相差画素データ 6 9 B 1 に比べ、A F の高精度化に寄与することは明らかである。従って、本第1実施形態に係る撮像素子 4 4 によれば、1フレーム分の画像を読み出す読出期間内に A F 専用画素から画素データが複数回読み出される場合に比べ、簡素な構成で A F を高精度化することができる。

【 0 1 6 5 】

また、本第1実施形態に係る撮像素子 4 4 では、読出回路 6 2 A によってアナログ非位相差画素データ 6 9 A 2 の読み出しと、アナログ位相差画素データ 6 9 A 1 の読み出しが並行して行われる。従って、アナログ位相差画素データ 6 9 A 1 及びアナログ非位相差画素データ 6 9 A 2 の一方の読み出しが完了してから他方の読み出しが開始される場合に比べ、限られた時間内でアナログ位相差画素データ 6 9 A 1 及びアナログ非位相差画素データ 6 9 A 2 を多く読み出すことができる。

【 0 1 6 6 】

また、本第1実施形態に係る撮像素子 4 4 では、読出回路 6 2 A によってアナログ画素データ 6 9 A が水平ライン単位で読み出される。従って、水平ライン単位での間引きを実現することができる。

【 0 1 6 7 】

また、本第1実施形態に係る撮像素子 4 4 では、アナログ位相差画素データ 6 9 A 1 として、位相差画素の画素データが採用されており、アナログ非位相差画素データ 6 9 A 2 として、非位相差画素 N の画素データが採用されている。従って、アナログ位相差画素データ 6 9 A 1 が位相差画素以外の画素の画素データから生成され、アナログ非位相差画素データ 6 9 A 2 が非位相差画素以外の画素の画素データから生成される場合に比べ、アナログ位相差画素データ 6 9 A 1 及びアナログ非位相差画素データ 6 9 A 2 を容易に得ることができる。

【 0 1 6 8 】

また、本第1実施形態に係る撮像素子 4 4 では、出力期間内に、アナログ非位相差画素データ 6 9 A 2 は非位相差画素 N から読み出され、アナログ位相差画素データ 6 9 A 1 は位相差画素から複数回読み出される。従って、アナログ非位相差画素データ 6 9 A 2 の非位相差画素 N からの読み出しと、アナログ位相差画素データ 6 9 A 1 の位相差画素からの読み出しが出力期間毎に交互に1回ずつ行われる場合に比べ、出力期間内にアナログ非位相差画素データ 6 9 A 2 と複数のアナログ位相差画素データ 6 9 A 1 とを得ることができる。

【 0 1 6 9 】

また、本第1実施形態に係る撮像素子 4 4 では、第1読出回路 6 2 A 1 により、複数の位相差画素ライン 6 1 A に含まれる位相差画素の各々からアナログ位相差画素データ 6 9

10

20

30

40

50

A 1 が読み出される。また、第 2 読出回路 6 2 A 2 により、複数の非位相差画素ライン 6 1 B に含まれる非位相差画素 N の各々からアナログ非位相差画素データ 6 9 A 2 が読み出される。従って、アナログ位相差画素データ 6 9 A 1 の読み出しにかかる負荷とアナログ非位相差画素データ 6 9 A 2 の読み出しにかかる負荷とを分散させることができる。

【 0 1 7 0 】

また、本第 1 実施形態に係る撮像素子 4 4 では、第 1 読出回路 6 2 A 1 によるアナログ位相差画素データ 6 9 A 1 の読み出しと、第 2 読出回路 6 2 A 2 によるアナログ非位相差画素データ 6 9 A 2 の読み出しとが独立して行われる。従って、アナログ位相差画素データ 6 9 A 1 の読み出し及びアナログ非位相差画素データ 6 9 A 2 の読み出しのうちの一方が他方に影響を及ぼすことを回避することができる。

10

【 0 1 7 1 】

また、本第 1 実施形態に係る撮像素子 4 4 では、第 1 読出回路 6 2 A 1 による位相差画素からのアナログ位相差画素データ 6 9 A 1 の読み出しは、第 2 読出回路 6 2 A 2 による非位相差画素 N からのアナログ非位相差画素データ 6 9 A 2 の読み出しそりも先に行われる。従って、アナログ非位相差画素データ 6 9 A 2 の読み出しがアナログ位相差画素データ 6 9 A 1 の読み出しそりも先に行われる場合に比べ、デジタル位相差画素データ 6 9 B 1 を早く A F 制御に供することができる。

【 0 1 7 2 】

また、本第 1 実施形態に係る撮像素子 4 4 では、位相差画素ライン 6 1 A として、位相差画素と非位相差画素 N とが周期的に配列された水平ラインが採用されている。従って、位相差画素と非位相差画素 N とが局所的に集中して配列された水平ラインを用いる場合に比べ、広範なエリアに対する A F の精度を高めることができる。

20

【 0 1 7 3 】

また、本第 1 実施形態に係る撮像素子 4 4 では、撮像面 4 4 A において、位相差画素ライン 6 1 A と、既定ライン数分の非位相差画素ライン 6 1 B とが列方向に沿って交互に配置されている。従って、列方向において位相差画素ライン 6 1 A と非位相差画素ライン 6 1 B とが局所的に集中して配列されている場合に比べ、広範なエリアに対する A F の精度を高めることができる。

【 0 1 7 4 】

また、本第 1 実施形態に係る撮像素子 4 4 では、1 フレーム分のデジタル画素データ 6 9 B が出力回路 6 2 D によって出力される場合、デジタル位相差画素データ 6 9 B 1 とデジタル非位相差画素データ 6 9 B 2 とが異なるタイミングで出力される。従って、デジタル位相差画素データ 6 9 B 1 とデジタル非位相差画素データ 6 9 B 2 との各々に対して専用の出力回路を用いる場合に比べ、撮像素子 4 4 の小型化に寄与することができる。

30

【 0 1 7 5 】

また、本第 1 実施形態に係る撮像素子 4 4 では、デジタル位相差画素データ 6 9 B 1 の出力が完了してから、デジタル非位相差画素データ 6 9 B 2 が出力される。従って、デジタル非位相差画素データ 6 9 B 2 の出力が完了してから、デジタル位相差画素データ 6 9 B 1 が出力される場合に比べ、デジタル位相差画素データ 6 9 B 1 を早く A F 制御に供することができる。

40

【 0 1 7 6 】

また、本第 1 実施形態に係る撮像素子 4 4 では、アナログ位相差画素データ 6 9 A 1 及びアナログ非位相差画素データ 6 9 A 2 について、異なるタイミングで A / D 変換が行われる。従って、アナログ位相差画素データ 6 9 A 1 とアナログ非位相差画素データ 6 9 A 2 との各々に対して専用の A / D 変換器を用いる場合に比べ、撮像素子 4 4 の小型化に寄与することができる。

【 0 1 7 7 】

また、本第 1 実施形態に係る撮像素子 4 4 は、光電変換素子 6 1 、処理回路 6 2 、及びメモリ 6 4 が 1 チップ化された撮像素子である。これにより、光電変換素子 6 1 、処理回路 6 2 、及びメモリ 6 4 が 1 チップ化されていない撮像素子に比べ、撮像素子 4 4 の可搬

50

性が高くなる。また、光電変換素子 6 1、処理回路 6 2、及びメモリ 6 4 が 1 チップ化されていない撮像素子に比べ、設計の自由度も高めることができる。更に、光電変換素子 6 1、処理回路 6 2、及びメモリ 6 4 が 1 チップ化されていない撮像素子に比べ、撮像装置本体 1 2 の小型化にも寄与することができる。

【 0 1 7 8 】

また、図 5 に示すように、撮像素子 4 4 として、光電変換素子 6 1 にメモリ 6 4 が積層された積層型撮像素子が採用されている。これにより、光電変換素子 6 1 とメモリ 6 4 とを接続する配線を短くすることができるため、配線遅延を減らすことができ、この結果、光電変換素子 6 1 とメモリ 6 4 とが積層されていない場合に比べ、光電変換素子 6 1 からメモリ 6 4 への画像データ 6 9 の転送速度を高めることができる。転送速度の向上は、処理回路 6 2 全体での処理の高速化にも寄与する。また、光電変換素子 6 1 とメモリ 6 4 とが積層されていない場合に比べ、設計の自由度も高めることができる。更に、光電変換素子 6 1 とメモリ 6 4 とが積層されていない場合に比べ、撮像装置本体 1 2 の小型化にも寄与することができる。

【 0 1 7 9 】

更に、撮像装置 1 0 では、デジタル画素データ 6 9 B に基づくライブビュー画像等がディスプレイ 3 2 に表示される。また、デジタル画素データ 6 9 B が二次記憶装置 8 0 に記憶される。従って、デジタル画素データ 6 9 B の汎用性を高めることができる。

【 0 1 8 0 】

なお、上記第 1 実施形態では、撮像素子 4 4 として、光電変換素子 6 1、処理回路 6 2、及びメモリ 6 4 が 1 チップ化された撮像素子を例示したが、本開示の技術はこれに限定されない。例えば、光電変換素子 6 1、処理回路 6 2、及びメモリ 6 4 のうち、少なくとも光電変換素子 6 1 及びメモリ 6 4 が 1 チップ化されていればよい。

【 0 1 8 1 】

また、上記第 1 実施形態では、A / D 変換が行われて得られたデジタル非位相差画素データ 6 9 B 2 に対して画像処理回路 6 2 C によって画像処理が行われ、画像処理が行われたデジタル非位相差画素データ 6 9 B 2 が出力対象とされているが、本開示の技術はこれに限定されない。デジタル非位相差画素データ 6 9 B 2 に対して画像処理を行わずに、A / D 変換が行われて得られたデジタル非位相差画素データ 6 9 B 2 そのものを出力回路 6 2 D によって出力されるようにしてもよい。この場合、画像処理回路 6 2 C に代えて、撮像素子 4 4 の後段回路である信号処理部 5 0 及び / 又はコントローラ 4 6 によってデジタル非位相差画素データ 6 9 B 2 に対して画像処理が行われるようにすればよい。

【 0 1 8 2 】

また、上記第 1 実施形態では、デジタル位相差画素データ 6 9 B 1 に対して画像処理回路 6 2 C によって画像処理が行われていないが、本開示の技術はこれに限定されない。例えば、デジタル位相差画素データ 6 9 B 1 に対して画像処理回路 6 2 C によって画像処理が行われるようにしてもよい。この場合、画像処理回路 6 2 C によって画像処理が行われたデジタル位相差画素データ 6 9 B 1 が出力回路 6 2 D によって信号処理部 5 0 に出力される。なお、画像処理回路 6 2 C によって画像処理が行われたデジタル非位相差画素データ 6 9 B 2 は、本開示の技術に係る「画像データ」及び「位相差画素データに基づく第 2 画素データ」の一例である。

【 0 1 8 3 】

また、上記第 1 実施形態では、通信ライン 5 3 を介して撮像素子 4 4 と信号処理部 5 0 との間において有線形式で通信が行われる形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、撮像素子 4 4 と信号処理部 5 0 との間において無線形式で通信が行われるようにしてもよい。これと同様に、撮像素子 4 4 とコントローラ 4 6 との間において無線形式で通信が行われるようにしてもよいし、信号処理部 5 0 とコントローラ 4 6 との間において無線形式で通信が行われるようにしてもよい。

【 0 1 8 4 】

また、上記第 1 実施形態では、出力期間内での全てのフレームについてアナログ位相差

10

20

30

40

50

画素データ69A1及びアナログ非位相差画素データ69A2が読み出される形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、図16に示すように、出力期間内の全フレームのうちの1つの代表フレーム(図16に示す例では1フレーム目)のみについて、アナログ位相差画素データ69A1及びアナログ非位相差画素データ69A2が読み出されるようにしてもよい。この場合、他のフレーム(図16に示す例では、2フレーム目から4フレーム目)の各々についてはアナログ位相差画素データ69A1のみが読み出されるようにすればよい。これにより、代表フレーム以外のフレームについてはアナログ非位相差画素データ69A2の読み出しが行われないので、全てのフレームの各々についてアナログ位相差画素データ69A1及びアナログ非位相差画素データ69A2が読み出される場合に比べ、消費電力を低減することができる。

10

【0185】

また、上記第1実施形態では、メモリ64にデジタル位相差画素データ69B1が記憶される毎に、次のフレームのデジタル位相差画素データ69B1のメモリ64への記憶を待つことなく、デジタル位相差画素データ69B1が信号処理部50に出力される形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、図17に示すように、1つの出力期間内において全てのフレームのデジタル位相差画素データ69B1がメモリ64に記憶されるのを待ってから、全てのフレームのデジタル位相差画素データ69B1が出力回路62Dによって信号処理部50に出力されるようにしてもよい。この場合、全てのフレームのデジタル位相差画素データ69B1の信号処理部50への出力が完了するのを待ってから、デジタル非位相差画素データ69B2が出力回路62Dによって信号処理部50に出力されるようにすればよい。これにより、デジタル位相差画素データ69B1の出力タイミングとデジタル非位相差画素データ69B2の出力タイミングとを異ならせることができる。

20

【0186】

また、上記第1実施形態では、各フレームの各々についてのデジタル位相差画素データ69B1が出力回路62Dによって信号処理部50に出力される形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、各フレームの各々について得られた複数のデジタル位相差画素データ69B1の統計値に基づく画素データが出力回路62Dによって信号処理部50に出力されるようにしてもよい。これにより、各フレームの各々について得られた複数のデジタル位相差画素データ69B1を信号処理部50に出力する場合に比べ、撮像素子44から信号処理部50への出力データ量を少なくすることができる。

30

【0187】

上記の統計値としては、出力期間内の各フレームの各々について得られた複数のデジタル位相差画素データ69B1の加算平均値が挙げられる。ここでは、例えば、複数フレームのデジタル位相差画素データ69B1間の位置が対応する画素間での加算平均値が算出されることで、複数フレームのデジタル位相差画素データ69B1が、1フレーム分のデジタル位相差画素データ69B1としてまとめられる。これにより、各フレームの各々について得られた複数のデジタル位相差画素データ69B1を信号処理部50に出力する場合に比べ、撮像素子44から信号処理部50への出力データ量を少なくすることができる。なお、上記の統計値の他の例としては、加算平均値の他に、中央値又は最頻値等が挙げられる。

40

【0188】

[第2実施形態]

上記第1実施形態では、AF制御に用いるアナログ位相差画素データ69A1とAF制御以外の用途で用いるアナログ非位相差画素データ69A2とが読み出される形態例を挙げて説明したが、本第2実施形態では、アナログ位相差画素データ69A1もAF制御以外の用途で用いられる場合について説明する。なお、本第2実施形態では、上記第1実施形態と同一の構成要素については同一の符号を付し、その説明を省略する。以下では、主に上記第1実施形態と異なる部分について説明する。

50

【0189】

一例として図4に示すように、本第2実施形態に係る撮像装置10は、上記第1実施形態に係る撮像装置10に比べ、コントローラ46のROM46Bに画素データ処理プログラム46B2に代えて画素データ処理プログラム46B3が記憶されている点が異なる。

【0190】

一例として図19に示すように、本第2実施形態に係る撮像装置10では、受付デバイス84(図4参照)によって、撮像装置10の動作モードを連写モードにする指示が受け付けられた場合に、コントローラ46から制御回路62Eに通信ライン57を介して連写指示信号が供給される。連写指示信号とは、撮像素子44に対して連写モードでの撮像を指示する信号を指す。

10

【0191】

撮像装置10が連写モードに設定された場合、一例として図20に示すように、各出力期間において、1つの代表フレーム(図20に示す例では、1フレーム目)について全てのアナログ画素データ69Aが第2読出回路62A2によって記録用画素データとして読み出される。図20に示す例において、第2読出回路62A2は、1フレーム目について、光電変換素子61の1行目から最終行にかけて順にアナログ画素データ69Aを読み出す。すなわち、位相差画素ライン61A及び非位相差画素ライン61Bを含めて全ての水平ラインについてアナログ画素データ69Aの読み出しが行われる。

【0192】

なお、ここでは、説明の便宜上、全ての水平ラインを対象として読み出しが行われる形態例を挙げて説明しているが、位相差画素及び非位相差画素Nを対象として、数行単位及び/又は数列単位で間引いてアナログ画素データ69Aが読み出されるようにしてもよい。

20

【0193】

図20に示す例において、1つの出力期間内において、2フレーム目以降は、第1読出回路62A1によってアナログ位相差画素データ69A1が読み出され、アナログ非位相差画素データ69A2の読み出しが行われない。

【0194】

また、一例として図20に示すように、撮像素子44では、1フレーム分のアナログ画素データ69Aの読み出しが第1読出回路62A1によって行われる。ここで言う「1フレーム分のアナログ画素データ69A」には、アナログ位相差画素データ69A1及びアナログ非位相差画素データ69A2が含まれる。

30

【0195】

図20に示す例では、1フレーム目の読出期間内にアナログ画素データ69Aが記録用画素データとして読み出されている間に、他の複数フレームについてアナログ位相差画素データ69A1が第1読出回路62A1によって読み出される。他の複数フレームとは、図20に示す例において、2フレーム目から4フレーム目を指す。

【0196】

なお、ここでは、1フレーム分の読出期間内にアナログ画素データ69Aが記録用画素データとして読み出されている間に他の複数フレームについてアナログ位相差画素データ69A1が第1読出回路62A1によって読み出されるが、本開示の技術はこれに限定されない。例えば、1フレーム分の読出期間内にアナログ画素データ69Aが記録用画素データとして読み出されている間に次の1フレームについてアナログ位相差画素データ69A1が第1読出回路62A1によって読み出されるようにしてもよい。

40

【0197】

このように、1フレーム目の読出期間内にアナログ画素データ69Aが第2読出回路62A2によって記録用画素データとして読み出されると、一例として図21に示すように、記録用画素データとして読み出されたアナログ画素データ69Aに対してA/D変換が行われる。これにより、アナログ画素データ69Aはデジタル画素データ69Bに変換さ

50

れ、メモリ 6 4 に記憶される。そして、メモリ 6 4 に記憶されたデジタル画素データ 6 9 B は、出力回路 6 2 D によって信号処理部 5 0 に出力される。

【 0 1 9 8 】

次に、本第 2 実施形態に係る撮像装置 1 0 の作用について説明する。

【 0 1 9 9 】

先ず、撮像素子 4 4 の処理回路 6 2 によって出力期間内に実行される撮像素子内処理について図 2 2 及び図 2 3 を参照しながら説明する。

【 0 2 0 0 】

図 2 2 に示す撮像素子内処理では、先ず、ステップ ST 1 0 0 で、制御回路 6 2 E は、上記第 1 実施形態で説明したタイミング制御処理のステップ ST 1 2 の処理が実行されることで出力された撮像用垂直同期信号を受け付けたか否かを判定する。ステップ ST 1 0 0 において、撮像用垂直同期信号を受け付けていない場合は、判定が否定されて、撮像素子内処理はステップ ST 1 1 2 へ移行する。ステップ ST 1 0 0 において、撮像用垂直同期信号を受け付けた場合は、判定が肯定されて、撮像素子内処理はステップ ST 1 0 2 へ移行する。

【 0 2 0 1 】

ステップ ST 1 0 2 で、制御回路 6 2 E は、読出回路 6 2 A によって行われるアナログ画素データ 6 9 A の読み出しが 1 フレーム目の読み出しか否かを判定する。ステップ ST 1 0 2 において、読出回路 6 2 A によって行われるアナログ画素データ 6 9 A の読み出しが 2 フレーム目以降の読み出しの場合は、判定が否定されて、撮像素子内処理は、図 2 3 に示すステップ ST 1 1 4 へ移行する。ステップ ST 1 0 2 において、読出回路 6 2 A によって行われるアナログ画素データ 6 9 A の読み出しが 1 フレーム目の読み出しの場合は、判定が肯定されて、撮像素子内処理はステップ ST 1 0 4 へ移行する。ここで、読み出されたアナログ画素データ 6 9 A には、1 フレーム分のアナログ位相差画素データ 6 9 A 1 及び 1 フレーム分のアナログ非位相差画素データ 6 9 A 2 が含まれる。

【 0 2 0 2 】

ステップ ST 1 0 4 で、第 2 読出回路 6 2 A 2 は、光電変換素子 6 1 から 1 フレーム分のアナログ画素データ 6 9 A を読み出し、その後、撮像素子内処理はステップ ST 1 0 6 へ移行する。

【 0 2 0 3 】

ステップ ST 1 0 6 で、デジタル処理回路 6 2 B は、第 2 読出回路 6 2 A 2 によって読み出されたアナログ画素データ 6 9 A に対してデジタル信号処理を施すことでアナログ画素データ 6 9 A をデジタル画素データ 6 9 B に変換する。

【 0 2 0 4 】

次のステップ ST 1 0 7 で、制御回路 6 2 E は、デジタル処理回路 6 2 B からデジタル画素データ 6 9 B を取得し、取得したデジタル画素データ 6 9 B をメモリ 6 4 に記憶し、その後、撮像素子内処理はステップ ST 1 1 0 へ移行する。なお、メモリ 6 4 には、画像処理回路 6 2 C によって画像処理が行われたデジタル画素データ 6 9 B が記憶される。

【 0 2 0 5 】

メモリ 6 4 にデジタル画素データ 6 9 B が記憶されると、制御回路 6 2 E によってメモリ 6 4 からデジタル画素データ 6 9 B が取得され、取得されたデジタル画素データ 6 9 B は出力回路 6 2 D に転送される。

【 0 2 0 6 】

次のステップ ST 1 1 0 で、出力回路 6 2 D は、制御回路 6 2 E から入力されたデジタル画素データ 6 9 B を信号処理部 5 0 に出力し、その後、撮像素子内処理はステップ ST 1 1 2 へ移行する。

【 0 2 0 7 】

図 2 3 に示すステップ ST 1 1 4 で、第 1 読出回路 6 2 A 1 は、光電変換素子 6 1 から 1 フレーム分のアナログ位相差画素データ 6 9 A 1 を読み出し、その後、撮像素子内処理はステップ ST 1 1 6 へ移行する。

10

20

30

40

50

【0208】

ステップST116で、デジタル処理回路62Bは、第1読出回路62A1によって読み出されたアナログ位相差画素データ69A1に対してデジタル信号処理を施すことでアナログ位相差画素データ69A1をデジタル位相差画素データ69B1に変換する。

【0209】

次のステップST118で、制御回路62Eは、デジタル処理回路62Bからデジタル位相差画素データ69B1を取得し、取得したデジタル位相差画素データ69B1をメモリ64に記憶し、その後、撮像素子内処理はステップST120へ移行する。

【0210】

ステップST120で、制御回路62Eは、位相差画素データ出力タイミングが到来したか否かを判定する。位相差画素データ出力タイミングとは、メモリ64内のデジタル位相差画素データ69B1を信号処理部50に出力するタイミングを指す。位相差画素データ出力タイミングは、同じ出力期間内の1フレーム目のデジタル画素データ69Bの信号処理部50への出力タイミングと重複しないタイミングであればよい。位相差画素データ出力タイミングとしては、例えば、同じ出力期間内の1フレーム目のデジタル画素データ69Bの信号処理部50への出力が完了したタイミングが挙げられる。

10

【0211】

ステップST120において、位相差画素データ出力タイミングが到来していない場合は、判定が否定されて、ステップST120の判定が再び行われる。ステップST120において、位相差画素データ出力タイミングが到来した場合は、判定が肯定されて、撮像素子内処理はステップST122へ移行する。

20

【0212】

ステップST122で、制御回路62Eは、メモリ64からデジタル位相差画素データ69B1を取得し、取得したデジタル位相差画素データ69B1を出力回路62Dに転送する。出力回路62Dは、制御回路62Eから入力されたデジタル位相差画素データ69B1を信号処理部50に出力し、その後、撮像素子内処理は図22に示すステップST112へ移行する。

【0213】

ステップST112で、制御回路62Eは、撮像素子内処理を終了する条件（以下、「撮像素子内処理終了条件」と称する）を満足したか否かを判定する。撮像素子内処理終了条件としては、例えば、撮像素子内処理を終了させる指示が受付デバイス84（図4参照）によって受け付けられた、との条件が挙げられる。ステップST112において、撮像素子内処理終了条件を満足していない場合は、判定が否定されて、撮像素子内処理はステップST100へ移行する。ステップST112において、撮像素子内処理終了条件を満足した場合は、判定が肯定されて、撮像素子内処理が終了する。

30

【0214】

信号処理部50では、撮像素子44から入力されたデジタル画素データ69Bに対して各種の信号処理が行われ、各種の信号処理が行われたデジタル画素データ69Bがコントローラ46に出力される。

【0215】

40

次に、信号処理部50からコントローラ46にデジタル画素データ69Bが入力された場合に画素データ処理プログラム46B3に従ってCPU46Aによって実行される画素データ処理について図24を参照しながら説明する。

【0216】

図24に示す画素データ処理では、先ず、ステップST250で、CPU46Aは、信号処理部50から入力されたデジタル画素データ69Bが記録用画素データか否かを判定する。ここで言う「記録用画素データ」とは、1フレーム目のデジタル画素データ69B（ステップST110で出力されたデジタル画素データ69B）に対して信号処理部50によって各種の信号処理が施された画素データを指す。また、ここで言う「1フレーム目のデジタル画素データ69B」とは、出力期間内に第2読出回路62A2によって読み出

50

された1フレーム目のアナログ画素データ69A（ステップST104で読み出されたアナログ画素データ69A）がデジタル化されることで得られたデジタル画素データ69Bを指す。

【0217】

ステップST250において、信号処理部50から入力されたデジタル画素データ69Bがデジタル位相差画素データ69B1の場合は、判定が否定されて、画素データ処理はステップST256へ移行する。ステップST250において、信号処理部50から入力されたデジタル画素データ69Bが記録用画素データの場合は、判定が肯定されて、画素データ処理はステップST252へ移行する。

【0218】

ステップST252で、CPU46Aは、記録用画素データを既定の記録媒体に記録し、その後、画素データ処理はステップST254へ移行する。

【0219】

ステップST254で、CPU46Aは、ステップST250で既定の記録媒体に記録された記録用画素データを既定の記録媒体から取得し、記録用画素データを間引いてディスプレイ32に出力し、その後、画素データ処理はステップST254へ移行する。記録用画素データの間引き方法としては、例えば、列方向に沿って偶数ライン又は奇数ラインを間引く方法が挙げられる。記録用画素データがディスプレイ32に出力されると、ディスプレイ32は、記録用画素データに基づく画像を表示する。

【0220】

ステップST256で、CPU46Aは、信号処理部50から入力されたデジタル位相差画素データ69B1を用いてAF制御を実行し、その後、画素データ処理はステップST260へ移行する。

【0221】

ステップST260で、CPU46Aは、上記第1実施形態で説明した画素データ処理終了条件を満足したか否かを判定する。ステップST260において、画素データ処理終了条件を満足していない場合は、判定が否定されて、画素データ処理はステップST250へ移行する。ステップST260において、画素データ処理終了条件を満足した場合は、判定が肯定されて、画素データ処理が終了する。

【0222】

以上説明したように、本第2実施形態に係る撮像素子44では、1フレーム分の読み出期間内に1フレーム分のアナログ位相差画素データ69A1及びアナログ非位相差画素データ69A2を含むアナログ画素データ69Aが記録用画素データとして第2読み出回路62A2によって読み出される。そして、アナログ画素データ69Aが記録用画素データとして読み出されている間に他のフレームのアナログ位相差画素データ69A1が第1読み出回路62A1によって読み出される。従って、アナログ画素データ69Aが記録用画素データとして読み出されるのを待ってからアナログ位相差画素データ69A1が読み出される場合に比べ、限られた時間内で、記録用画素データとしてのアナログ画素データ69A、及びアナログ位相差画素データ69A1を多く読み出すことができる。

【0223】

また、本第2実施形態に係る撮像素子44では、連写モードの場合にアナログ非位相差画素データ69A2が記録用画素データとして読み出される。従って、連写モードの場合に、記録用画素データとして読み出されたアナログ非位相差画素データ69A2がデジタル化されることで得られたデジタル非位相差画素データ69B2を既定の記録媒体に記録することができる。

【0224】

なお、上記第2実施形態では、連写モードの場合にアナログ非位相差画素データ69A2が記録用画素データとして読み出される形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、既定条件を満足した場合にアナログ非位相差画素データ69A2が記録用画素データとして読み出されるようにしてもよい。上記の既定条件の第1の

10

20

30

40

50

例としては、既定の記録媒体が外部 I / F 8 2 に電気的に接続された、との条件が挙げられる。上記の既定条件の第 2 の例としては、撮像装置 1 0 が動画像記録用撮像モードに設定された、との条件が挙げられる。上記の既定条件の第 3 の例としては、撮像装置 1 0 が静止画像記録用撮像モードに設定された、との条件が挙げられる。上記の既定条件の第 4 の例としては、撮像フレームレートが第 1 の既定フレームレート（例えば、1 2 0 f p s）よりも高いフレームレートに設定された、との条件が挙げられる。上記の既定条件の第 5 の例としては、出力フレームレートが第 2 の既定フレームレート（例えば、3 0 f p s）よりも高いフレームレートに設定された、との条件が挙げられる。このように、既定条件を満足した場合にアナログ非位相差画素データ 6 9 A 2 が記録用画素データとして読み出されることで、常にアナログ非位相差画素データ 6 9 A 2 が記録用画素データとして読み出される場合に比べ、汎用性を高めることができる。10

【 0 2 2 5 】

ところで、一例として図 7 に示すように、撮像レンズ 4 0 の射出瞳を通過した左領域通過光 3 0 0 L は、第 1 位相差画素 L に対応するマイクロレンズ 1 9 を通過し、第 1 位相差画素 L のフォトダイオード P D によって受光される。しかし、左領域通過光 3 0 0 L は、第 2 位相差画素 R に対応するマイクロレンズ 1 9 を通過しても遮光部材 2 1 B によって遮光されるので、第 2 位相差画素 R のフォトダイオード P D によって受光されない。

【 0 2 2 6 】

一方、撮像レンズ 4 0 の射出瞳を通過した右領域通過光 3 0 0 R は、第 2 位相差画素 R に対応するマイクロレンズ 1 9 を通過し、第 2 位相差画素 R のフォトダイオード P D によって受光される。しかし、右領域通過光 3 0 0 R は、第 1 位相差画素 L に対応するマイクロレンズ 1 9 を通過しても遮光部材 2 1 A によって遮光されるので、第 1 位相差画素 L のフォトダイオード P D によって受光されない。20

【 0 2 2 7 】

このように画素の半分に対して遮光部材が配置されている上、左領域通過光 3 0 0 L 及び右領域通過光 3 0 0 R の各々の中心が、撮像レンズ 4 0 の光軸から偏倚しているため、第 1 位相差画素 L 及び第 2 位相差画素 R の各々では、水平ライン上の画素位置に応じて減光特性が線形的に変化する。減光特性の変化は、例えば、記録用画素データとしてデジタル位相差画素データ 6 9 B 1 が採用される場合に、記録用画素データに基づく画像の出力の変化となって現れる。例えば、図 2 5 に示すように、第 1 位相差画素 L から得られたデジタル位相差画素データ 6 9 B 1 に基づく第 1 位相差画像は、右方向の画素位置ほど輝度が小さくなる。また、第 2 位相差画素 R から得られたデジタル位相差画素データ 6 9 B 1 に基づく第 2 位相差画像は、左方向の画素位置ほど輝度が小さくなる。30

【 0 2 2 8 】

そこで、位相差画素に起因して生じる減光特性を補正する補正係数が制御回路 6 2 E によって導出されるようにしてもよい。補正係数を導出するため、一例として図 2 6 に示すように、制御回路 6 2 E は、算出回路 6 2 E 1 を備えている。算出回路 6 2 E 1 は、本開示の技術に係る「導出部（導出回路）」の一例であり、補正係数を算出する。補正係数は、第 1 位相差画素用補正係数と第 2 位相差画素用補正係数とに大別される。

【 0 2 2 9 】

第 1 位相差画素用補正係数とは、互いに隣接する非位相差画素 N と第 1 位相差画素 L を対象とした場合の非位相差画素 N のデジタル非位相差画素データ 6 9 B 2 に対する第 1 位相差画素 L のデジタル位相差画素データ 6 9 B 1 の割合 A_n を指す。図 2 6 に示す例では、割合 A_n の一例として、割合 A_0 及び割合 A_1 が示されている。40

【 0 2 3 0 】

第 2 位相差画素用補正係数とは、互いに隣接する非位相差画素 N と第 2 位相差画素 R を対象とした場合の非位相差画素 N のデジタル非位相差画素データ 6 9 B 2 に対する第 2 位相差画素 R のデジタル位相差画素データ 6 9 B 1 の割合 B_n を指す。図 2 6 に示す例では、割合 B_n の一例として、割合 B_0 及び割合 B_1 が示されている。

【 0 2 3 1 】

10

20

30

40

50

算出回路 6 2 E 1 によって算出された補正係数は、出力回路 6 2 D によって信号処理部 5 0 に出力される。信号処理部 5 0 では、一例として図 2 7 に示すように、補正係数を用いて減光特性が補正される。このように、減光特性を補正する補正係数が算出回路 6 2 E 1 によって算出され、算出された補正係数が出力回路 6 2 D によって信号処理部 5 0 に出力されることで、デジタル位相差画素データ 6 9 B 1 に基づく画像に現れる減光特性を補正することができる。

【 0 2 3 2 】

なお、ここでは、補正係数が算出される形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、制御回路 6 2 E が、非位相差画素 N のデジタル非位相差画素データ 6 9 B 2 及びデジタル位相差画素データ 6 9 B 1 と補正係数とが対応付けられた対応付けテーブルを用いて補正係数を導出するようにしてもよい。

10

【 0 2 3 3 】

また、ここでは、補正係数が信号処理部 5 0 に出力される形態例を挙げて説明したが、本開示の技術は、これに限定されず、例えば、画像処理回路 6 2 C 及び / 又は制御回路 6 2 E が補正係数を用いて、デジタル位相差画素データ 6 9 B 1 に基づく画像に現れる減光特性を補正するようにしてもよい。

【 0 2 3 4 】

上記各実施形態では、アナログ位相差画素データ 6 9 A 1 及びアナログ非位相差画素データ 6 9 A 2 に対して共用される A / D 変換器 6 2 B 1 を例示したが、本開示の技術はこれに限定されず、複数の A / D 変換器を適用してもよい。この場合、例えば、図 2 8 に示すように、上記各実施形態で説明したデジタル処理回路 6 2 B (図 9 及び図 19 参照) に代えてデジタル処理回路 6 2 0 B を適用する。デジタル処理回路 6 2 0 B は、複数の A / D 変換器を有する。ここで言う「複数の A / D 変換器」には、第 1 A / D 変換器 6 2 0 B 1 及び第 2 A / D 変換器 6 2 0 B 2 が含まれている。第 1 A / D 変換器 6 2 0 B 1 は、アナログ位相差画素データ 6 9 A 1 のみに対して用いられる A / D 変換器であり、第 2 A / D 変換器 6 2 0 B 2 は、アナログ非位相差画素データ 6 9 A 2 のみに対して用いられる A / D 変換器である。第 1 A / D 変換器 6 2 0 B 1 及び第 2 A / D 変換器 6 2 0 B 2 の各々は、互いに独立して A / D 変換を行う。従って、第 1 A / D 変換器 6 2 0 B 1 及び第 2 A / D 変換器 6 2 0 B 2 を用いることで、出力期間内において、アナログ位相差画素データ 6 9 A 1 の A / D 変換とアナログ非位相差画素データ 6 9 A 2 の A / D 変換とを並行して行うことができる。

20

【 0 2 3 5 】

上記各実施形態では、出力回路 6 2 D がデジタル位相差画素データ 6 9 B 1 そのものを撮像素子 4 4 から信号処理部 5 0 に出力する形態例を挙げたが、本開示の技術はこれに限定されない。例えば、出力回路 6 2 D が相關データを信号処理部 5 0 に出力するようにしてもよい。この場合、制御回路 6 2 E は、コントローラ 4 6 から被写体光の入射角度の特性を示す情報、絞り値、及びデフォーカス量等の各種情報を取得する。制御回路 6 2 E は、取得した各種情報に従って、第 1 位相差画素 L に関するデジタル位相差画素データ 6 9 B 1 の輝度と第 2 位相差画素 R に関するデジタル位相差画素データ 6 9 B 1 の輝度とを補正する。すなわち、制御回路 6 2 E は、第 1 位相差画素 L に関するデジタル位相差画素データ 6 9 B 1 及び第 2 位相差画素 R に関するデジタル位相差画素データ 6 9 B 1 に対して感度比補正を行う。制御回路 6 2 E は、感度比補正されたデジタル位相差画素データ 6 9 B 1 を用いて相關演算を行い、出力回路 6 2 D は、相關演算の結果である相關データを信号処理部 5 0 に出力する。

30

【 0 2 3 6 】

このように、相關データが撮像素子 4 4 から信号処理部 5 0 に出力されることで、出力回路 6 2 D からデジタル位相差画素データ 6 9 B 1 そのものが出力される場合に比べ、出力回路 6 2 D から信号処理部 5 0 への出力データ量を少なくすることができる。この結果、A F の高速化を図ることが可能となる。

40

【 0 2 3 7 】

50

なお、相関演算では、パターンマッチングを行うため、第1位相差画素Lに関するデジタル位相差画素データ69B1の輝度と第2位相差画素Rに関するデジタル位相差画素データ69B1の輝度と同じ又は近似していることが好ましい。そのため、制御回路62Eによって行われる相関演算は、正規化相互相関演算であってもよい。この場合、被写体の明るさに変動があったとしても、第1位相差画素Lに関するデジタル位相差画素データ69B1と第2位相差画素Rに関するデジタル位相差画素データ69B1との類似度を安定的に算出することができる。

【0238】

上記各実施形態では、撮像フレームレートが固定されている場合について説明したが、本開示の技術はこれに限定されない。例えば、撮像フレームレートは、露光時間に連動して変更されるようにしてもよい。また、撮像フレームレートは、露光時間が短くなるに従って高くなるようにしてもよい。また、光電変換素子61に対する露光は、露光開始後、読出回路62Aによる少なくとも1画素分のアナログ画素データ69Aの読み出しが完了してから再開されるようにしてもよい。また、読出回路62Aによるアナログ画素データ69Aの読出速度は、アナログ画素データ69Aを並行して読み出すフレームの数に応じて変更されるようにしてもよい。また、読出回路62Aは、アナログ画素データ69AがA/D変換される場合のアナログ画素データ69Aのデータ量を、アナログ画素データ69Aを並行して読み出すフレームの数と、読み出したアナログ画素データ69AをA/D変換するA/D変換器の個数とに応じて変更するようにしてもよい。

【0239】

また、上記各実施形態では、処理回路62がASIC及びFPGAを含むデバイスによって実現される形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、上述した撮像処理は、コンピュータによるソフトウェア構成により実現されるようにしてもよい。

【0240】

この場合、例えば、図29に示すように、撮像素子44に内蔵されたコンピュータ852に、上述した位相差画素処理、非位相差画素処理、及び撮像素子内処理を実行させるための各種プログラムを記憶媒体900に記憶させておく。

【0241】

各種プログラムとは、位相差画素処理プログラム902、非位相差画素処理プログラム904、及び撮像素子内処理プログラム906を指す。位相差画素処理プログラム902は、上述した位相差画素処理をコンピュータ852に実行させるためのプログラムである。非位相差画素処理プログラム904は、上述した非位相差画素処理をコンピュータ852に実行させるためのプログラムである。撮像素子内処理プログラム906は、上述した撮像素子内処理をコンピュータ852に実行させるためのプログラムである。

【0242】

一例として図29に示すように、コンピュータ852は、CPU852A、ROM852B、及びRAM852Cを備えている。そして、記憶媒体900に記憶されている各種プログラムは、コンピュータ852にインストールされる。CPU852Aは、位相差画素処理プログラム902に従って、上述した位相差画素処理を実行する。また、CPU852Aは、非位相差画素処理プログラム904に従って、上述した非位相差画素処理を実行する。更に、CPU852Aは、撮像素子内処理プログラム906に従って、上述した撮像素子内処理を実行する。

【0243】

ここでは、CPU852Aとして、単数のCPUを例示しているが、本開示の技術はこれに限定されず、CPU852Aに代えて複数のCPUを採用してもよい。なお、記憶媒体は、非一時的記憶媒体である。記憶媒体900の一例としては、SSD又はUSBメモリなどの任意の可搬型の記憶媒体が挙げられる。

【0244】

図29に示す例では、記憶媒体900に各種プログラムが記憶されているが、本開示の

10

20

30

40

50

技術はこれに限定されない。例えば、ROM 852B に各種プログラムを予め記憶させておき、CPU 852A が ROM 852B から各種プログラムを読み出し、RAM 852C に展開し、展開した各種プログラムを実行するようにしてもよい。

【0245】

また、通信網（図示省略）を介してコンピュータ 852 に接続される他のコンピュータ又はサーバ装置等の記憶部に各種プログラムを記憶させておき、撮像装置 10 の要求に応じて各種プログラムがコンピュータ 852 にダウンロードされるようにしてもよい。この場合、ダウンロードされた各種プログラムがコンピュータ 852 の CPU 852A によって実行される。

【0246】

また、コンピュータ 852 は、撮像素子 44 の外部に設けられるようにしてもよい。この場合、コンピュータ 852 が各種プログラムに従って処理回路 62 を制御するようにすればよい。

【0247】

上記各実施形態で説明した位相差画素処理、非位相差画素処理、撮像素子内処理、タイミング制御処理、及び画素データ処理（以下、「各種処理」と称する）を実行するハードウェア資源としては、次に示す各種のプロセッサを用いることができる。プロセッサとしては、例えば、上述したように、ソフトウェア、すなわち、プログラムを実行することで、各種処理を実行するハードウェア資源として機能する汎用的なプロセッサである CPU が挙げられる。また、プロセッサとしては、例えば、FPGA、PLD、又は ASIC などの特定の処理を実行させるために専用に設計された回路構成を有するプロセッサである専用電気回路が挙げられる。

10

20

【0248】

各種処理を実行するハードウェア資源は、これらの各種のプロセッサのうちの 1 つで構成されてもよいし、同種または異種の 2 つ以上のプロセッサの組み合わせ（例えば、複数の FPGA の組み合わせ、又は CPU と FPGA との組み合わせ）で構成されてもよい。また、各種処理を実行するハードウェア資源は 1 つのプロセッサであってもよい。

【0249】

1 つのプロセッサで構成する例としては、第 1 に、クライアント及びサーバなどのコンピュータに代表されるように、1 つ以上の CPU とソフトウェアの組み合わせで 1 つのプロセッサを構成し、このプロセッサが、撮像装置内処理を実行するハードウェア資源として機能する形態がある。第 2 に、SOC などに代表されるように、各種処理を実行する複数のハードウェア資源を含むシステム全体の機能を 1 つの IC チップで実現するプロセッサを使用する形態がある。このように、撮像装置内処理は、ハードウェア資源として、上記各種のプロセッサの 1 つ以上を用いて実現される。

30

【0250】

更に、これらの各種のプロセッサのハードウェア的な構造としては、より具体的には、半導体素子などの回路素子を組み合わせた電気回路を用いることができる。

【0251】

また、上記各実施形態では、撮像装置 10 としてレンズ交換式カメラを例示したが、本開示の技術はこれに限定されない。例えば、図 30 に示すスマートデバイス 950 に対して本開示の技術を適用するようにしてもよい。一例として図 30 に示すスマートデバイス 950 は、本開示の技術に係る撮像装置の一例である。スマートデバイス 950 には、上記実施形態で説明した撮像素子 44 が搭載されている。このように構成されたスマートデバイス 950 であっても、上記各実施形態で説明した撮像装置 10 と同様の作用及び効果が得られる。なお、スマートデバイス 950 に限らず、パーソナル・コンピュータ又はウェアラブル端末装置に対しても本開示の技術は適用可能である。

40

【0252】

また、上記各実施形態では、ディスプレイ 32 を例示したが、本開示の技術はこれに限定されない。例えば、撮像装置本体 12 に対して後付けされた別体のディスプレイを、本

50

開示の技術に係る「表示部（ディスプレイ）」として用いるようにしてもよい。

【0253】

また、上記の各種処理はあくまでも一例である。従って、主旨を逸脱しない範囲内において不要なステップを削除したり、新たなステップを追加したり、処理順序を入れ替えたりしてもよいことは言うまでもない。

【0254】

以上に示した記載内容及び図示内容は、本開示の技術に係る部分についての詳細な説明であり、本開示の技術の一例に過ぎない。例えば、上記の構成、機能、作用、及び効果に関する説明は、本開示の技術に係る部分の構成、機能、作用、及び効果の一例に関する説明である。よって、本開示の技術の主旨を逸脱しない範囲内において、以上に示した記載内容及び図示内容に対して、不要な部分を削除したり、新たな要素を追加したり、置き換えたりしてもよいことは言うまでもない。また、錯綜を回避し、本開示の技術に係る部分の理解を容易にするために、以上に示した記載内容及び図示内容では、本開示の技術の実施を可能にする上で特に説明を要しない技術常識等に関する説明は省略されている。

10

【0255】

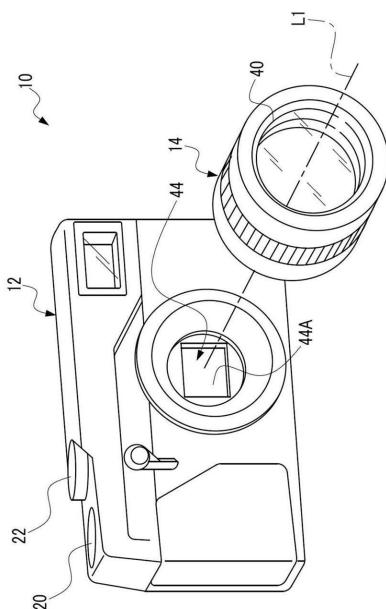
本明細書において、「A及び／又はB」は、「A及びBのうちの少なくとも1つ」と同義である。つまり、「A及び／又はB」は、Aだけであってもよいし、Bだけであってもよいし、A及びBの組み合わせであってもよい、という意味である。また、本明細書において、3つ以上の事柄を「及び／又は」で結び付けて表現する場合も、「A及び／又はB」と同様の考え方が適用される。

20

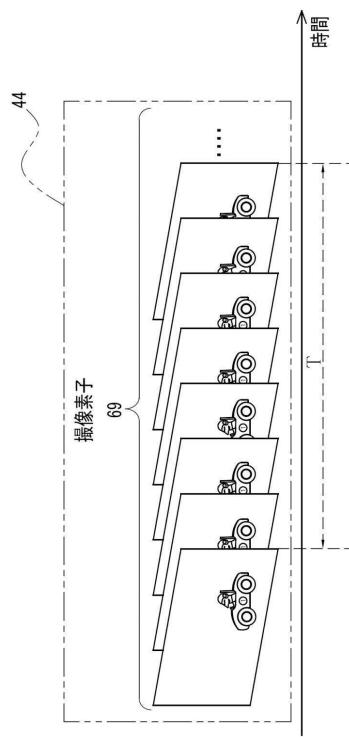
【0256】

本明細書に記載された全ての文献、特許出願及び技術規格は、個々の文献、特許出願及び技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

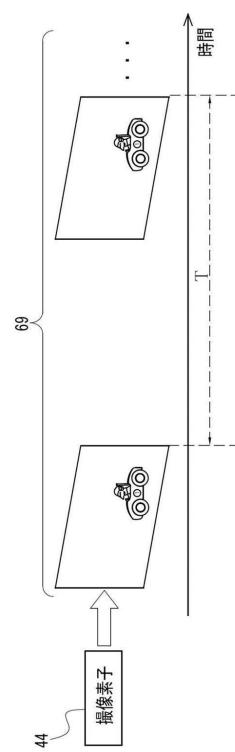
【図1】



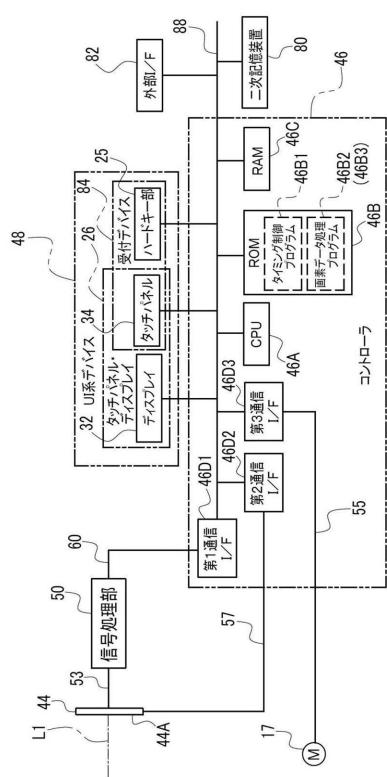
【図3A】



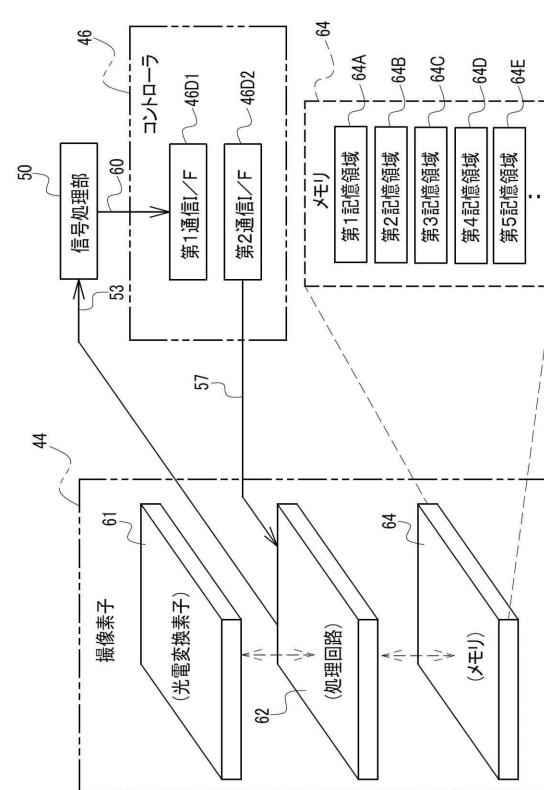
【図3B】



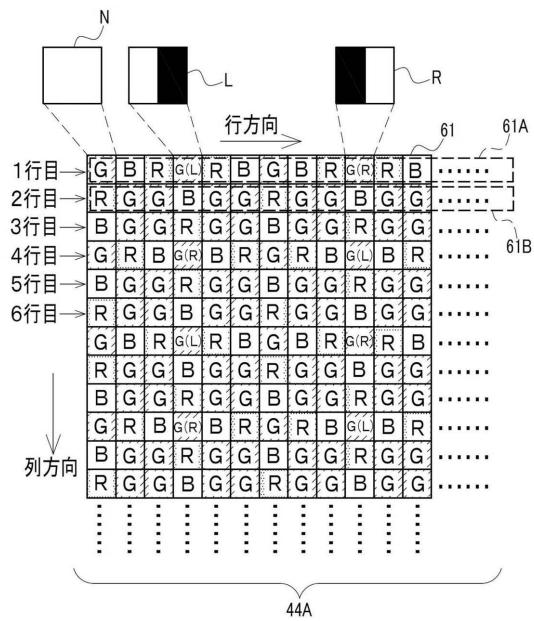
【図4】



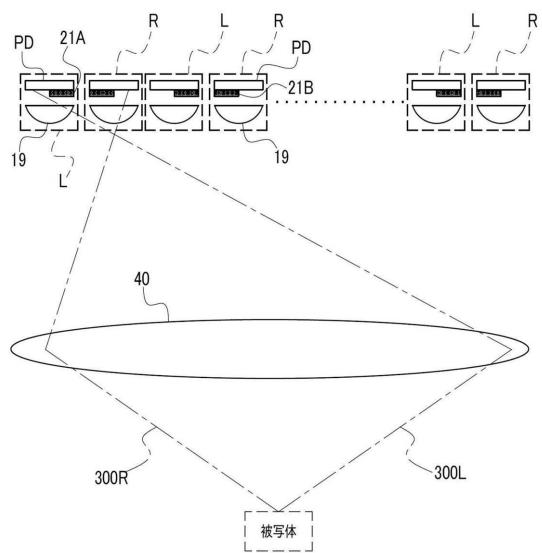
【 図 5 】



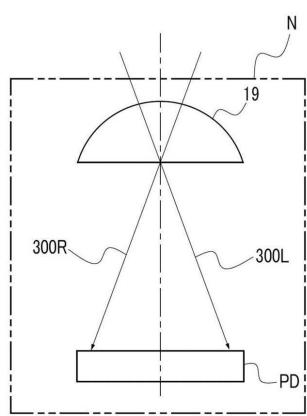
【図6】



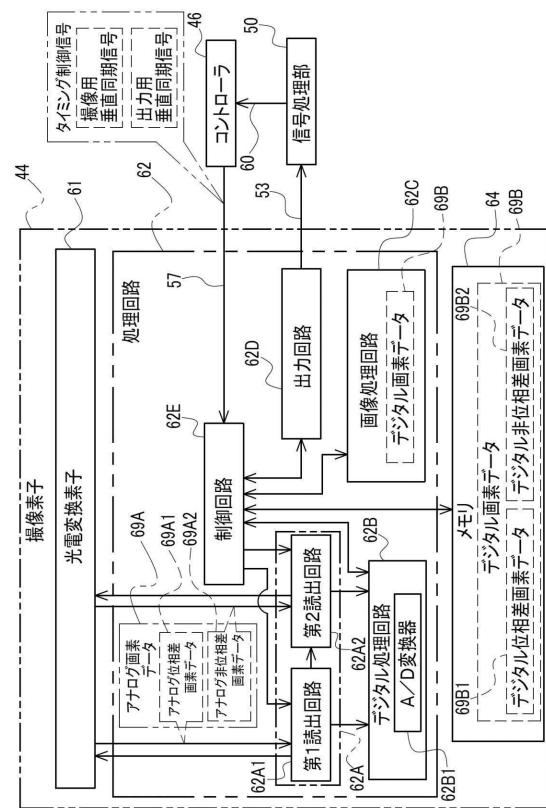
【 四 7 】



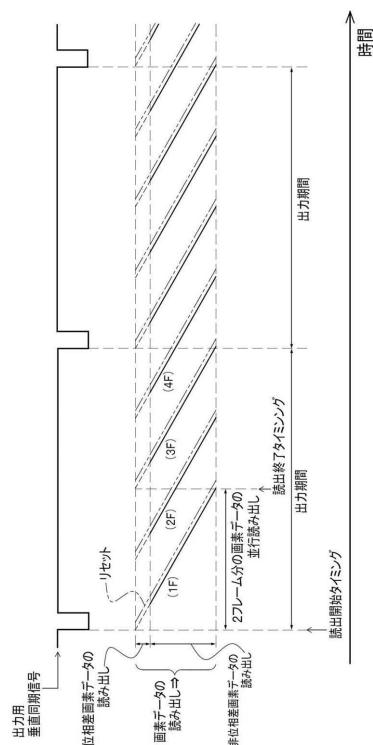
【 8 】



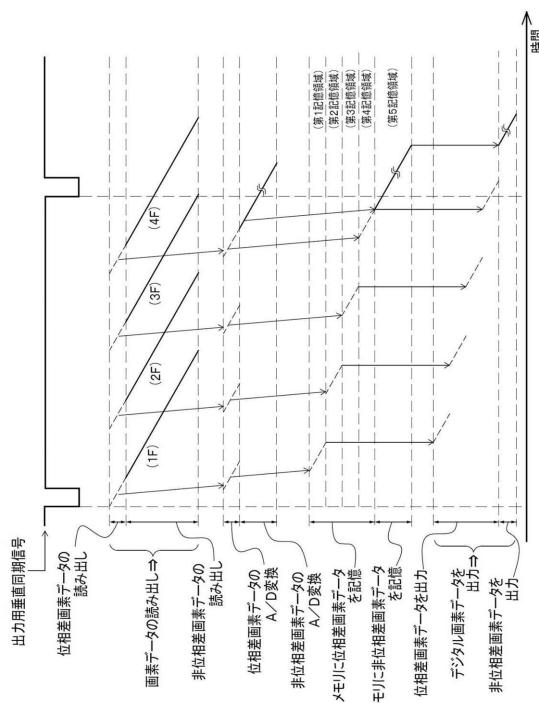
【図9】



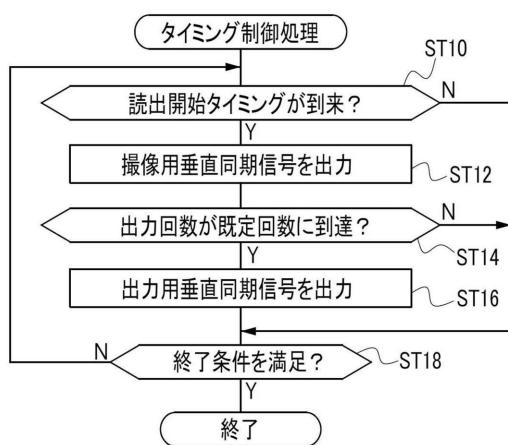
【図10】



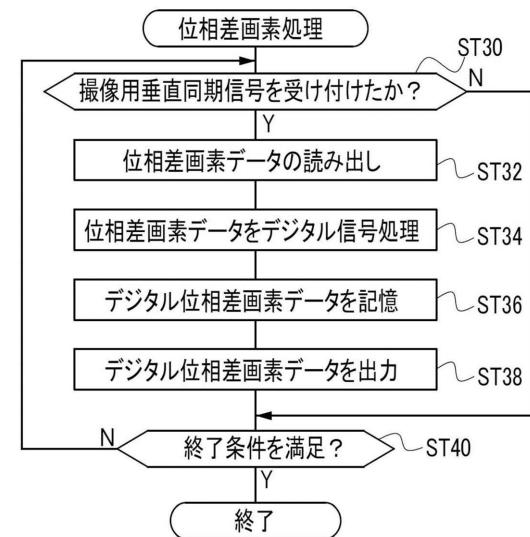
【図11】



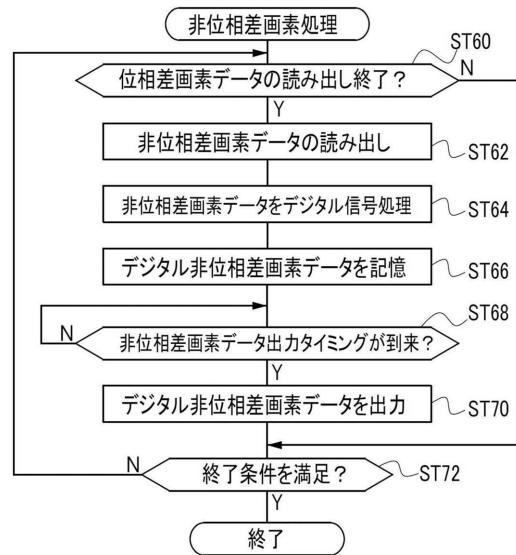
【図12】



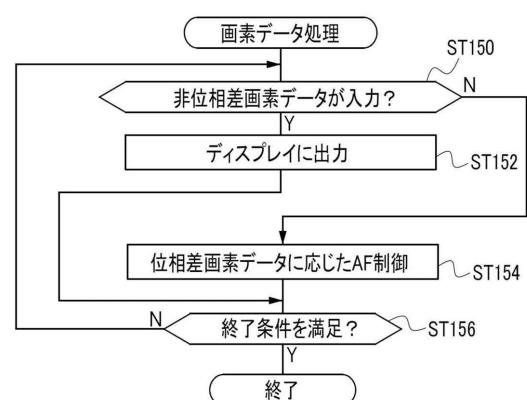
【図13】



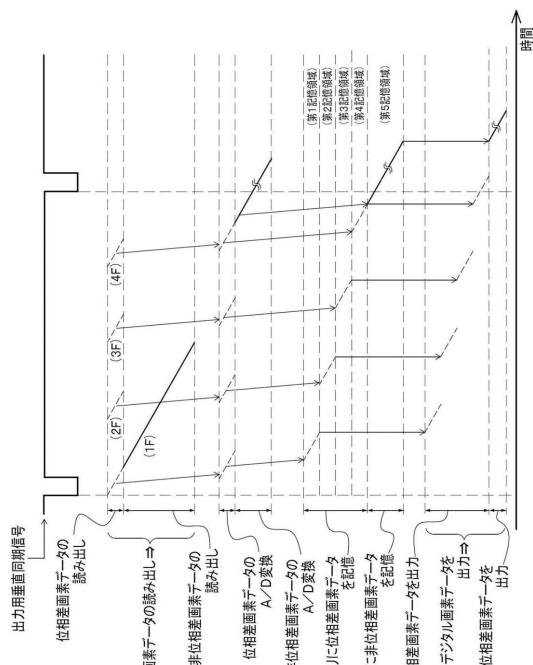
【図14】



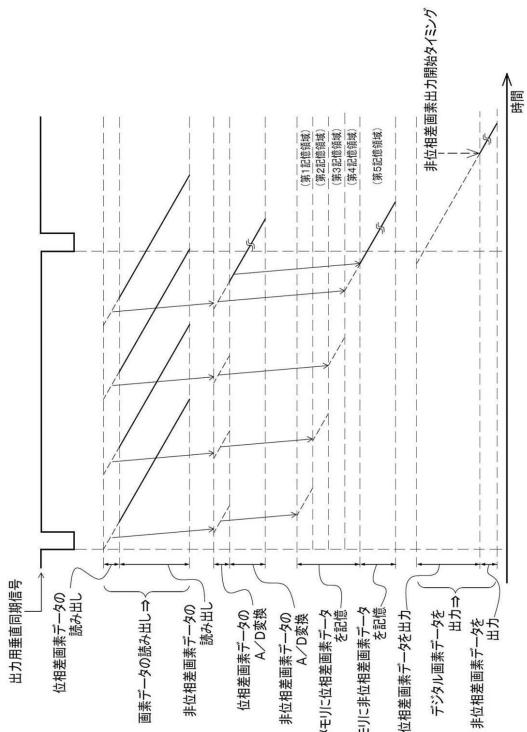
【図15】



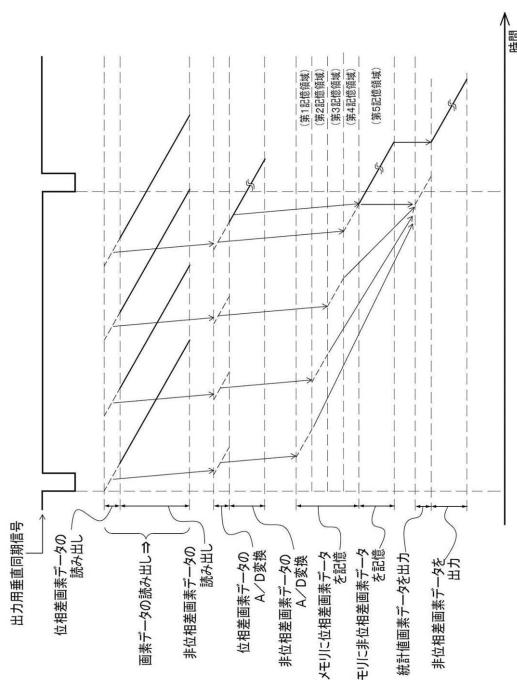
【図16】



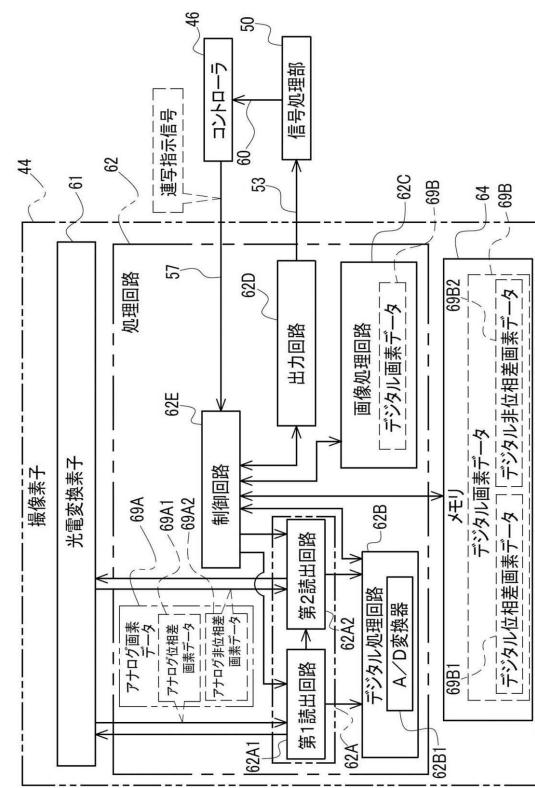
【図17】



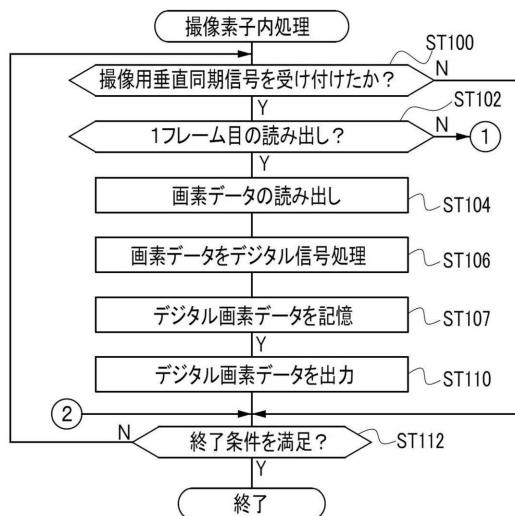
【図 18】



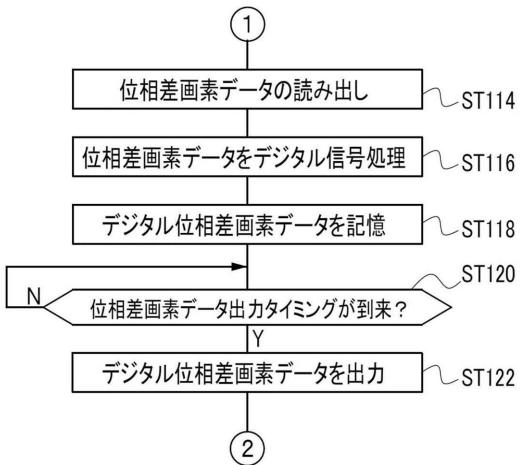
【図 19】



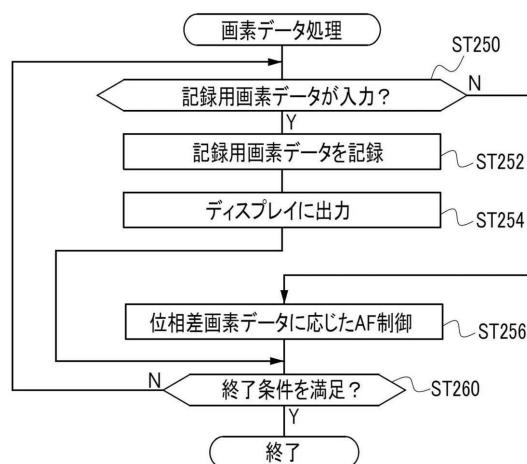
【図22】



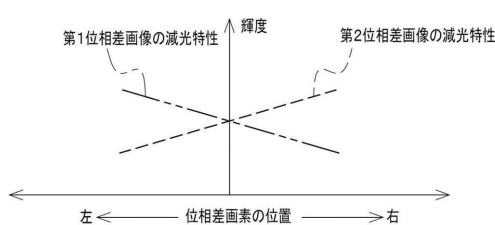
【図23】



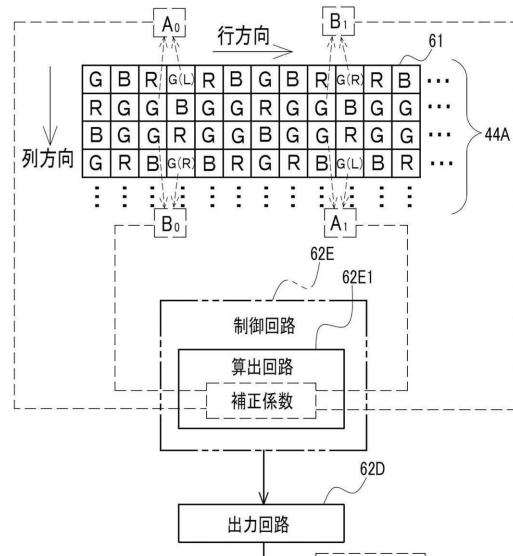
【図24】



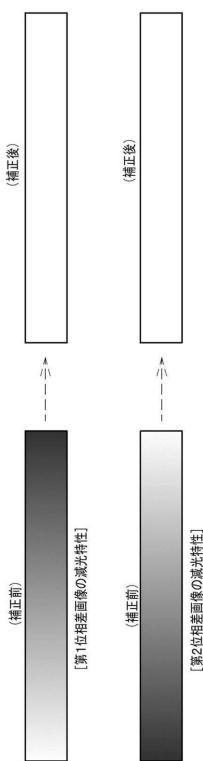
【図25】



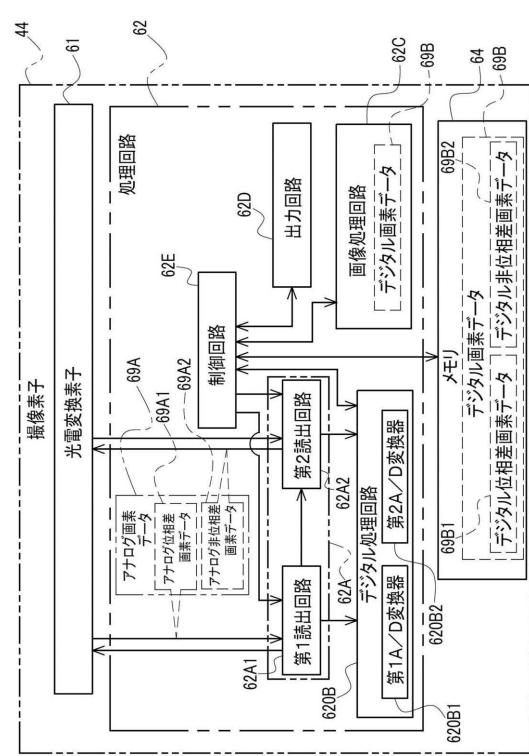
【図26】



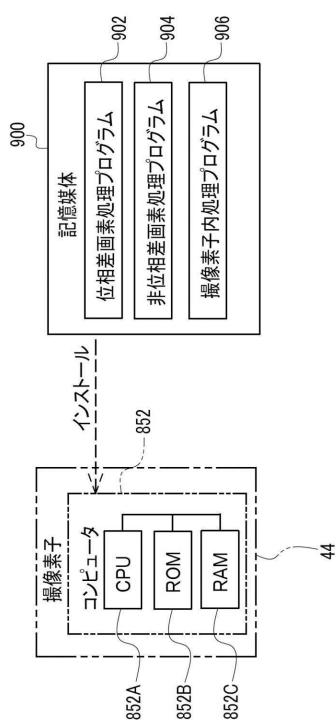
【図27】



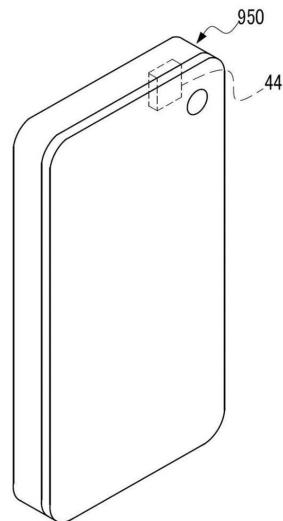
【図28】



【図29】



【図30】



フロントページの続き

(72)発明者 河合 智行

埼玉県さいたま市北区植竹町1丁目324番地 富士フィルム株式会社内

審査官 橋 高志

(56)参考文献 特開2018-066928 (JP, A)

特開2018-195892 (JP, A)

特開2014-178603 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H04N 5/222 - 5/257