

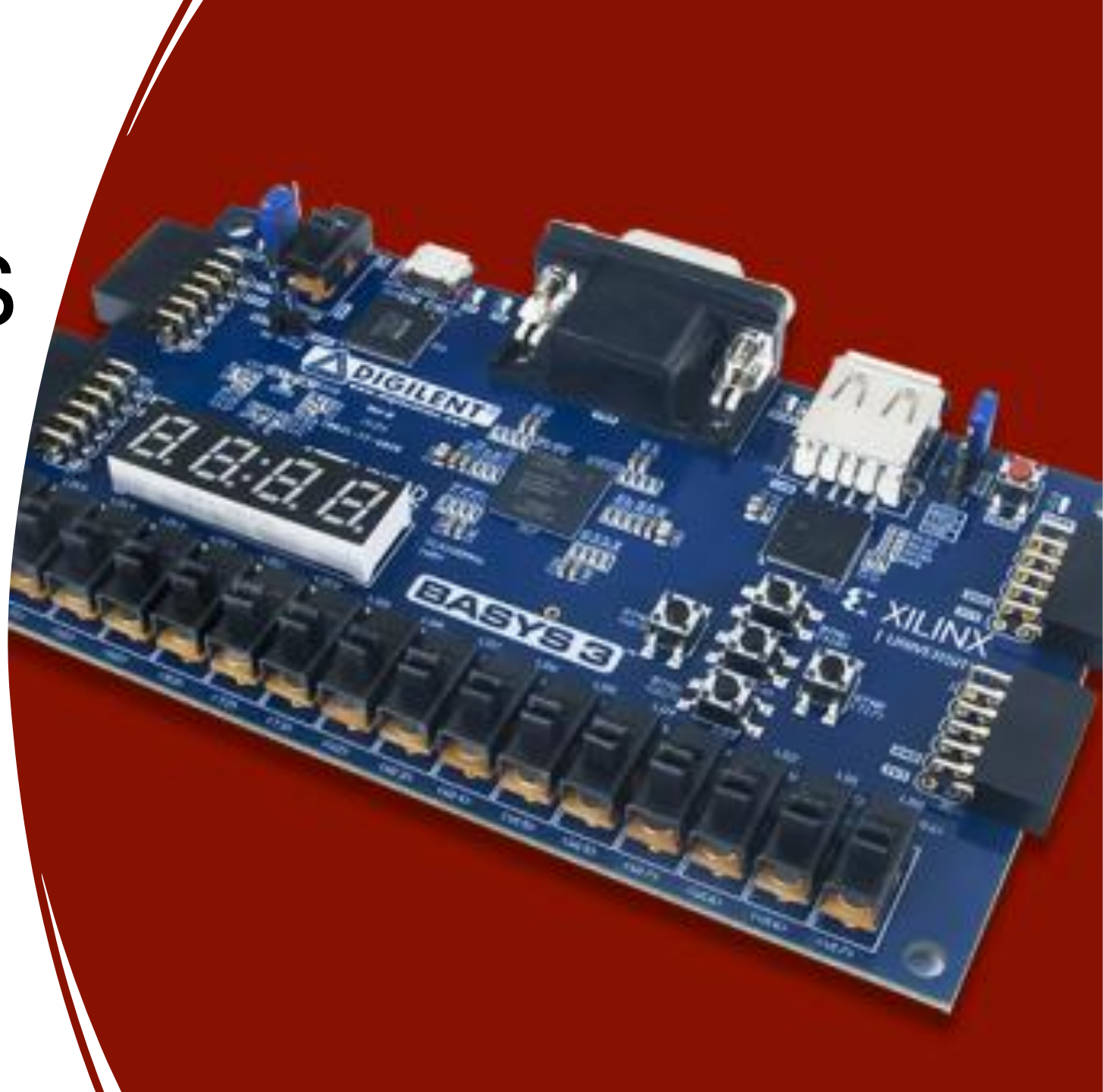
# SISTEMAS ELECTRÓNICOS

---

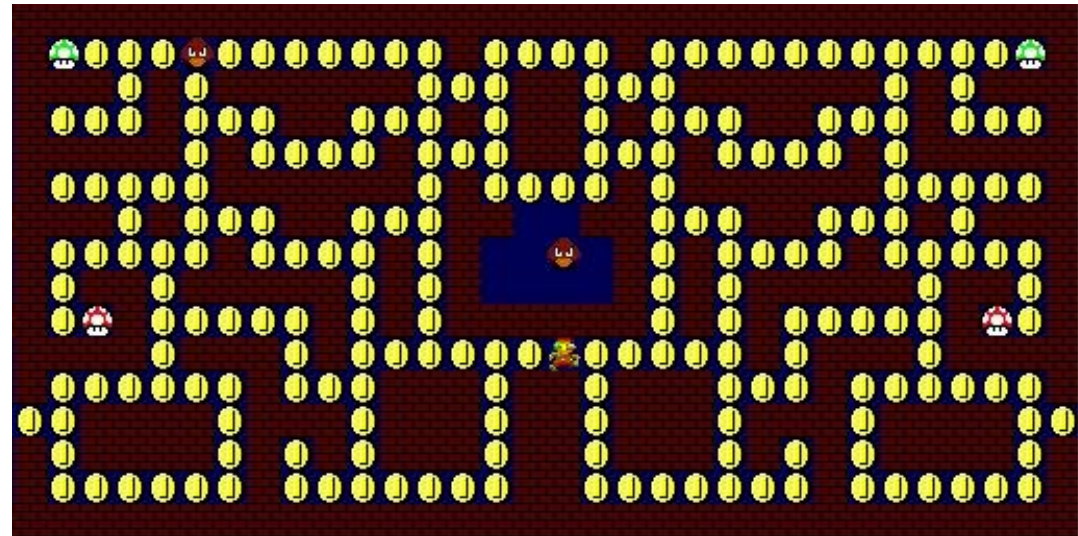
- Proyecto de curso realizado en FPGA *Digilent Basys-3* mediante el entorno de Vivado.

Realizado por:

- Javier Gil León
- Pablo López Arcila
- Alfredo Zarazaga Montalbán



¿QUÉ  
HEMOS  
HECHO?



SCORE:  
000

×3

HECHO POR:  
JAVIER GIL LEON  
PABLO LOPEZ ARCILA  
ALFREDO ZARAZAGA MONTALBAN

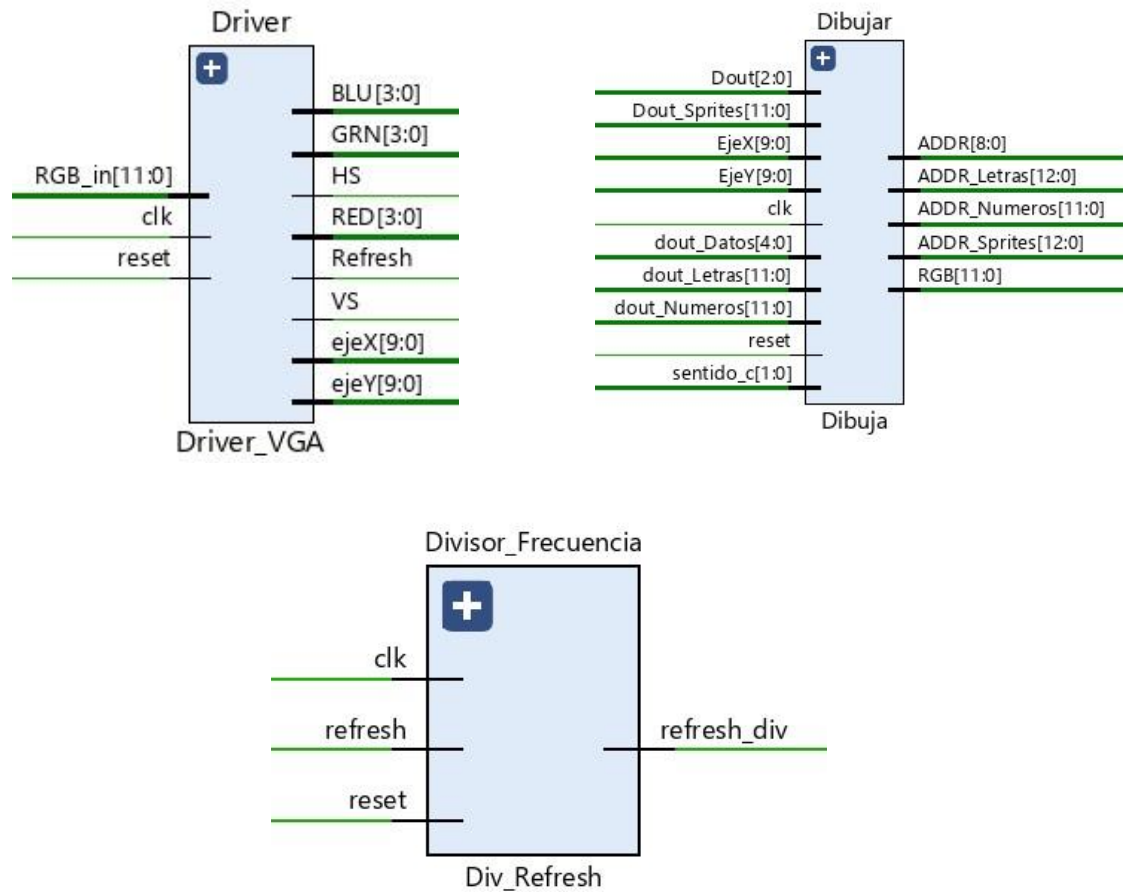
# ¿CÓMO SE HA REALIZADO?

```
architecture Behavioral of Genera_Movimiento is
    signal count_i      : std_logic_vector (3 downto 0);
    signal feedback      : std_logic;

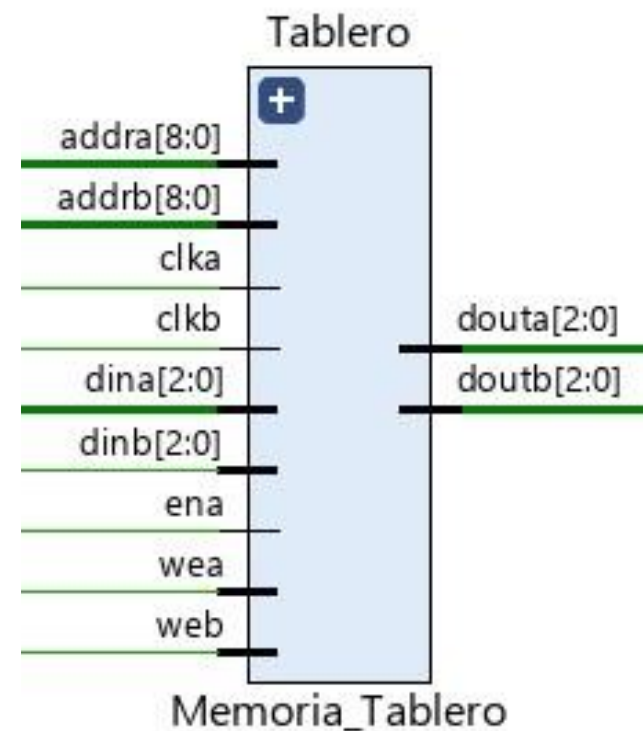
begin
    feedback <= not(count_i(3) xor count_i(2));

    process (reset, clk)
    begin
        if (reset = '1') then
            count_i <= (others=>'0');
        elsif (rising_edge(clk)) then
            count_i <= count_i(2 downto 0) & feedback;
        end if;
    end process;
    count <= count_i;
end architecture;
```

# MECÁNICA DE TRABAJO



# LAS MEMORIAS

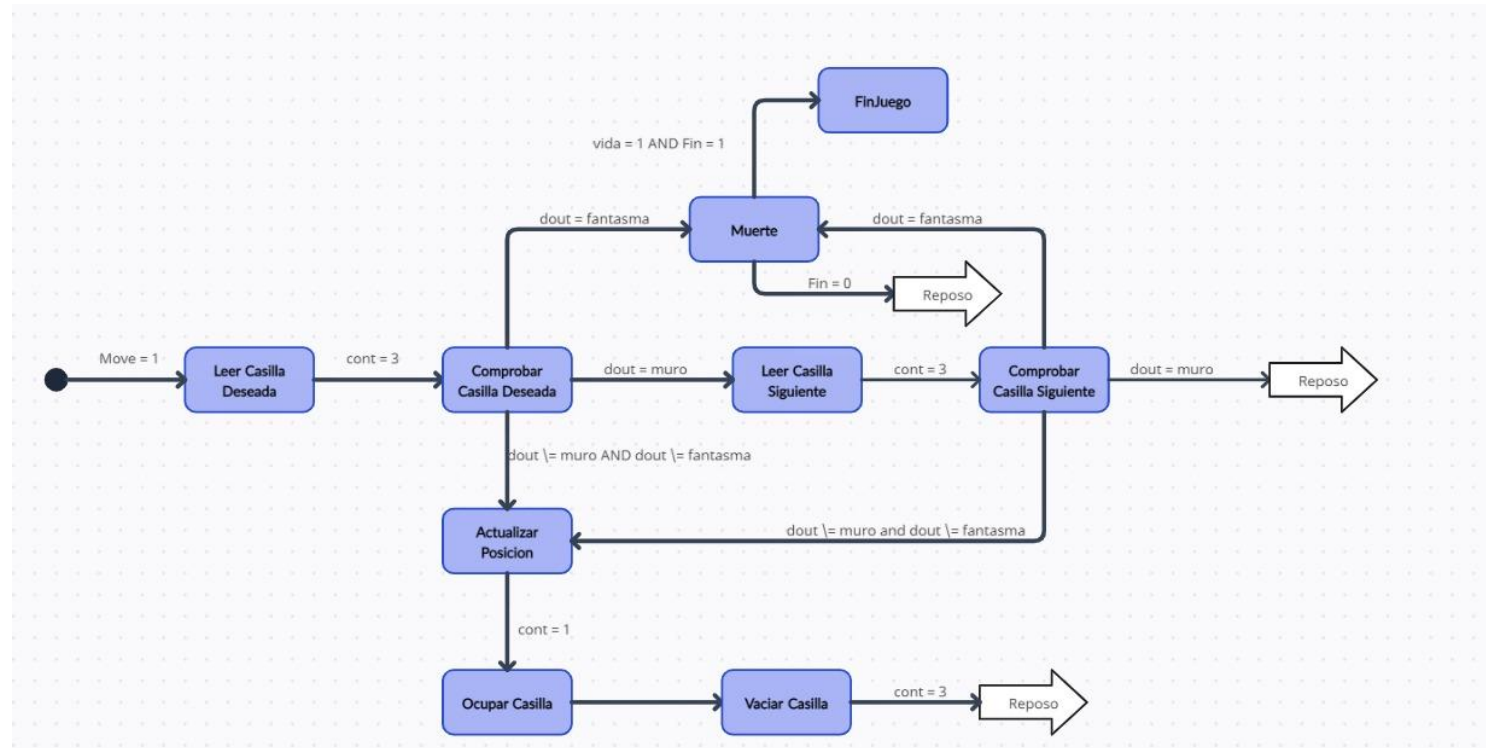
[illegible]

¿QUÉ ES LO MÁS  
IMPORTANTE?

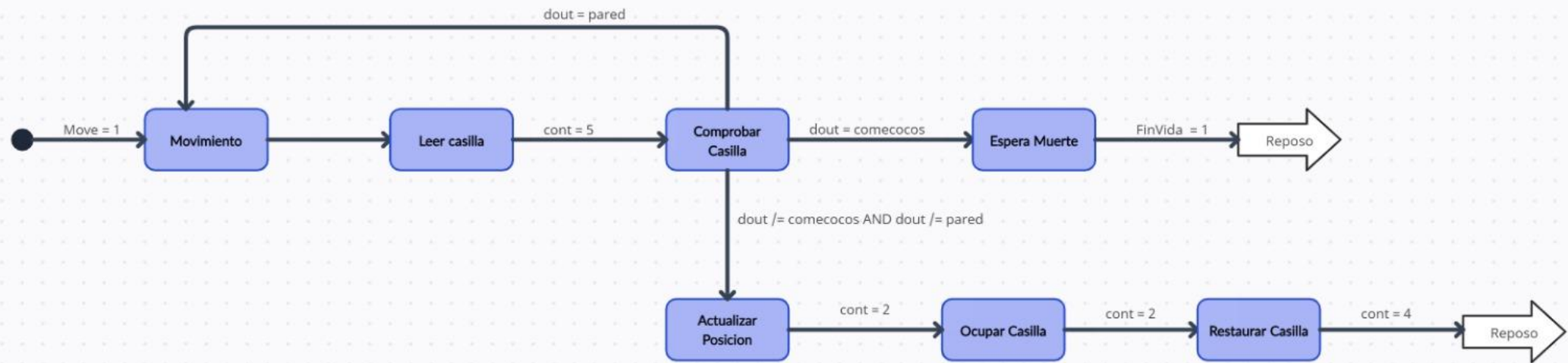
---



# MÁQUINAS DE ESTADO: PACMAN

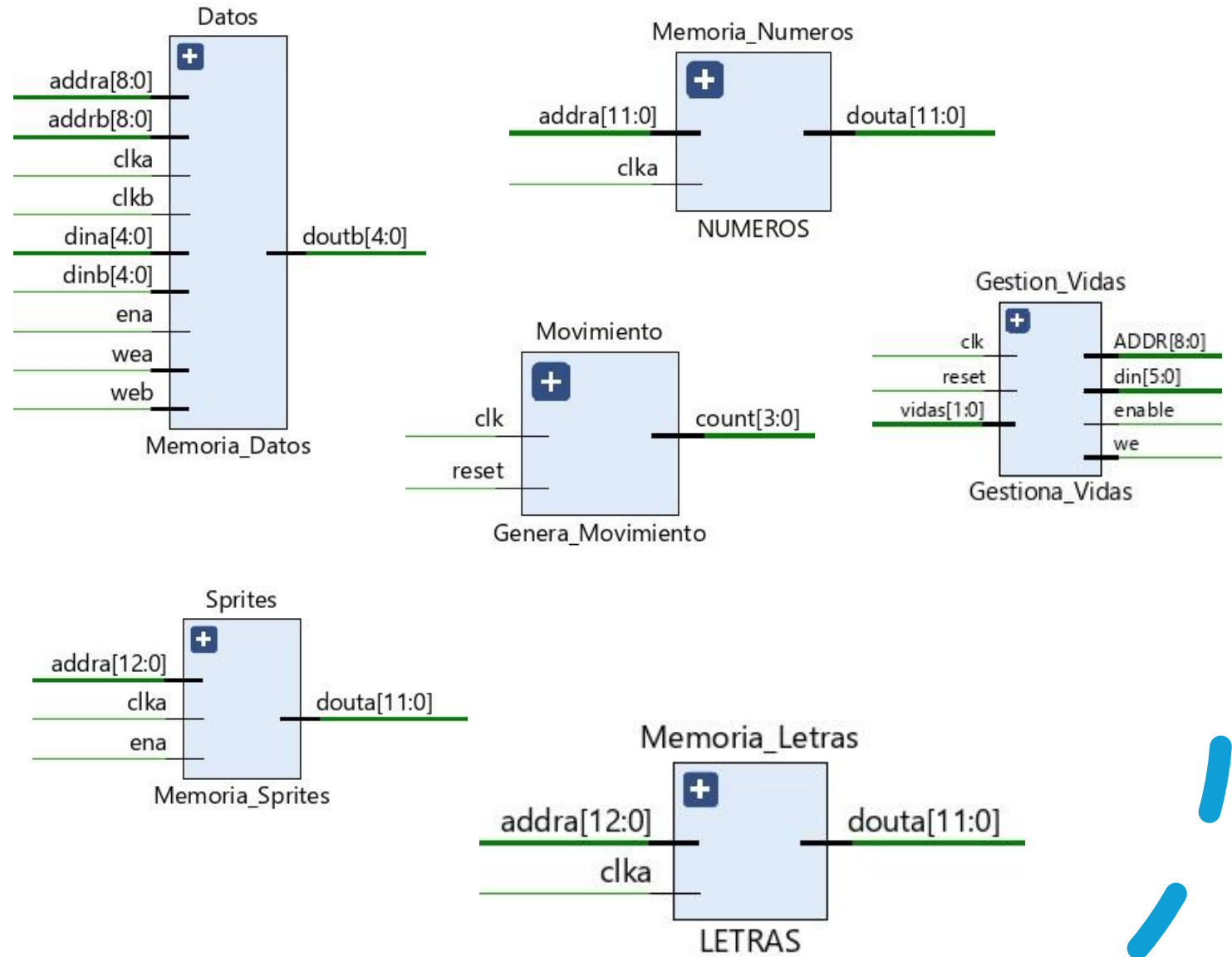


# MÁQUINAS DE ESTADO: FANTASMA





# MEJORAS



# ARQUITECTURA SUPERIOR

