**第六章 时序逻辑电路**

1、用5级分频器将的时钟脉冲分频为的脉冲信号，这5级分频器应设计成的分频数分别是（ ）。

（a）3、6、10、10、10 （b）10、10、10、3、6

（c）10、10、10、3、12 （d）10、10、10、6、6

2、与异步计数器相比，同步计数器的突出特点是（ ）。

（a）电路结构简单 （b）工作速度快

（c）触发器利用率高 （d）不受时钟CP控制

3、N个触发器可以构成最大计数进制为（ ）的计数器。

（a）N （b）2N （c） （d）

4、下列描述不正确的是（ ）。

A、时序逻辑电路某一时刻的电路状态取决于电路进入该时刻前所处的状态。

B、寄存器只能存储小量数据，存储器可存储大量数据。

C、主从JK触发器主触发器具有一次翻转性。

D、将移位寄存器首尾相连可构成环形计数器。

5、下列描述不正确的是（ ）。

A、异步时序电路的响应速度要比同步时序电路的响应速度慢。

B、时序电路必然存在状态循环。

C、T触发器、JK触发器均具有状态翻转功能。

D、主从式触发器能有效克服同步触发器的空翻现象。

6、一个五位的二进制加法计数器，初始状态为00000，问经过201个输入脉冲后，此计数器的状态为（ ）。

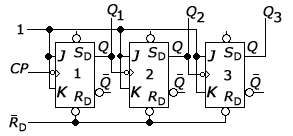
A、00111 B、00101 C、01000 D、01001

7、指出下列电路中能够把串行数据变成并行数据的电路应该是（ ）。

A、JK触发器 B、移位寄存器 C、3/8线译码器 D、十进制计数器

8、图3所示电路中，触发器当前状态为“101”，请问时钟作用下，触发器下一状态为（ ）。

A、“110” B、“100” C、“010” D、“000”



9、下列电路中不是时序逻辑电路的是（ ）。

A、触发器 B、译码器 C、移位寄存器 D、计数器

10、有一个左移移位寄存器，当预先置入1011后，其串行输入固定接0，在4个移位脉冲CP作用下，四位数据的移位过程是（ ）。

A. 1011--0110--1100--1000--0000 B. 1011--0101--0010--0001—0000

C. 1011--1100--1101--1110--1111 D. 1011--1010--1001--1000--0111

11、由K位移位寄存器构成的扭环计数器，计数器的模为（ ）。

A、K B、2K C、K2 D、2K

12、有一个右移移位寄存器，当预先置入1011后，其串行输入固定接0，在4个移位脉冲CP作用下，四位数据的移位过程是（ ）。

A. 1011--0110--1100--1000--0000 B. 1011--0101--0010--0001—0000

C. 1011--1100--1101--1110--1111 D. 1011--1010--1001--1000--0111

13、由4位移位寄存器构成的扭环计数器，无效状态数为（ ）。

A、4 B、6 C、8 D、12

14、下列叙述正确的是（ ）。

A、译码器属于时序逻辑电路 B、寄存器属于组合逻辑电路

C、555定时器是典型的时序逻辑电路 D、计数器属于时序逻辑电路

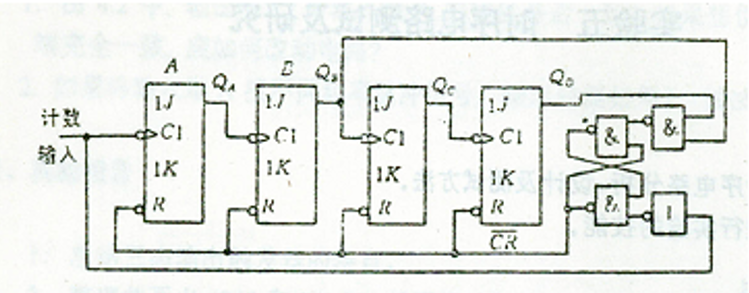
15、由K位移位寄存器构成的环形计数器，计数器的模为（ ）。

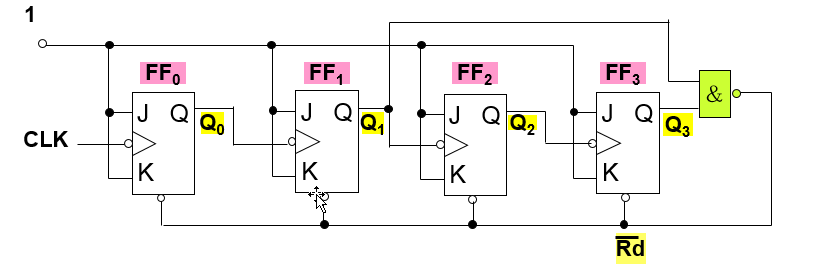
A、K B、2K C、K2 D、2K

16、用触发器设计一个24进制的计数器，至少需要（ ）个触发器。

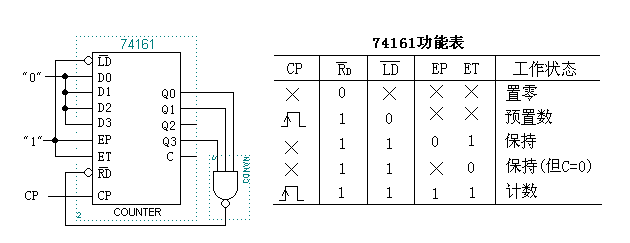
A、3 B、4 C、6 D、5

一、请问以下两图是几进制计数器？请画出其波形图。





二、同步二进制计数器74161电路如下图所示, 画出电路的状态转换图（Q3Q2Q1Q0）并分析其逻辑功能。

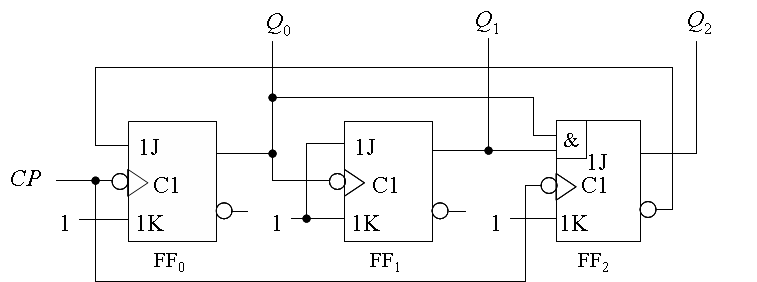


三、试分析下图所示的计数器电路。要求：

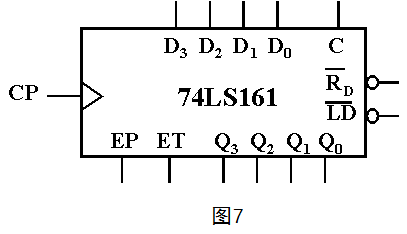
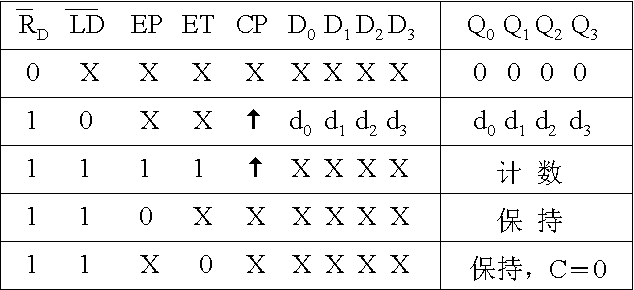
1、写出各触发器的驱动方程和状态方程；

2、假设计数器的初始状态为Q2Q1Q0＝000，请列出电路的状态转移表，并判断是几进制计数器；

3、当计数器因某种原因进入非预定工作状态后，能否自动返回预定工作状态？



四、试用4位二进制同步计数器74LS161及必要的逻辑门，设计一个可控进制计数器。当控制输入时，为50进制计数器；当时，为70进制计数器。要求：写出必要的设计过程，并画出完整的逻辑电路图。74LS161的逻辑符号如图7所示，功能表如表1所示。

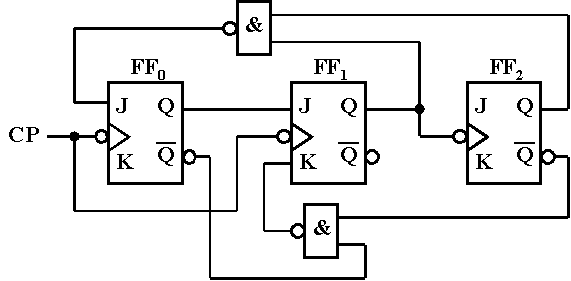


五、试分析下图所示的计数器电路。要求：

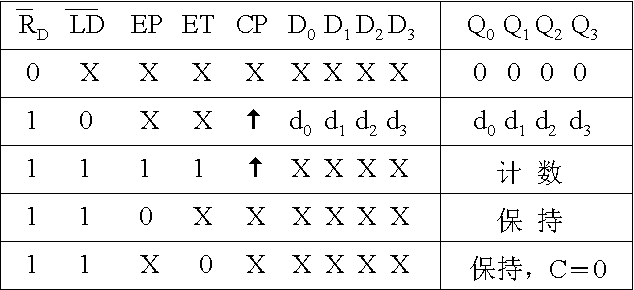
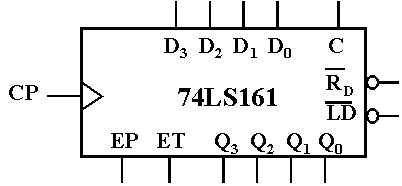
1、写出各触发器的驱动方程和状态方程；

2、假设计数器的初始状态为Q2Q1Q0＝000，请列出电路的状态转移表，并判断是几进制计数器；

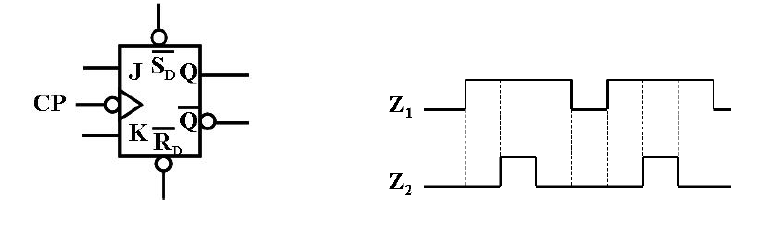
1. 当计数器因某种原因进入非预定工作状态后，能否自动返回预定工作状态？



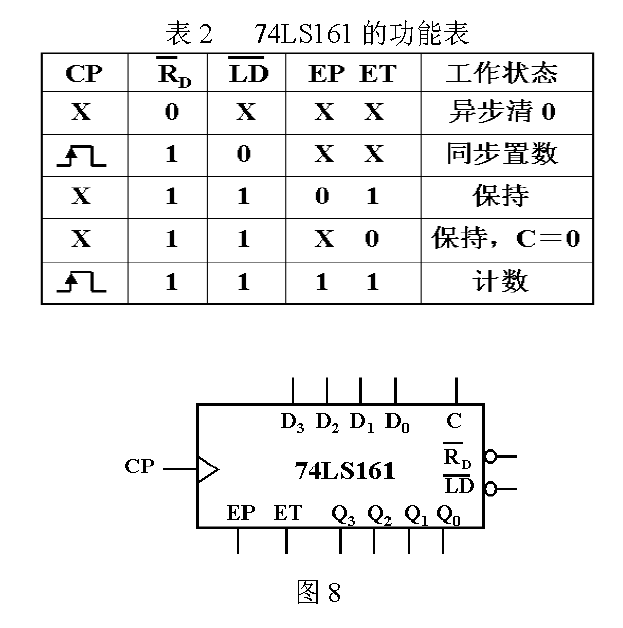
六、试用二进制同步计数器74LS161及必要的逻辑门，设计一个234进制计数器。要求：写出必要的设计过程，并画出完整的逻辑电路图。74LS161的逻辑符号如下图所示，功能表如下表所示。

七、试用下图所示的JK 触发器和门电路，设计一个能产生如图所示波形的同步时序电路。



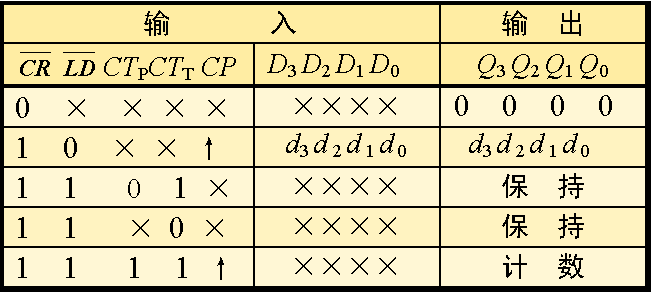
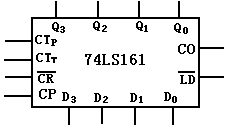
八、试用4位二进制同步计数器74LS161 和若干与非门，设计一个100进制计数器，实现从24到123的计数，写出必要的设计过程，画出逻辑电路图。74LS161 的逻辑符号如图8所示，功能表如表2所示。



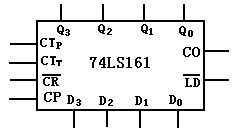
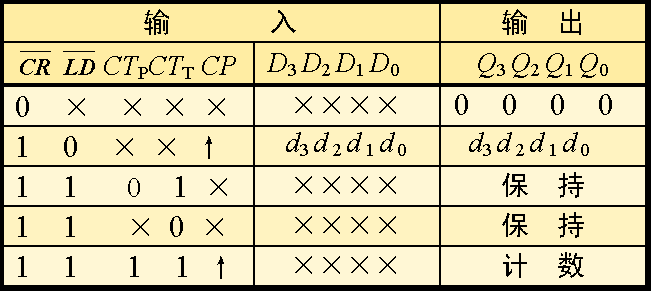
九、二进制同步计数器74LS161电路符号及功能表如图所示（15分）。

1、用清零法实现八进制计数器，画出电路图；

2、用置数法实现计数态序为6-12的七进制计数器，画出电路图及CP与Q3端波形图。

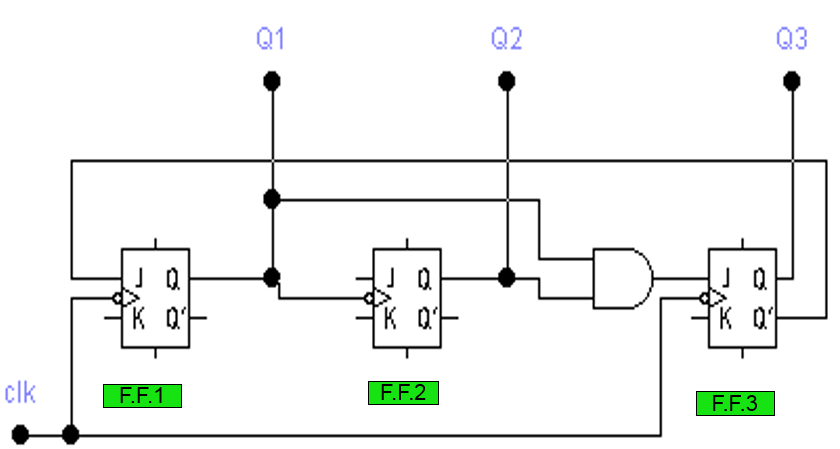


十、74LS161电路符号及功能表如图所示，试用74LS161和与非门实现如下脉冲产生电路，其中CP为时钟输入，Y为输出。要求说明74LS161实现几进制计数器，并画出状态转换图、电路图（10分）。

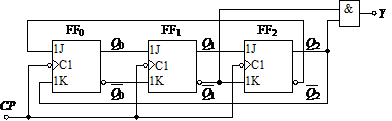
 



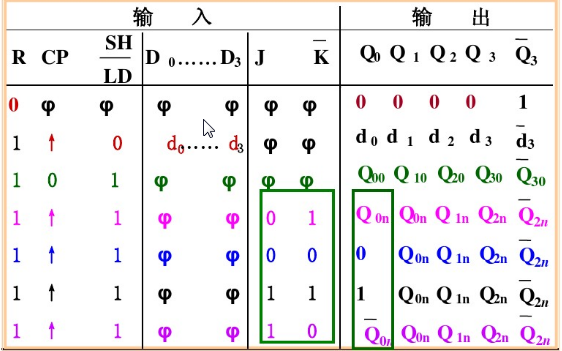
十一、分析下图所示的异步时序逻辑电路，写出时钟方程、驱动方程、状态方程，画出电路的状态转换表及状态转换图，检查电路能否自启动（15分）。



十二、分析下图电路的逻辑功能，要求有明确的分析步骤和过程，并画出状态转换图，判断能否自启动（15分）。



十三、分析如图电路，列出状态转换图，说明它的功能。其中74195为集成移位寄存器器，为移位和同步置数控制端，为异步清零端，J和为工作方式控制端，控制功能表如下。



十四、使用JK触发器设计一个按自然态序变化的7进制同步加法计数器，初始值为000，计数规则为逢七进一，产生一个进位输出，要求能够自启动。（20分）。

十五、分析如图所示电路的功能，写出驱动方程、状态方程和输出方程，画出状态转换图，分析电路功能，判断电路是否能够自启动（15分）。

