一、填空 10x1

1.在时间上和数值上均作连续变化的电信号称为 模拟 信号；在时间上和数值上离散的信号叫做 数字 信号。

2. 最基本的逻辑关系是 与 逻辑 、 或 逻辑和 非 逻辑。

3. A⊕B = ；A⊙B = 。

4.0；1。

5.寻址容量为256M× 16bit的RAM芯片，其地址线是\_28\_条；数据线是\_16\_条。

二、数制转换及计算 5x4

1.无符号数制转换（88）１０＝（1011000）２＝（130）8＝（58）１6

2．将将下列十进制数转换为5位二进制补码，并完成加法操作。若有溢出请指出：

（1）810 + 810 =（01000）２+ （01000）２=（正溢出）２

（2）-810 + -810 =（11000）２+ （11000）２=（10000）２

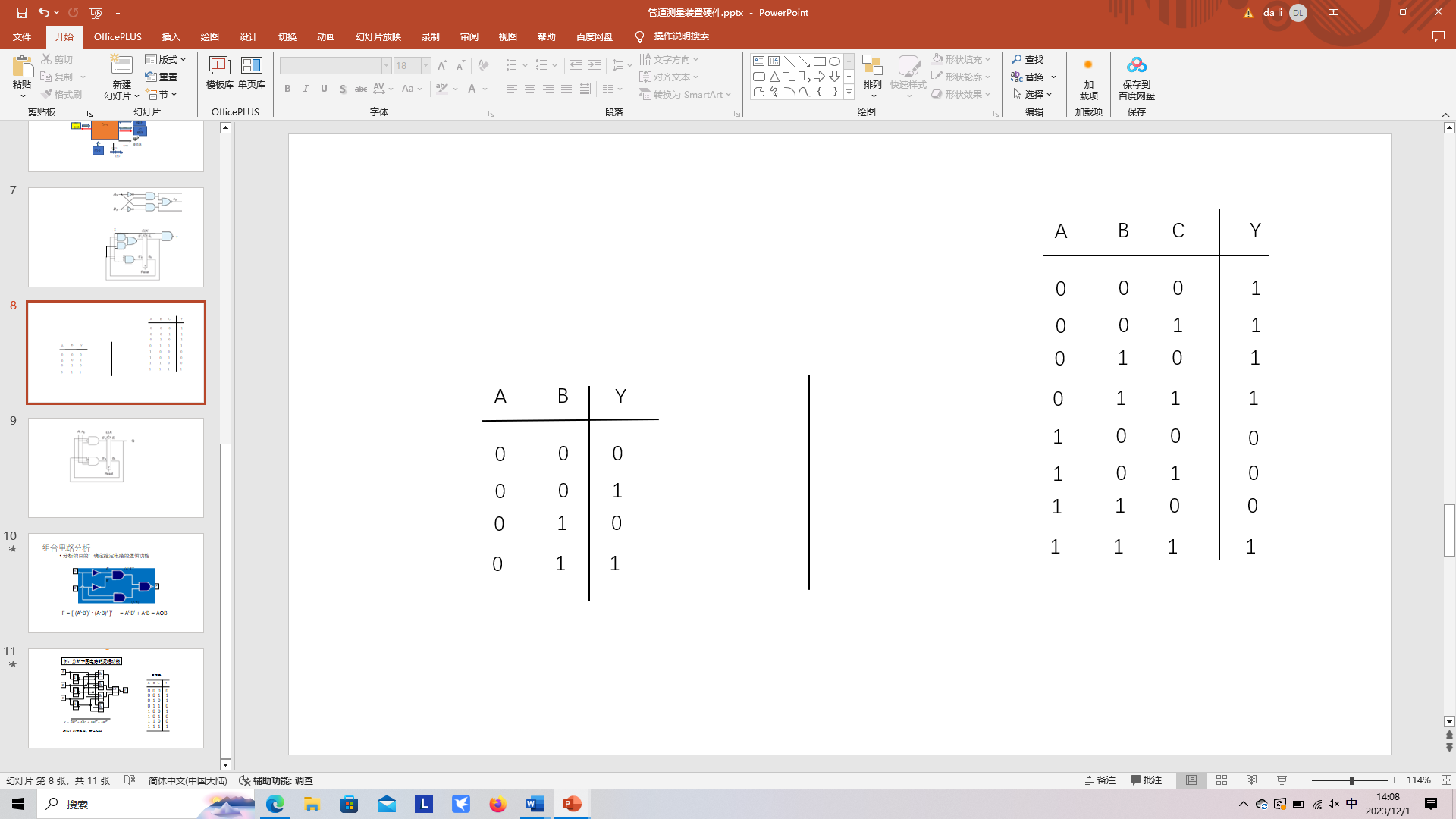
（3）-810 + 810 =（11000）２+ （01000）２=（00000）２

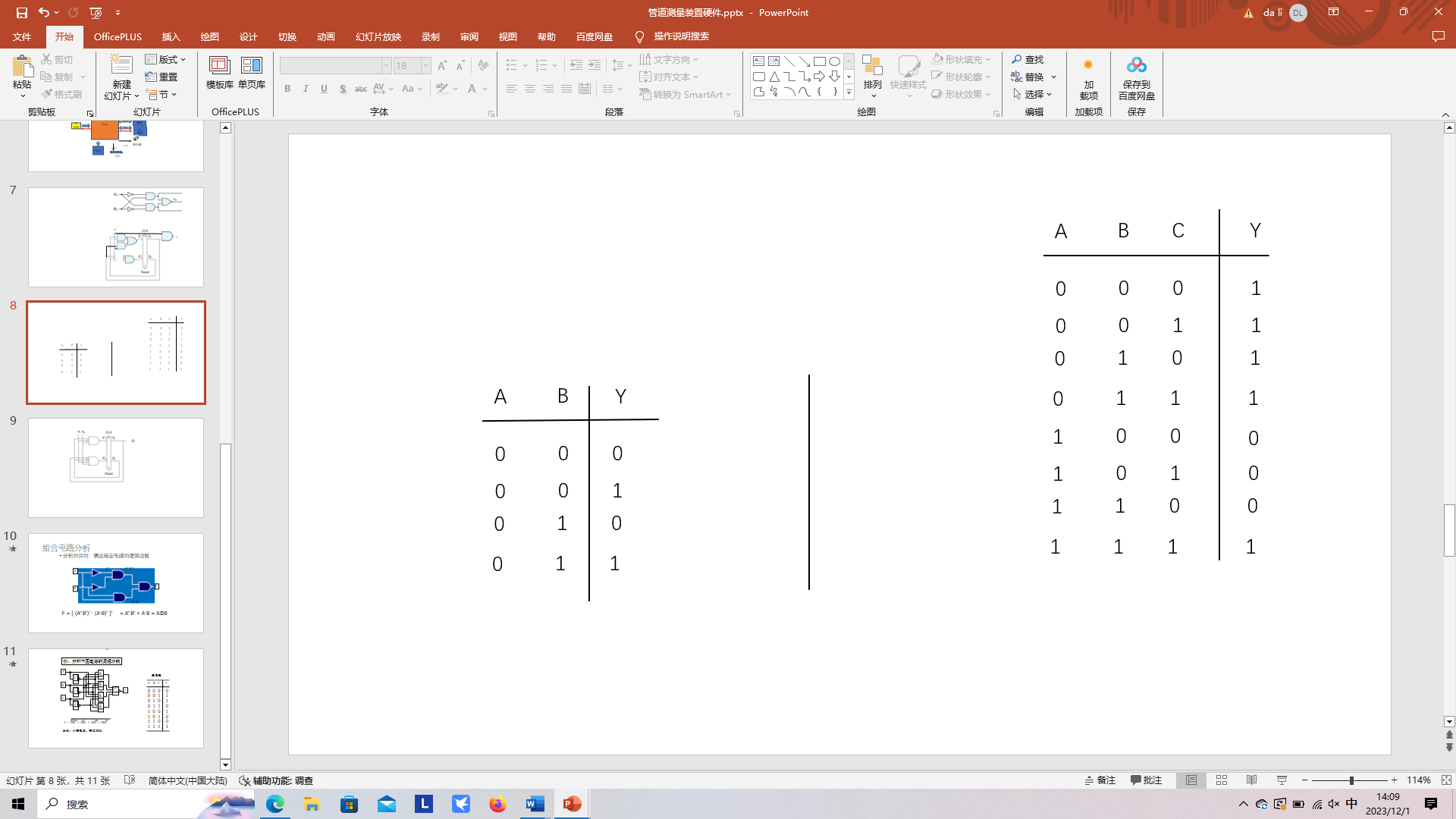
（4）-1210+ -510=（10100）２+ （11011）２=（负溢出）２

三、逻辑表达式及化简2x5

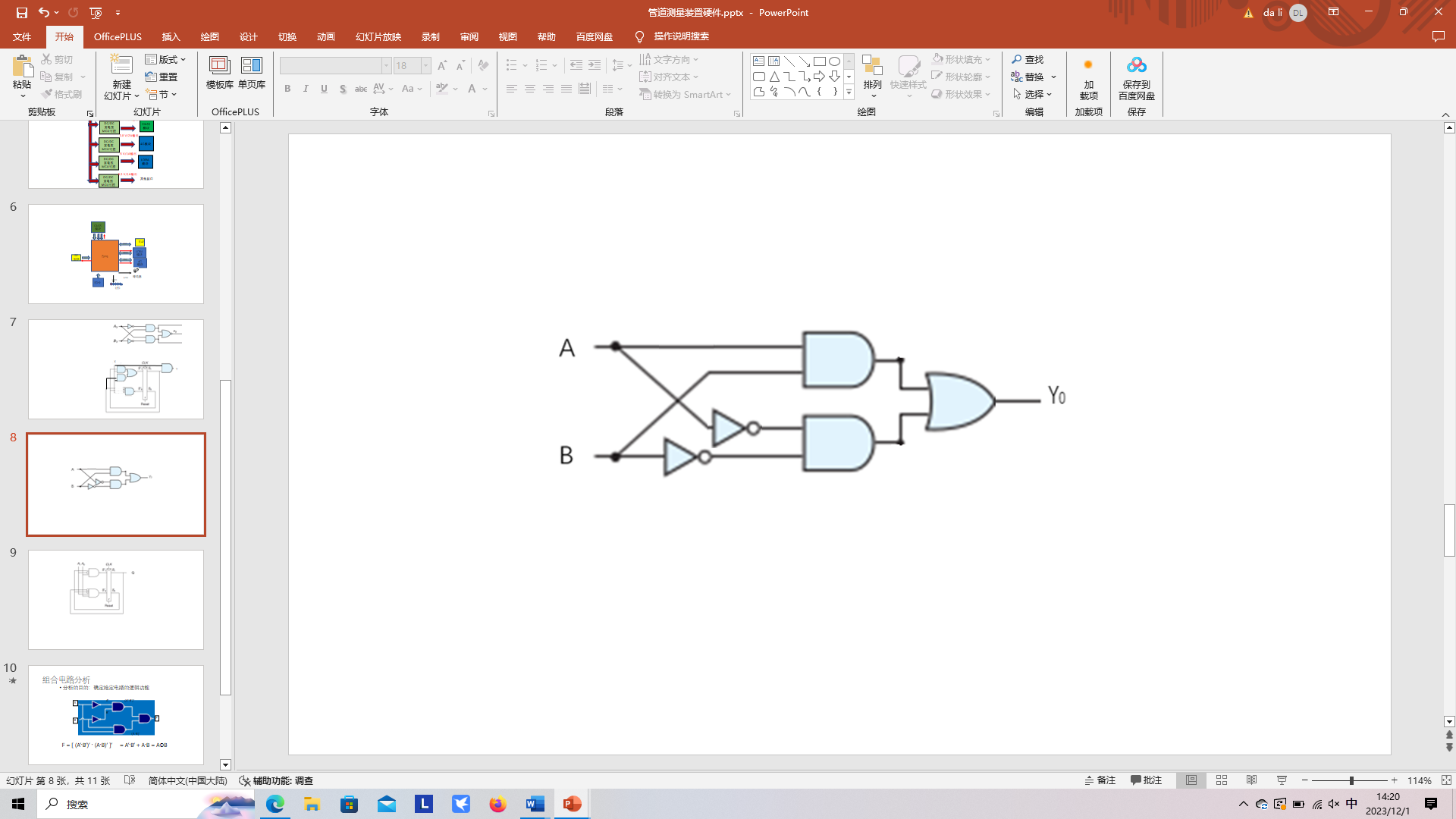
1. 使用真值表或卡诺图化简下列布尔表达式

（1）



（2）

四、组合电路分析 1x10



Y0=

同或电路，判偶电路

五，组合电路设计 1x10

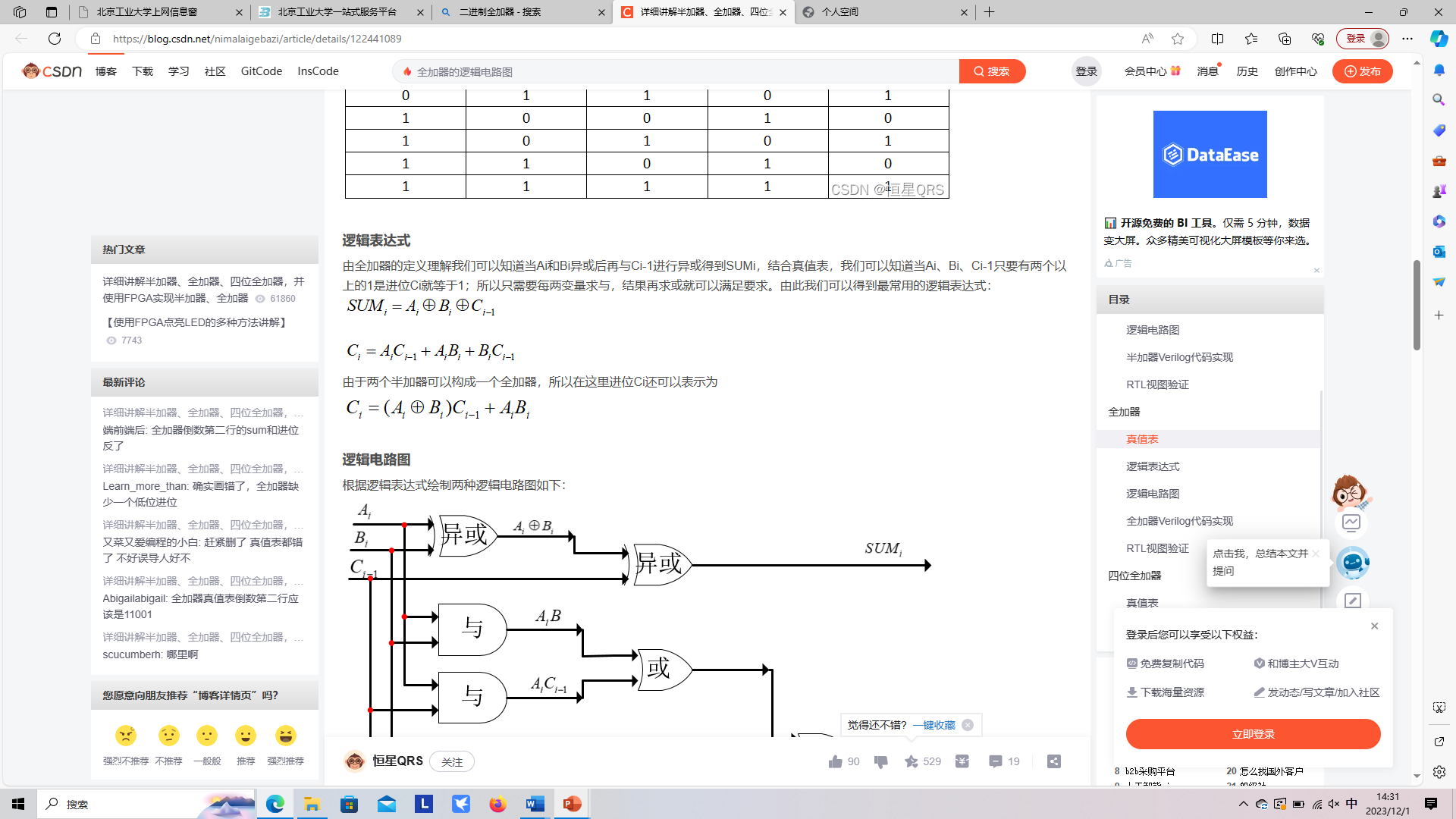
设计二进制全加器电路，其中A、B为被加数和加数，Ci-1为低进位；输出为结果位Sum和进位C。（15分）

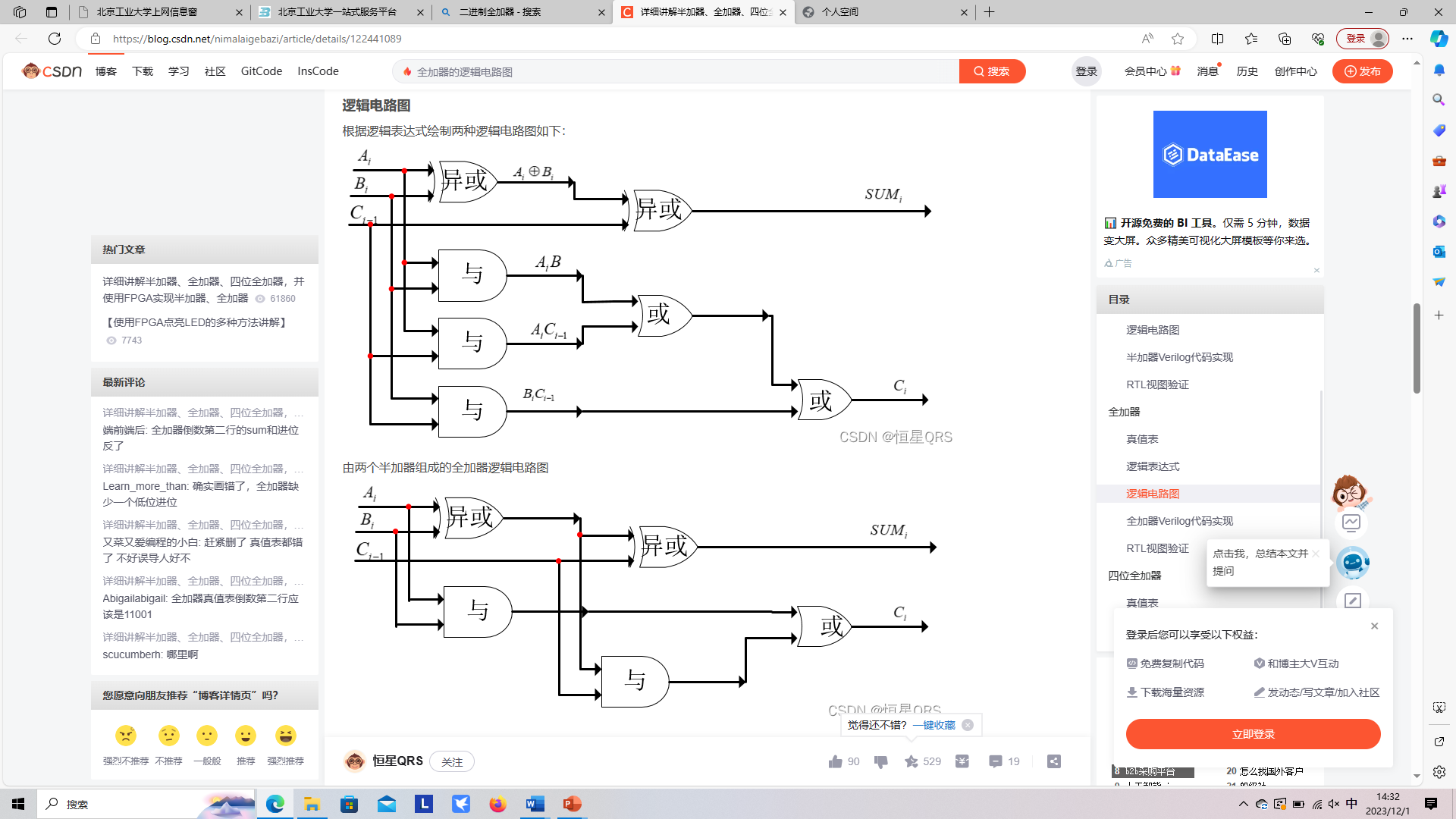
（1）写出真值表

（2）写出逻辑表达式并化简

（3）用门电路实现，画出逻辑图

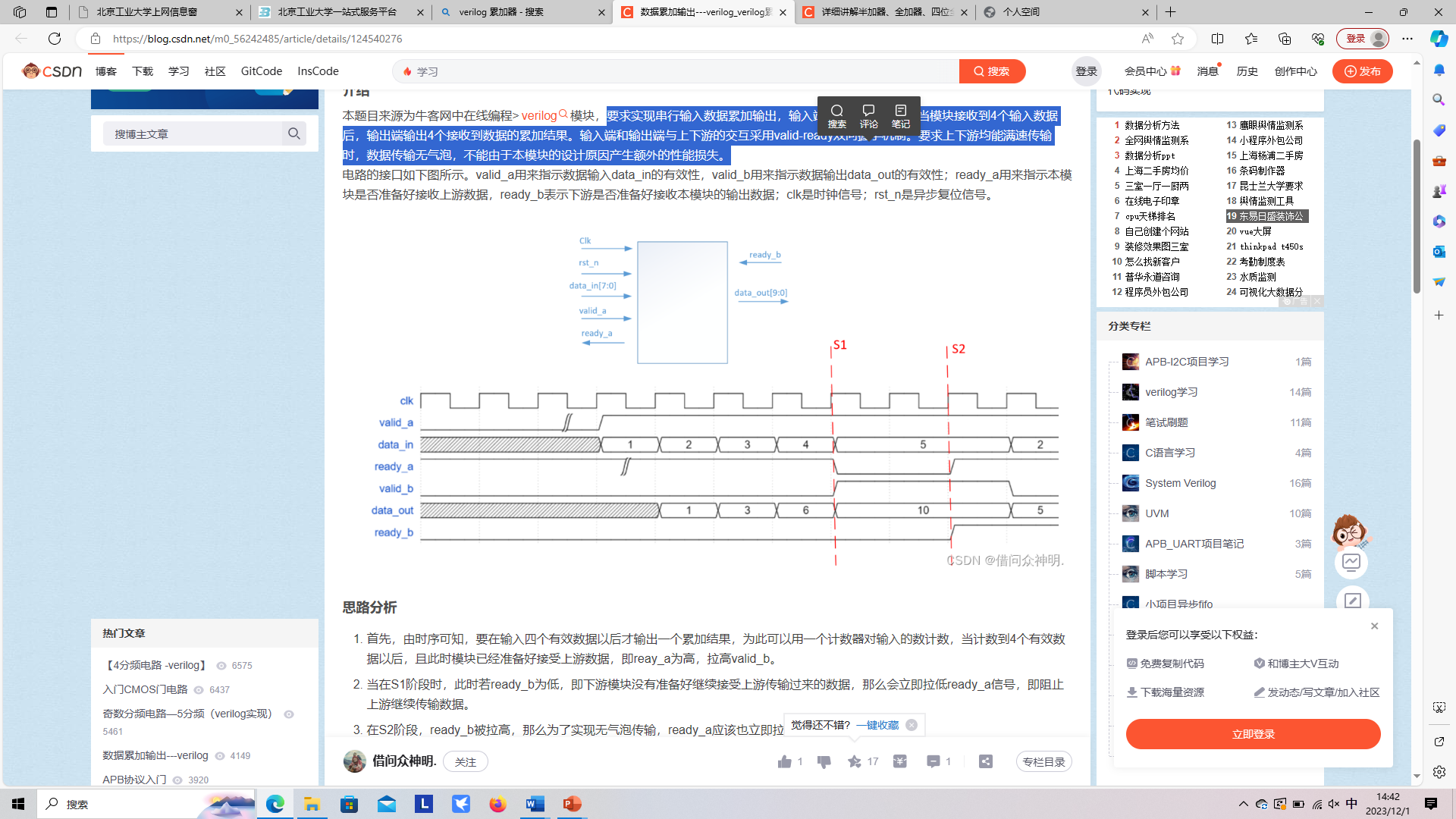
解：

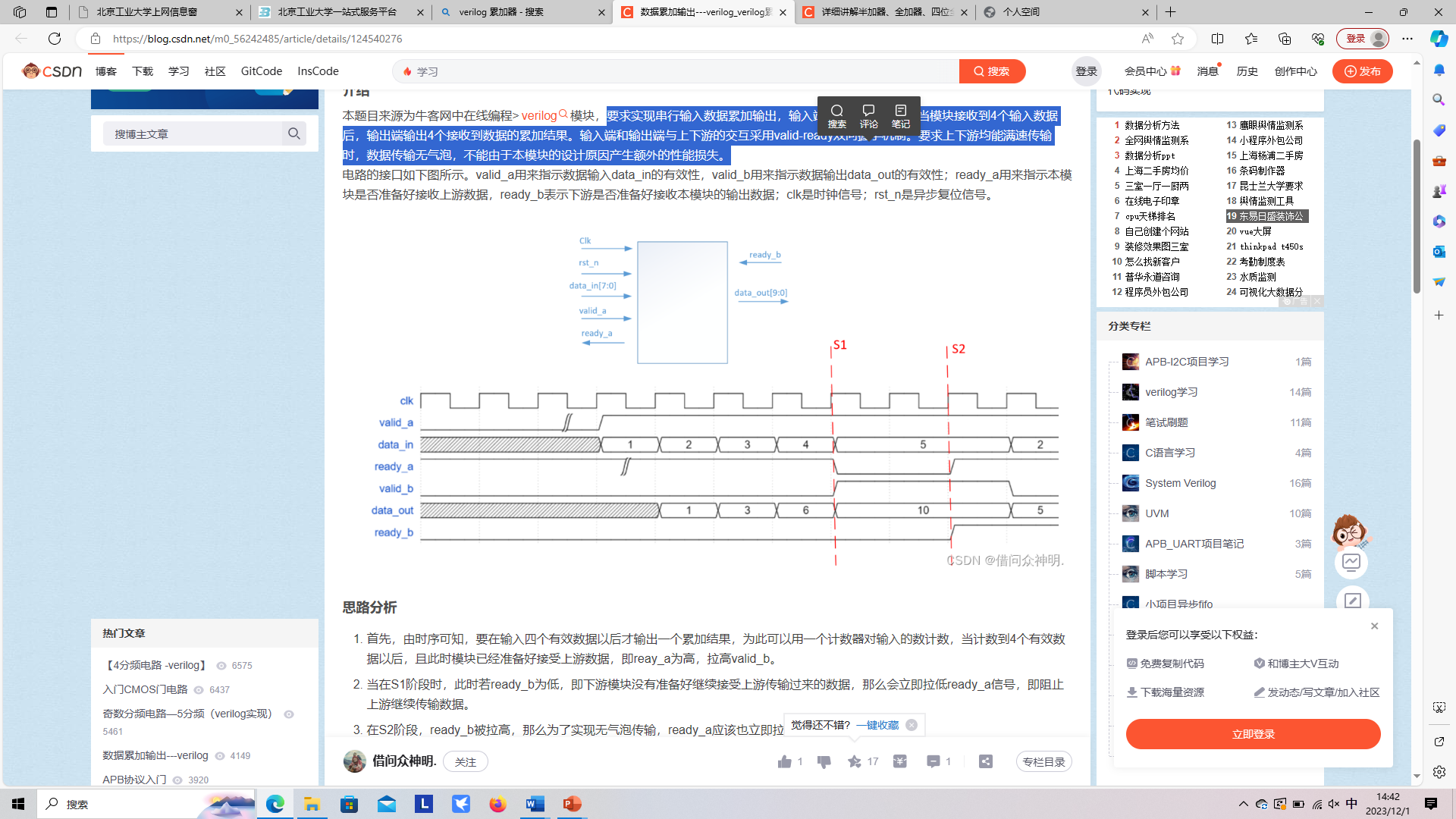
（2）

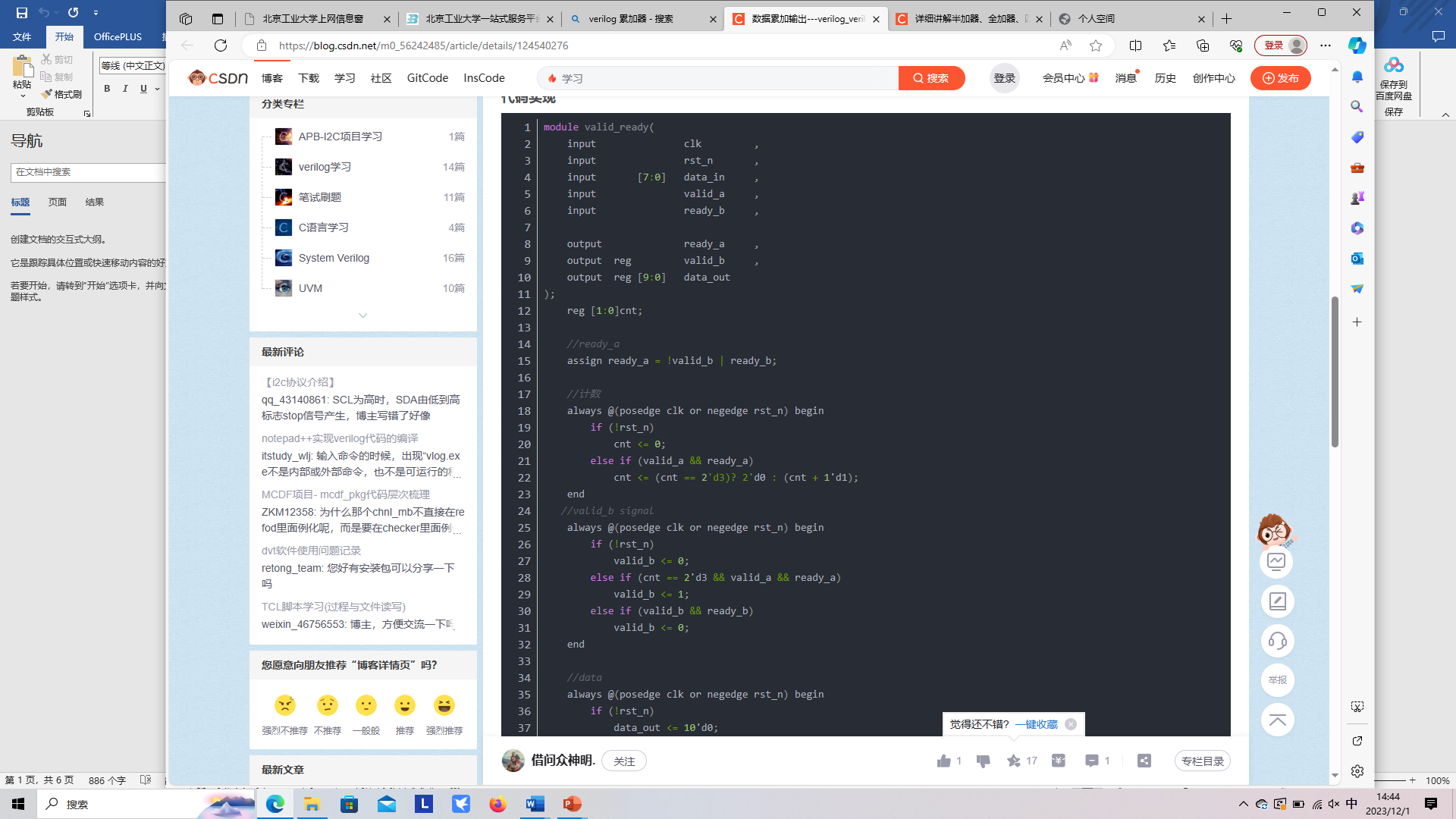


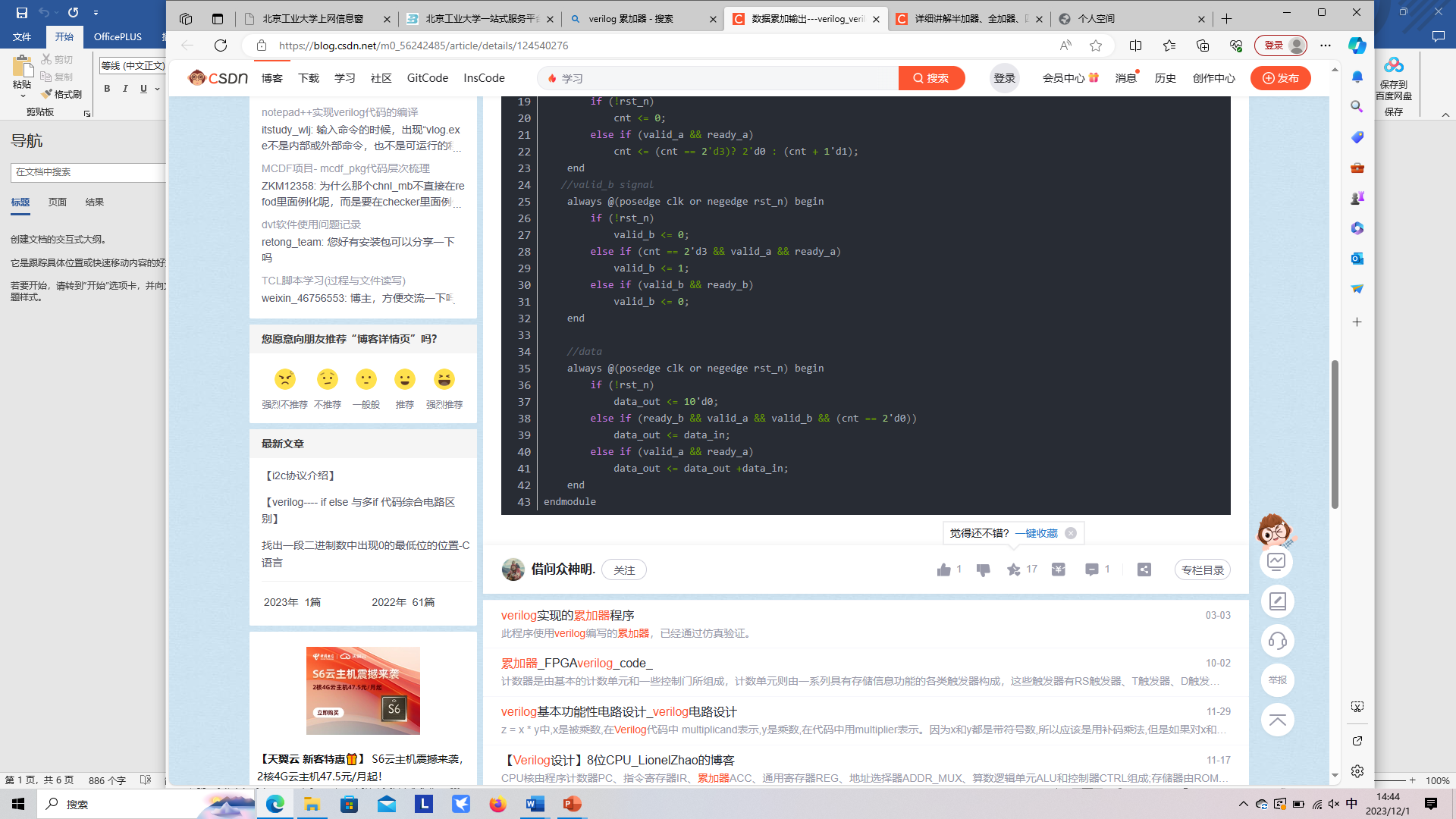
六、verilog编程设计 （1x10）

请设计实现累加器：串行输入数据累加输出，输入端8bit数据，每当模块接收到4个输入数据后，输出端输出累加结果。 电路接口和波形如图。

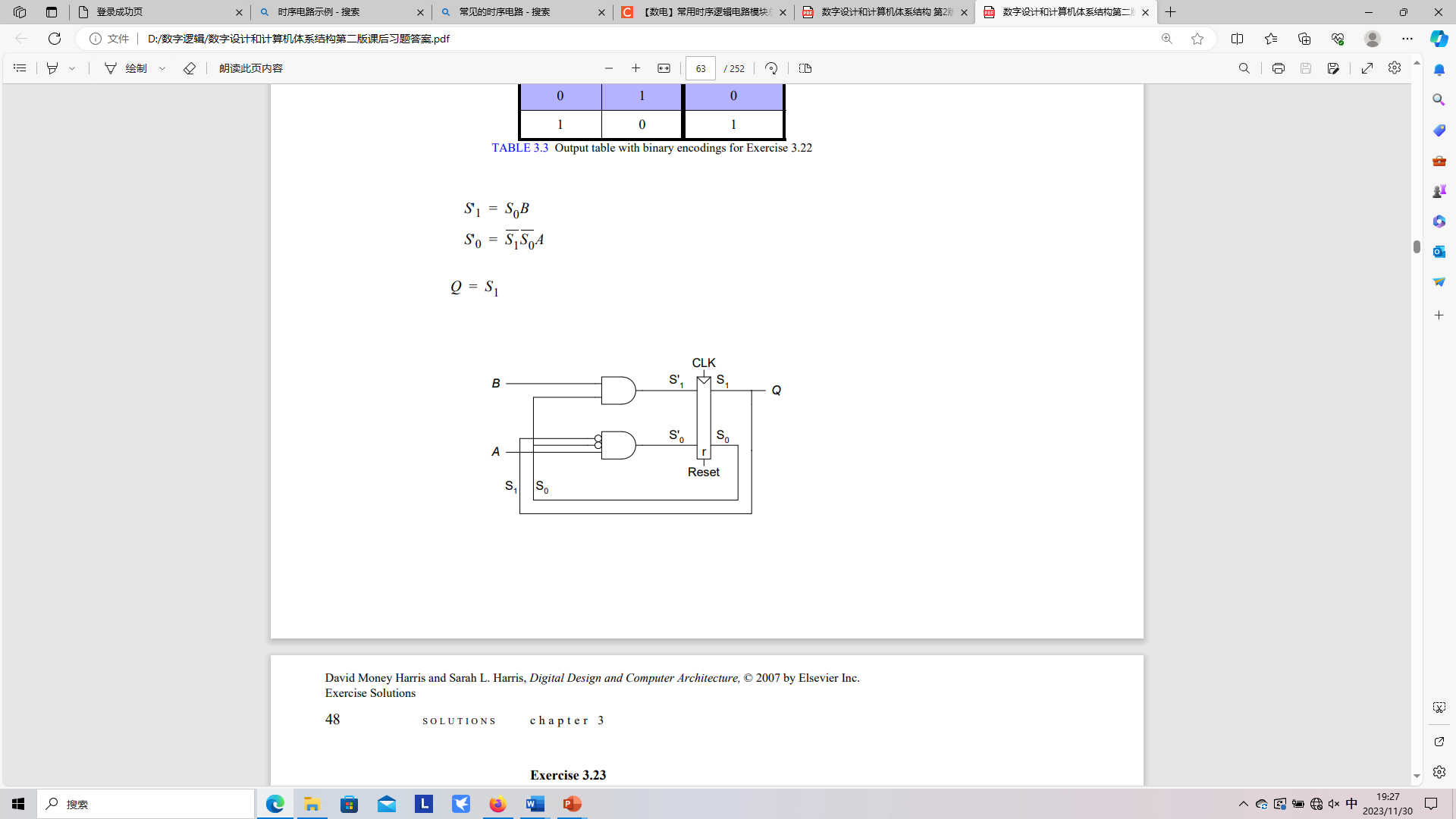


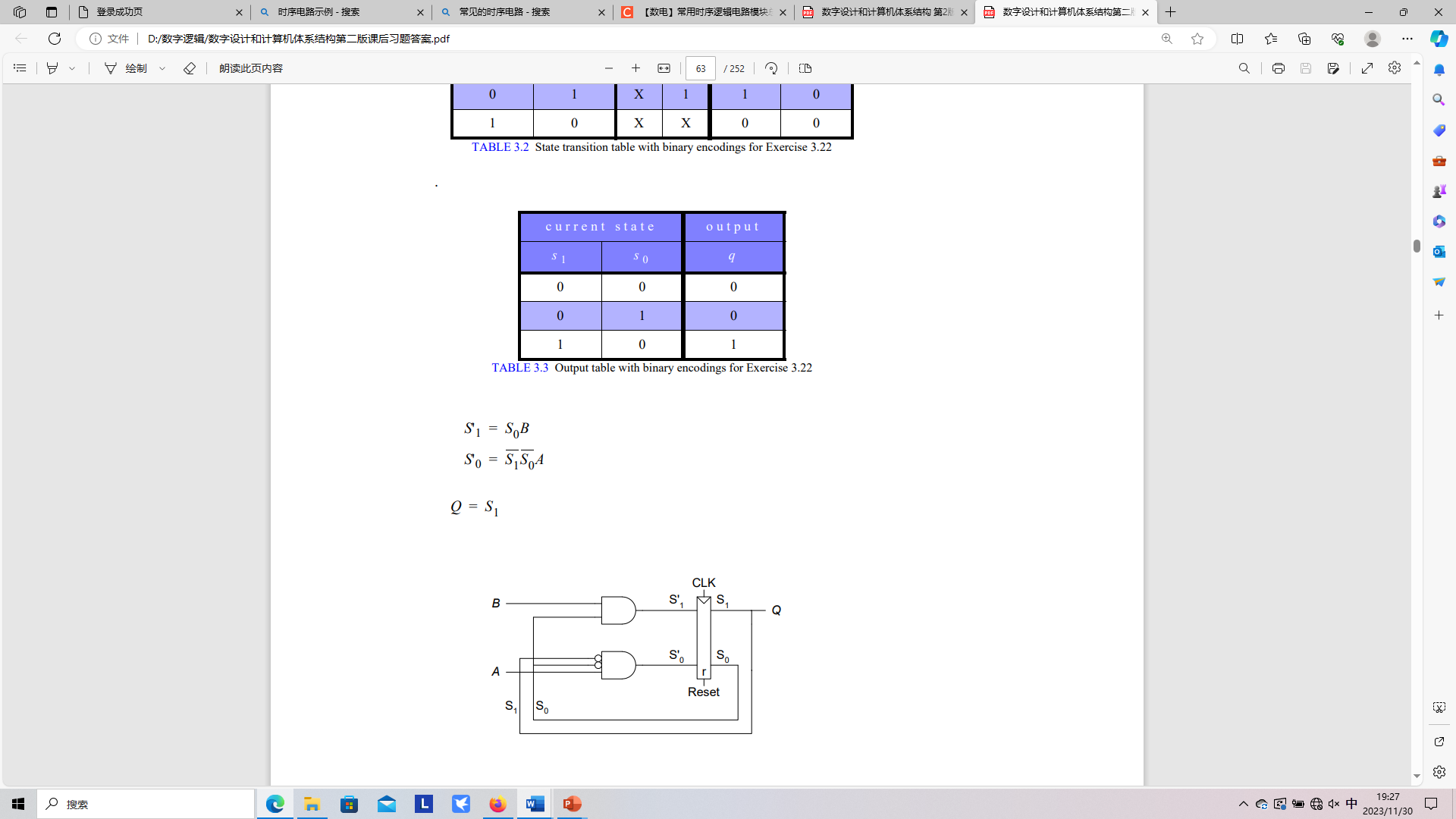


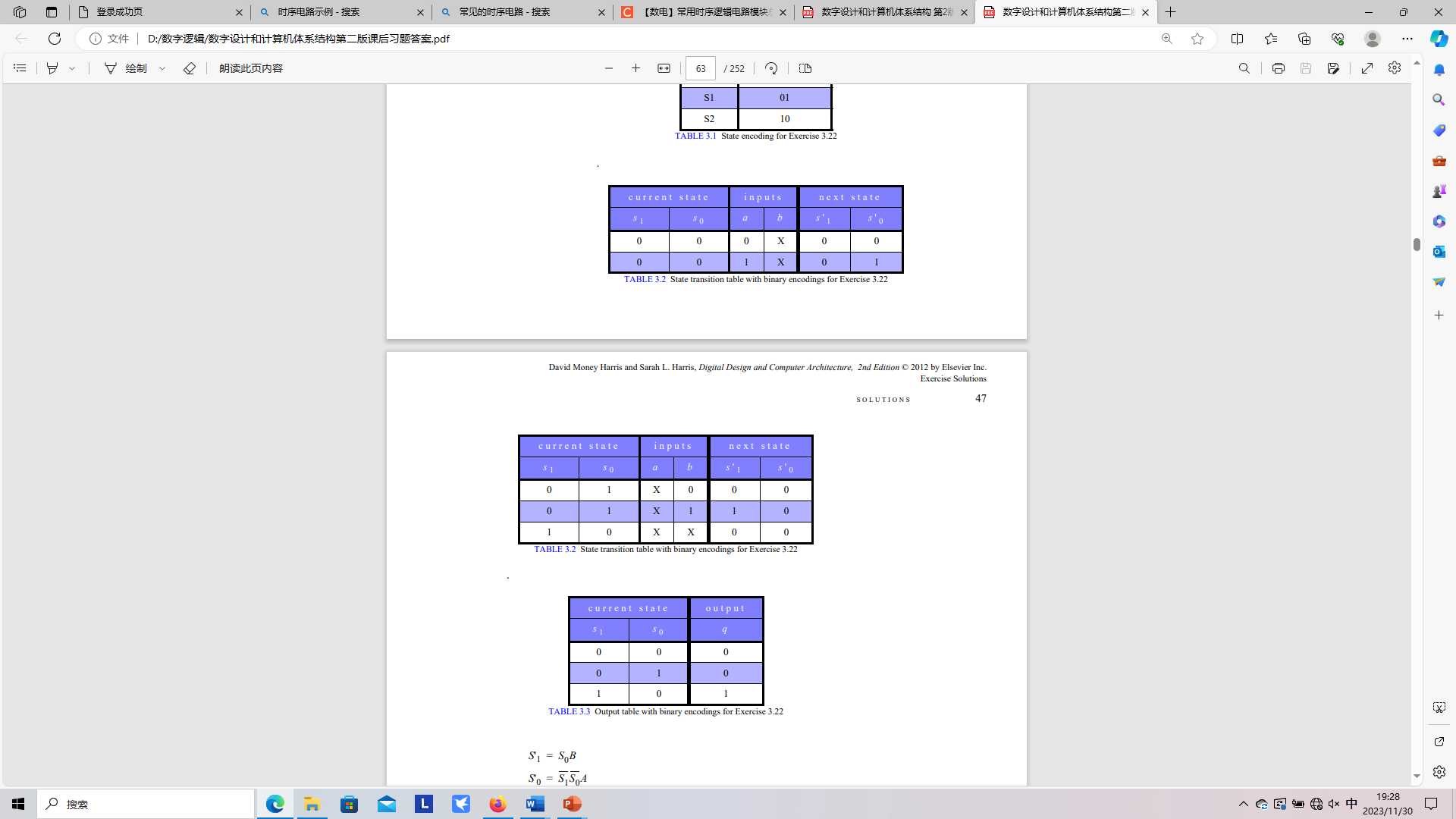


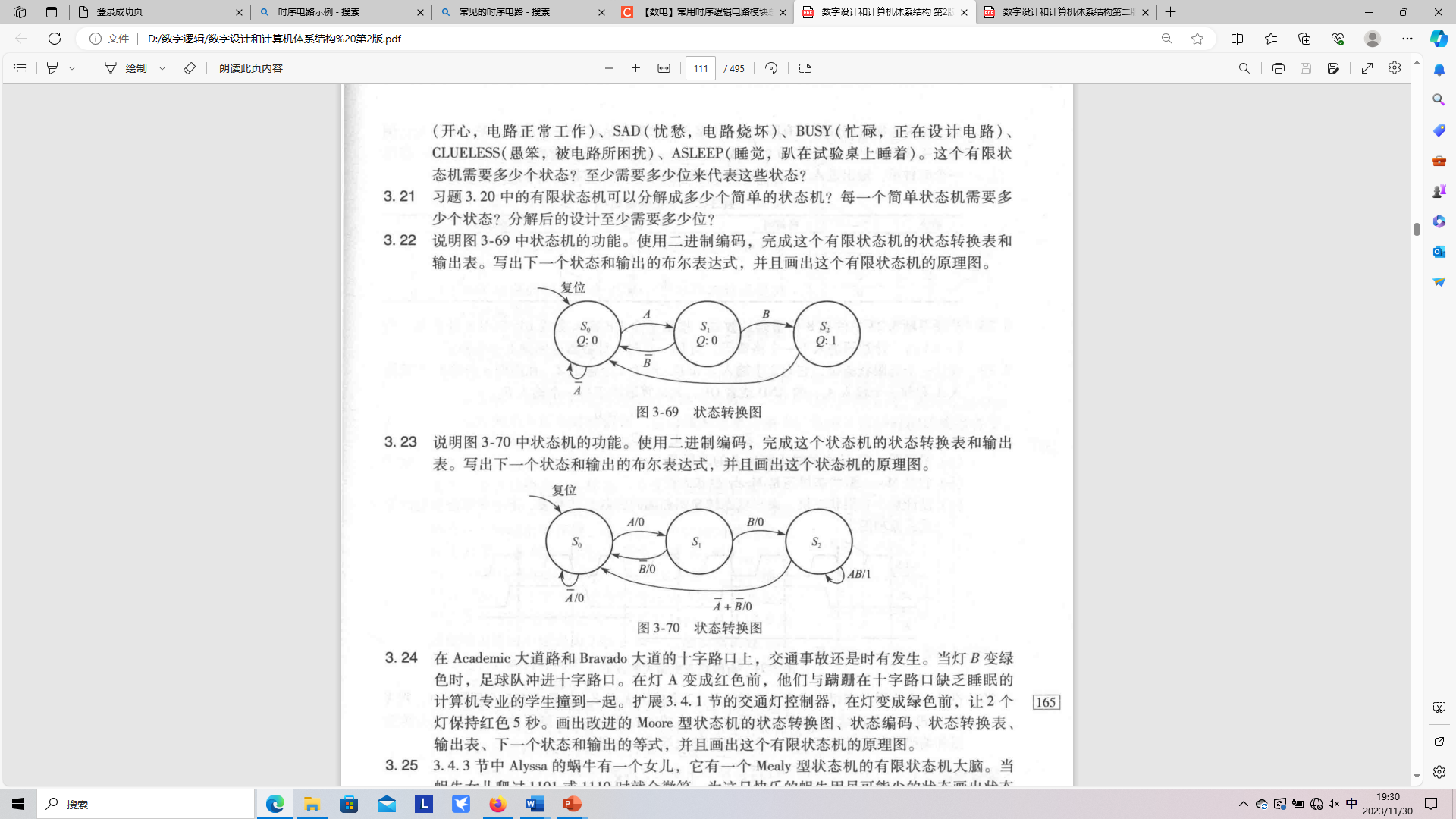


七、请分析以下时序电路（写出状态方程、状态表、状态图及电路功能）。 （1x15）









电路功能：连续输入A和B，解锁Q

八、时序电路设计。设计一个上升边沿检测器电路，在输入从0变成1后，在一个周期内输出应该为高电平。（状态图，状态表，状态方程，电路图）（1x15）



