一、填空 10x1

1.数字逻辑电路可以分为组合逻辑电路和时序逻辑电路。

2. 最基本的逻辑关系是 与 逻辑 、 或 逻辑和 非 逻辑。

3.具有“相异出1，相同出0”功能的逻辑门是 异或 门； A⊕1 = ；A⊕0 = A。

4.Moore型状态机的输出只与状态有关；Mealy型状态机的输出与状态以及输入有关。

5.寻址容量为2K× 8bit的RAM芯片，其地址线是\_11\_条；数据线是\_8\_条。

二、数制转换及计算 5x4

1.无符号数制转换（100）１０＝（1100100）２＝（144）8＝（64）１6

2．将将下列十进制数转换为5位二进制补码，并完成加法操作。若有溢出请指出：

（1）610 + 810 =（00110）２+ （01000）２=（01110）２

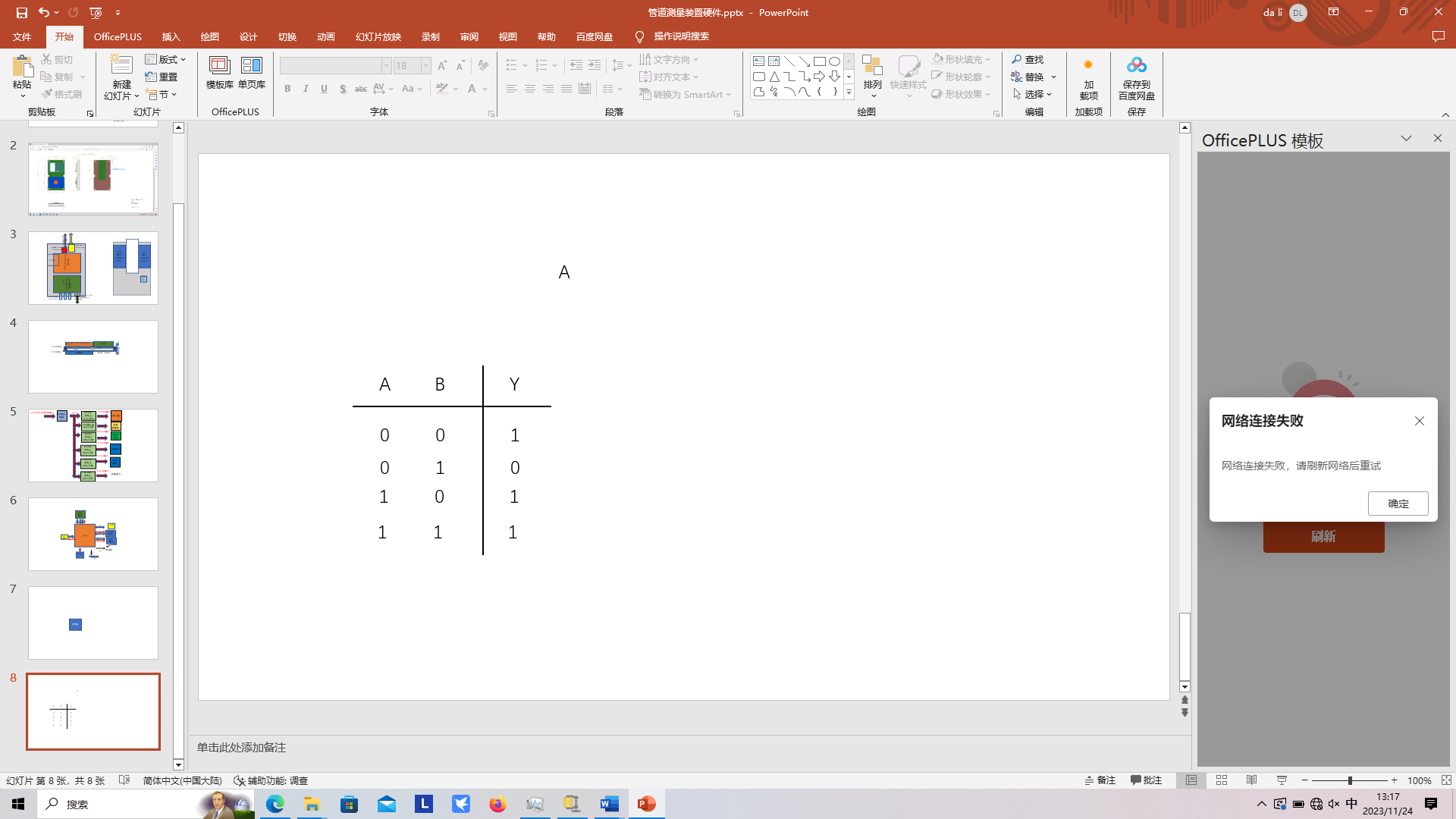
（2）-610 + 1510  =（11010）２+ （01111）２=（01001）２

（3）1210 + 610 =（01100）２+ （00110）２=（正溢出）２

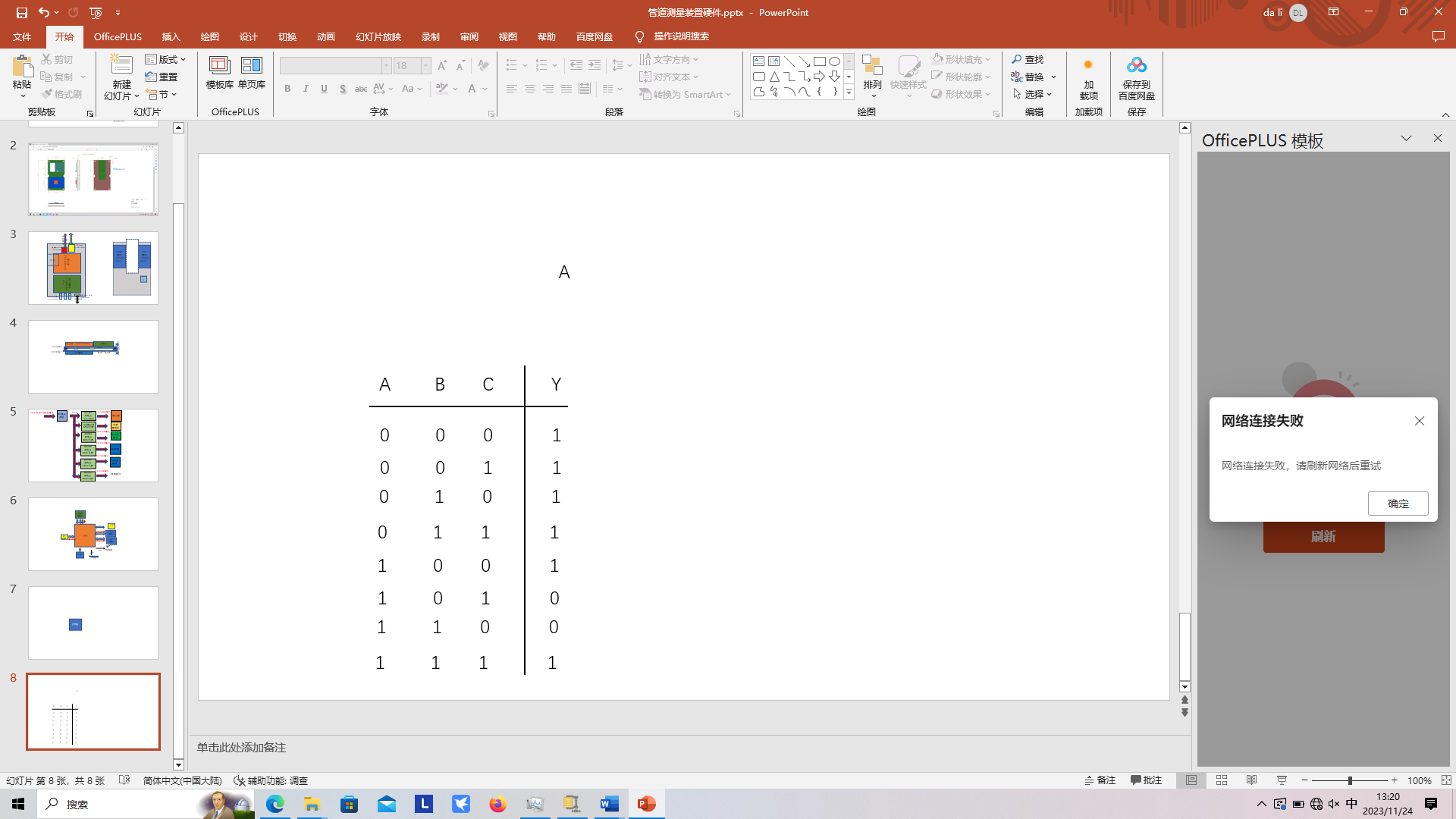
（4）-1210+ -610=（10100）２+ （11010）２=（负溢出）２

三、逻辑表达式及化简2x5

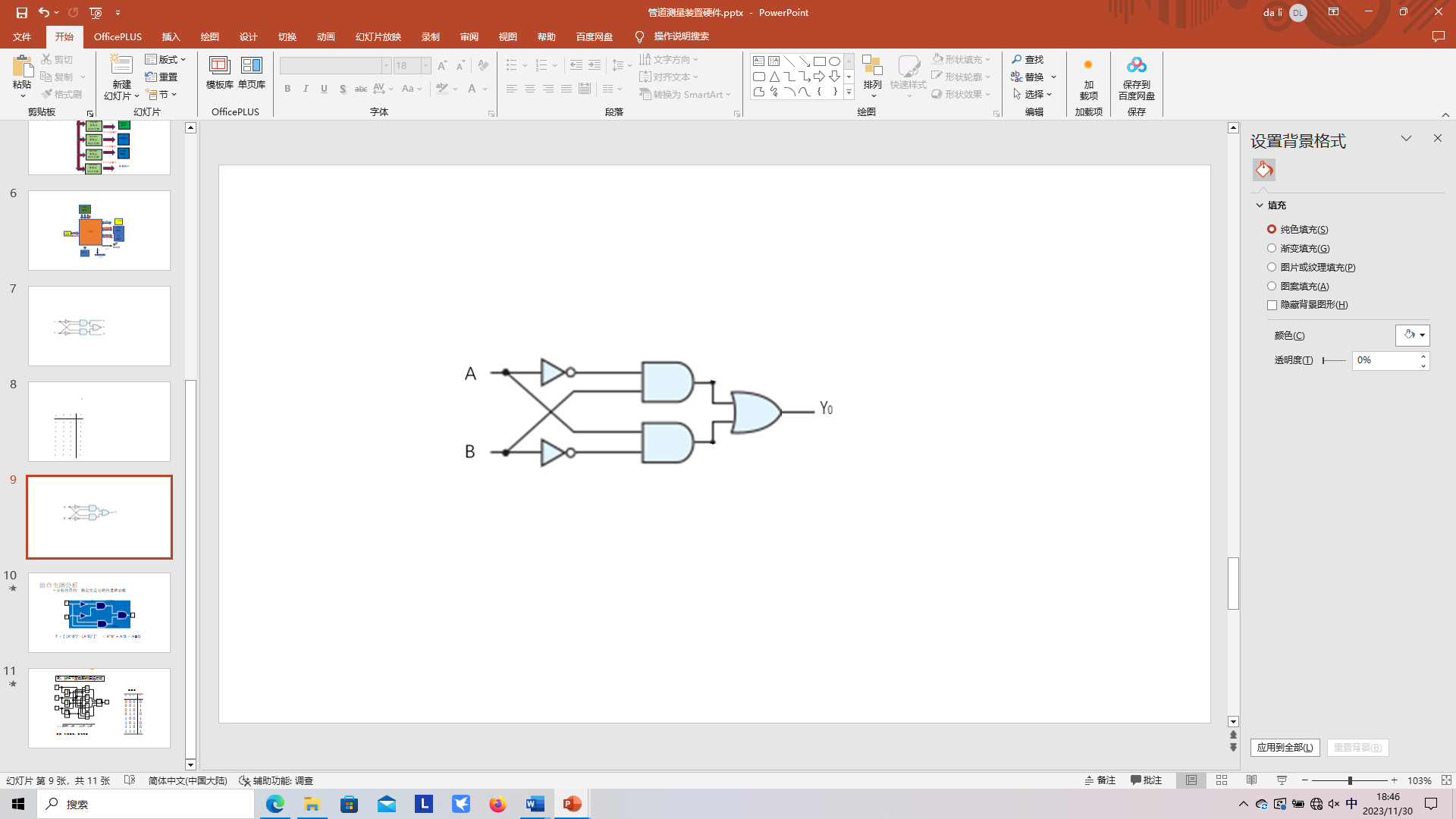
1. 使用真值表或卡诺图化简下列布尔表达式

（1）



（2）

四、组合电路分析 1x10



Y0=

异或电路，判奇电路

五，组合电路设计 1x10

某工厂有ABC三个车间和一个自备电站，站内有两台发电机X和Y，Y的发电能力是X的两倍。如果一个车间开工，只启动X即可，如果两个车间同时开工，只启动Y即可，如果三个车间同时开工，则X和Y都要启动。请设计一个电路，此电路可由车间开工控制发电机启动和停止。（15分）

（1）写出真值表

（2）写出逻辑表达式并化简

（3）用门电路实现，画出逻辑图

解：（1）设三个车间分别为输入变量A、B、C，车间开工设“1”，停工设“0”；X和Y启动时为“1”，未启动为“0”。画出相应真值表如下：

|  |  |  |
| --- | --- | --- |
| A B C | X | Y |
| 0 0 0 | 0 | 0 |
| 0 0 1 | 1 | 0 |
| 0 1 0 | 1 | 0 |
| 0 1 1 | 0 | 1 |
| 1 0 0 | 1 | 0 |
| 1 0 1 | 0 | 1 |
| 1 1 0 | 0 | 1 |
| 1 1 1 | 1 | 1 |

（2）

（3）

1

A

1

B

1

C

&

X

&

&

&

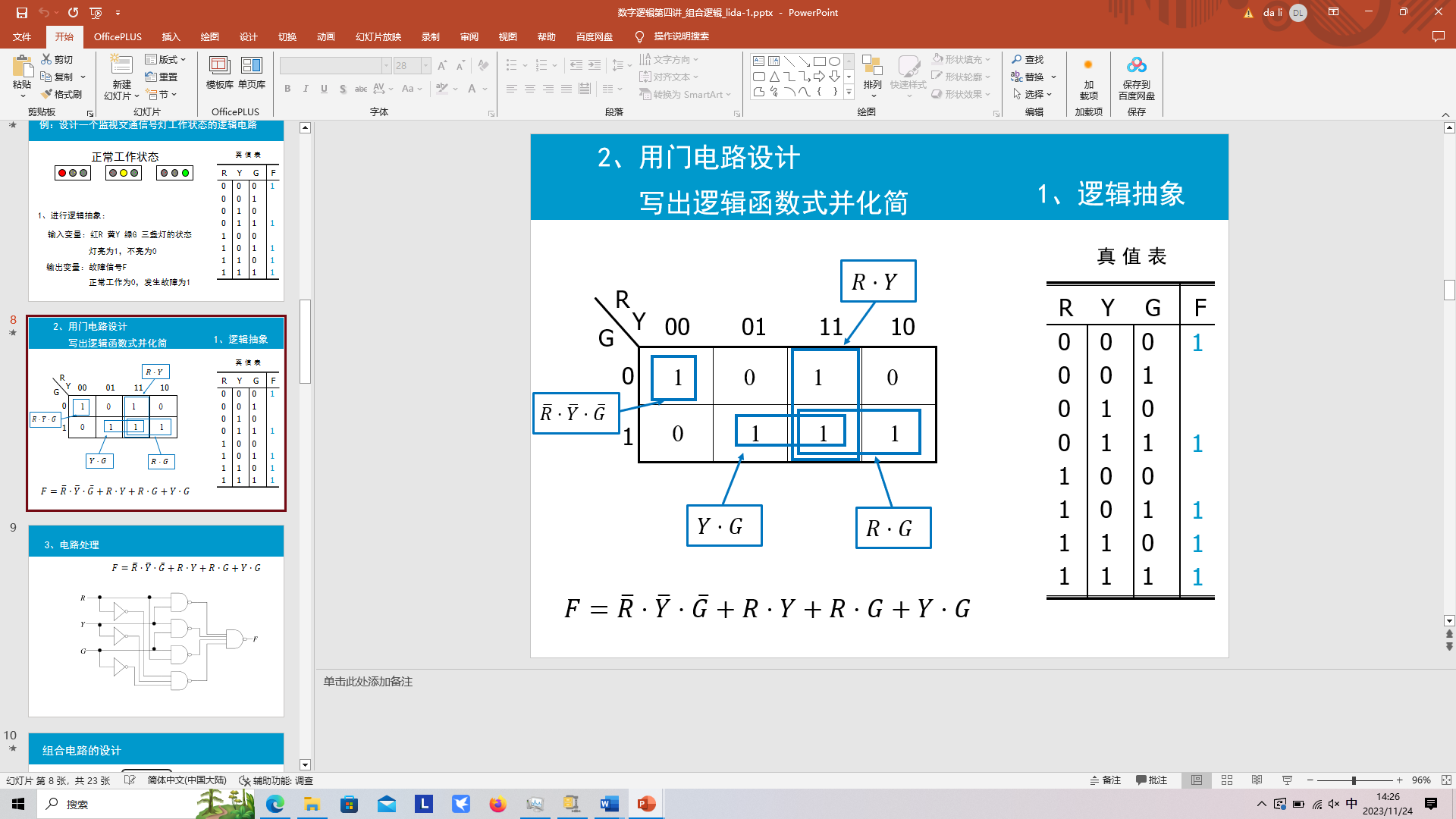
&

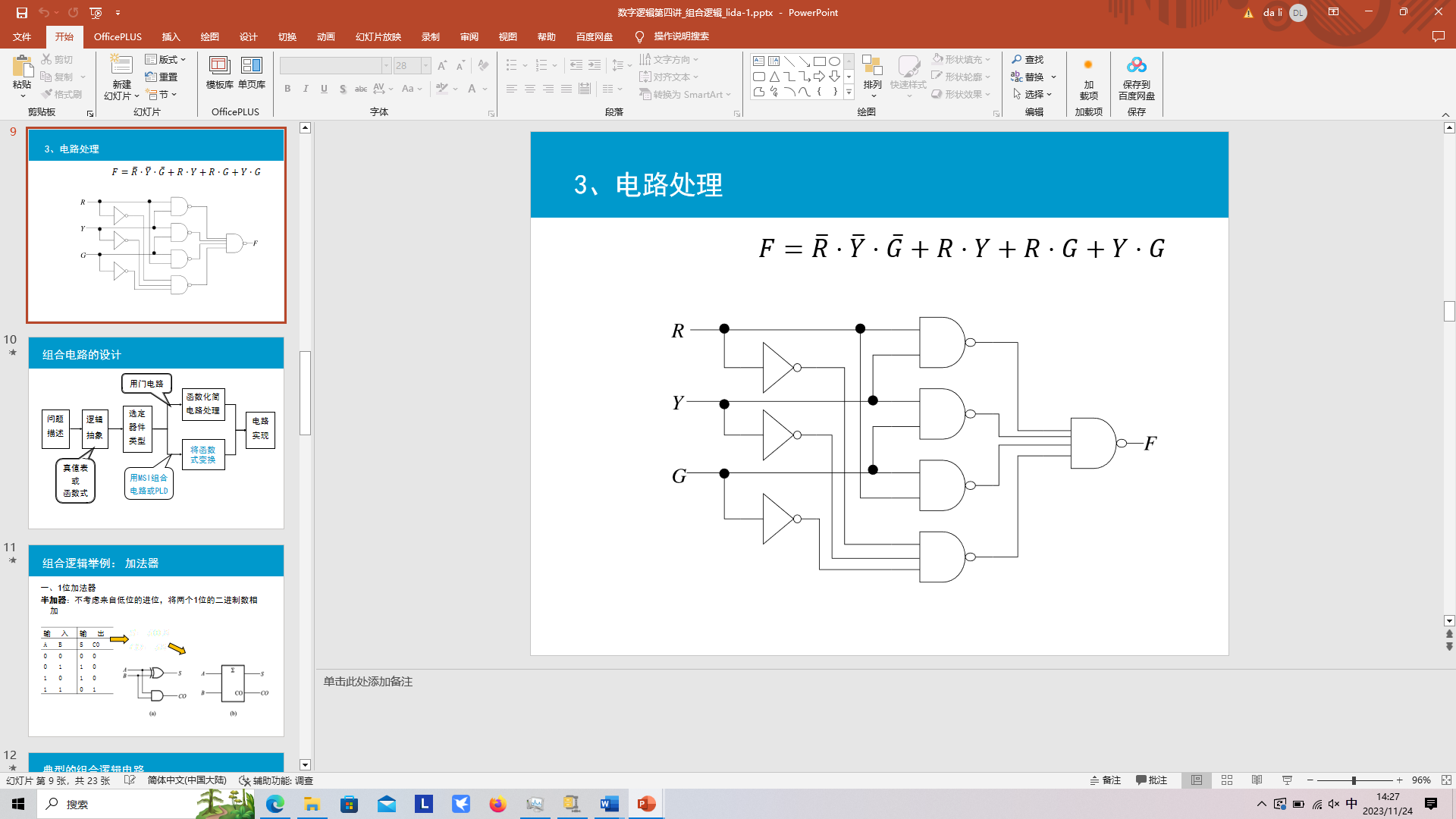
&

≥1

Y

≥1





六、verilog编程设计 （1x10）

请用D触发器设计一个输出4分频的50%占空比的时钟分频器。

输入描述：输入信号clk，rst\_n

输出描述：输出信号clk\_out4

答案：

`timescale 1ns/1ns

module even\_div

(

input wire clk,

inout wire rst\_n,

output wire clk\_out4

);

reg [2:0] cnt;

always@(posedge clk or negedge rst\_n)

begin

if(~rst\_n)

cnt<=3'b011;

else

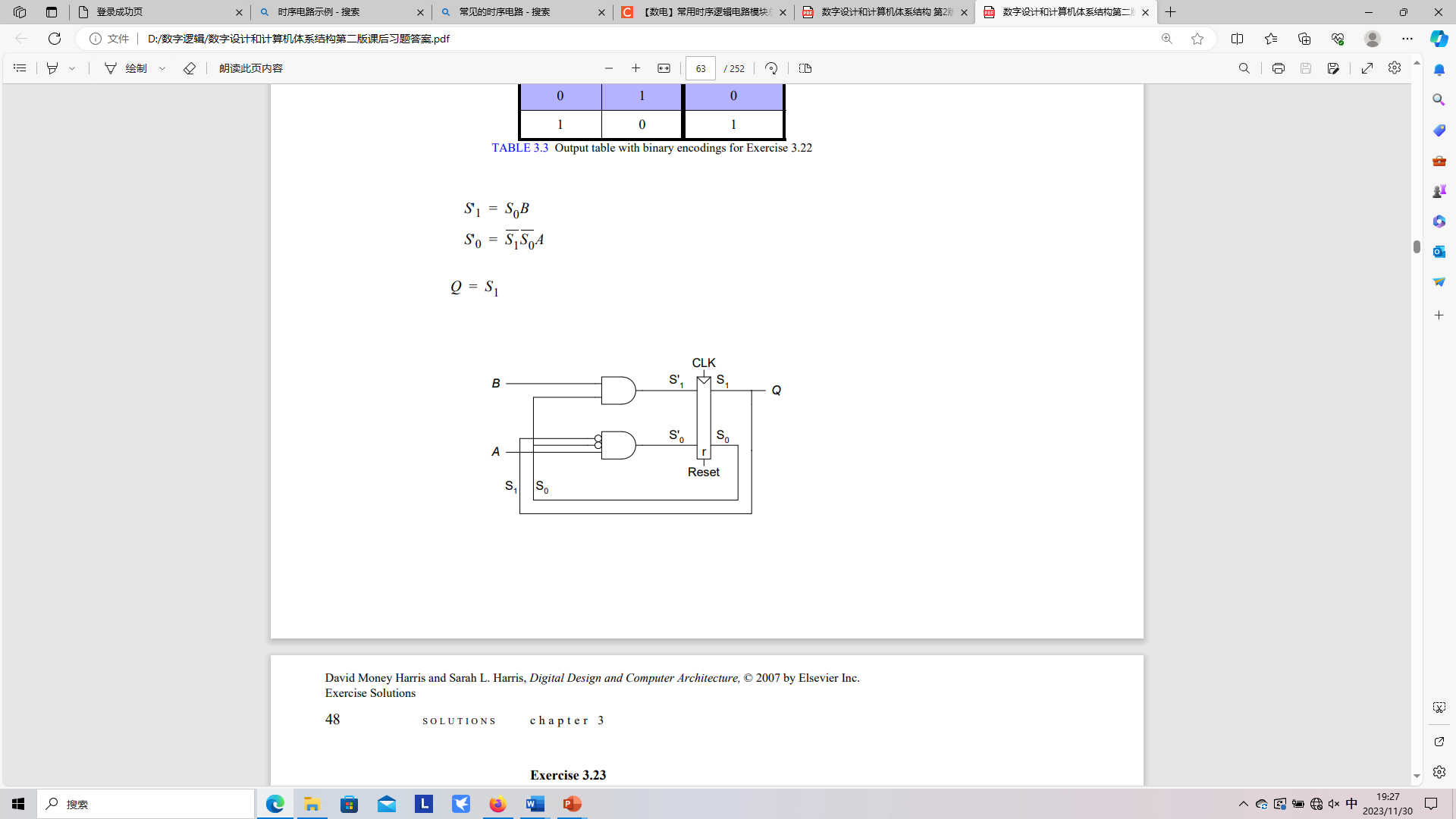
cnt<=cnt+1;

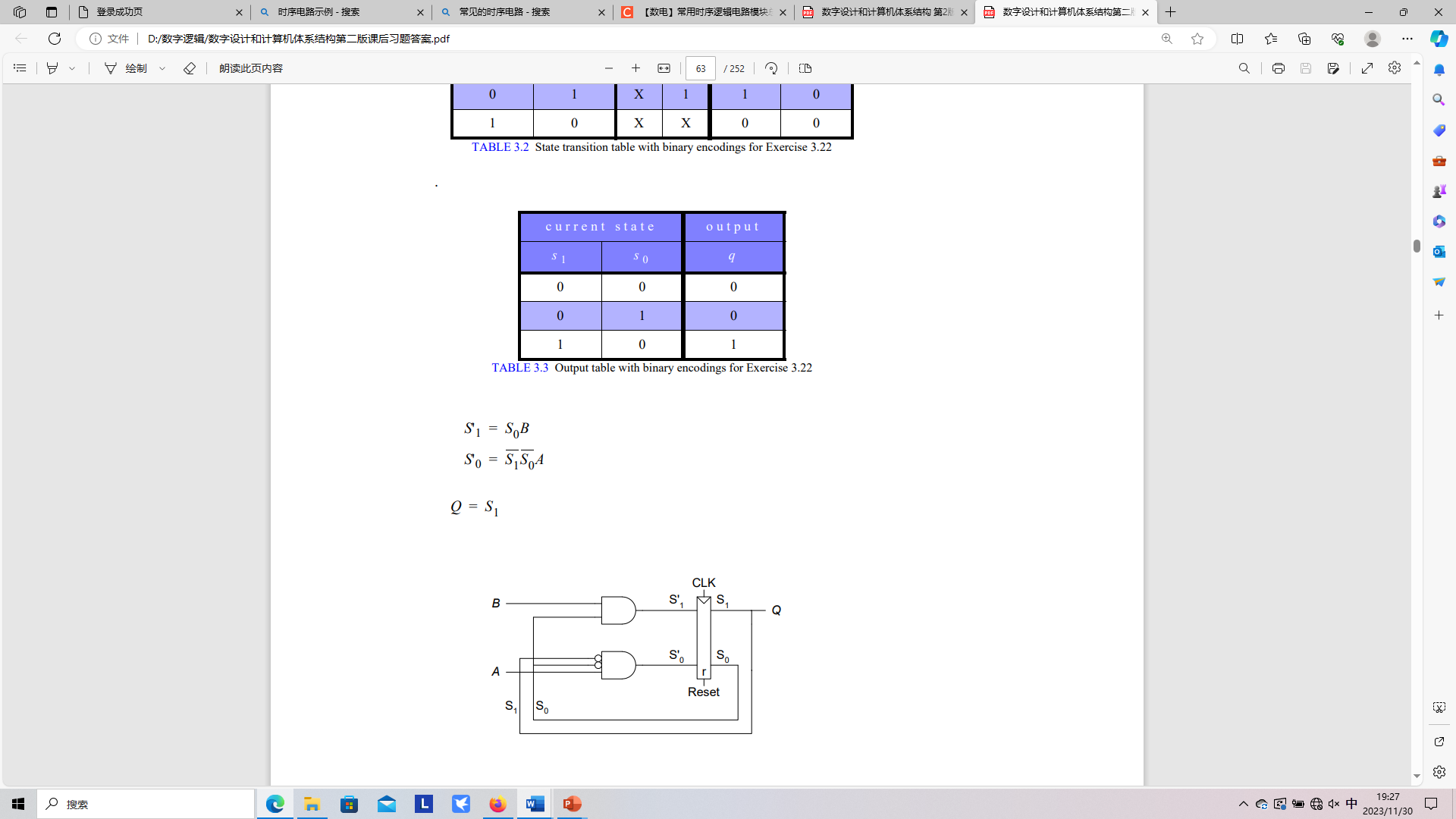
end

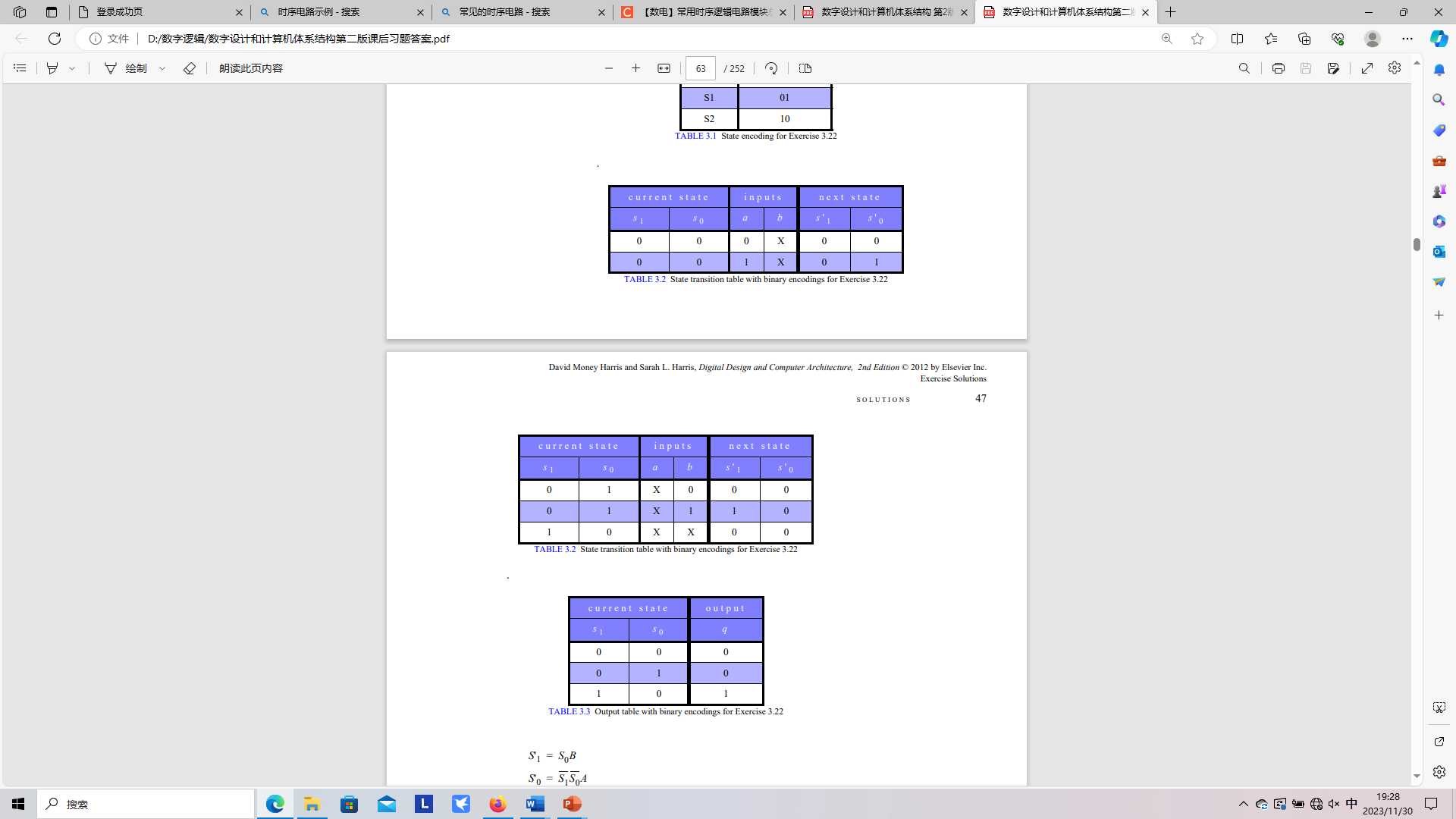
assign clk\_out4=~cnt[1];

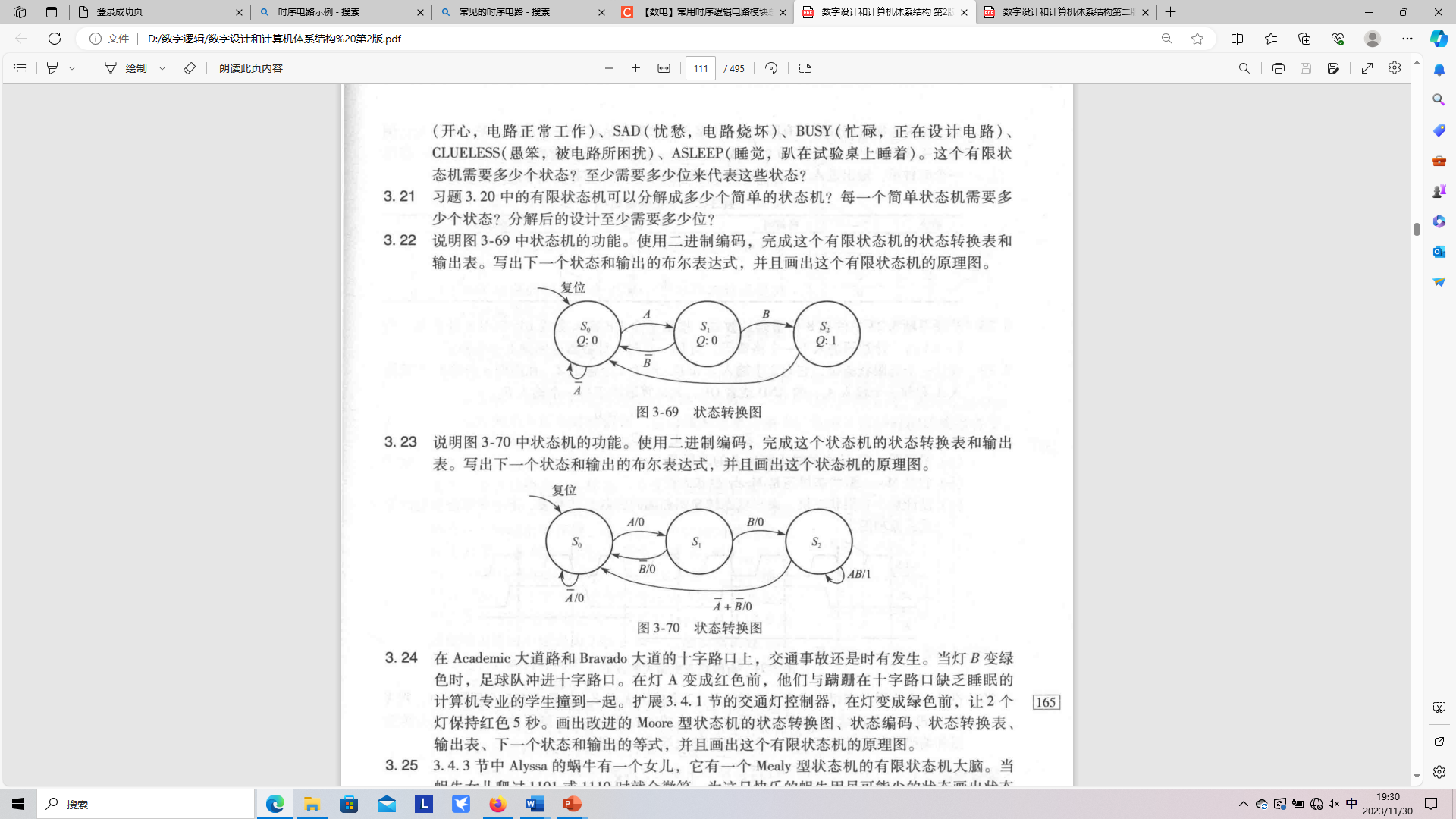
endmodule

七、请分析以下时序电路（写出状态方程、状态表、状态图及电路功能）。 （1x15）









电路功能：连续输入A和B，解锁Q

八、时序电路设计。设计一个输入检测器电路，连续输入三个及以上1输出1，否则输出0。（状态图，状态表，状态方程，电路图）（1x15）

