

OPL1x00

ULTRA-LOW POWER 2.4GHZ WI-FI + BLUETOOTH SMART SOC

HDK 开发指南



OPULINKS

<http://www.opulinks.com/>

Copyright © 2024, OpuLinks. All Rights Reserved.

錯誤：無法識別文件摘要資訊名稱。

● 錯誤：無法識別文件摘要資訊名稱。

版本纪录

Date	Version	Contents Updated
04/04/2018	0.1	<ul style="list-style-type: none">Initial Release
04/23/2018	0.2	<ul style="list-style-type: none">Updated Chapters “電源走線和電源去耦 DC power trace layout and decoupling” and “晶振和閃存 CRYSTAL & FLASH” for better understandingModified the following figures: RF 晶振電路、RF 外部 Flash 與 Mode_strap 共用腳電路、IoT 母板參考電路、IoT 子板參考電路Added Chapter “开发设置 Development Setup”
06/30/2018	0.3	<ul style="list-style-type: none">Updated for new package
08/04/2018	0.4	<ul style="list-style-type: none">Updated schematic and layout file
09/30/2018	0.5	<ul style="list-style-type: none">Updated schematic and layout file
10/10/2018	0.6	<ul style="list-style-type: none">Updated schematic and layout file
02/13/2020	0.7	<ul style="list-style-type: none">Updated schematic and layout file第七章更新为”晶振和閃存 CRYSTAL & FLASH” for better understanding”，将 mode strap 移除第三章管脚功能描述修改第三章 GPIO6 增加备注描述第五章修改内容描述第六章修改内容描述第八/九章母版修改为底板，及内容描述
05/29/2024	1.0	<ul style="list-style-type: none">Updated Schematic and IC pin layoutAdd layout noteAdd Package Diagram of OPL1x00 module

旺凌雙核雙模主推超低功耗，藍牙與 Wi-Fi 同連接使用場景，SoC 架構與電路設計與市場上單模藍牙/Wi-Fi 或是高功耗雙系統雙模競品不同。不管是在模塊設計或應用上的軟體開發，請遵守旺凌提供的開發指南與應用範例。客戶過去的經驗不一定適用於旺凌也不是因為旺凌 SoC 過於敏感而是因為功耗與性能本是設計上的取捨不能完全兼顧。如果一定要有不同，請聯繫旺凌做支持避免浪費時間與資源

目錄

1. 摘要 ABSTRACT..... 1

2. 引言 INTRODUCTION 2

3. 芯片腳位定義與功能敘述 CHIP PIN DEFINITION AND FUNCTIONAL DESCRIPTION ... 3

3.1. 芯片腳位 3

3.2. 腳位定義與功能敘述 4

4. 射頻電路設計 RF CIRCUIT DESIGN..... 6

5. 接地區域 GROUND PLANES 7

6. 電源走線和電源去耦 DC POWER TRACE LAYOUT DECOUPLING..... 9

6.1. 各路電源建議線路..... 9

6.2. RF 電源 10

6.3. VDD_PA 電源 10

6.4. VBAT 注意事項..... 10

7. 晶振 CRYSTAL 11

7.1. 22MHz 晶振建議規格 11

7.2. 32.768kHz 晶振建議規格 13

7.3. 設計說明 13

8. 芯片設計注意事項 CHIP ON BOARD 14

8.1. 參考電路 14

8.2. RF MATCH 電路..... 15

8.3. RST_N / PWR_ON 設計說明 15

8.4. 芯片燒錄腳位 15

9. 模組設計注意事項 DESIGN MODULE 16

9.1. 參考電路 16

9.2. 模組參考用料表 17

9.3. 注意事項 19

9.3.1. SHIELDING COVER 19

9.3.2. 模組半孔設計 19

9.3.3. 模組腳位的規劃 20

9.3.4. PCB 天線 20

9.3.5. 模組生產測試 21

10. 模組使用注意事項 USE MODULE 22

10.1. 方塊圖 22

10.2. PIN LAYOUT 23

10.3. 模組腳位定義 24

10.4. PLACEMENT 26

10.5. PACKAGE DIAGRAM 27

10.6. 底板參考電路 30

10.7. 使用模組天線注意事項 31

10.7.1. PCB 天線 31

10.7.2. 外置天線 31

10.8. 燒錄腳位 31

10.9. 模組與底板的連接 32

10.10. 電池規格 32

10.11. 電源雜訊 32

11. SOLDER REFLOW PROFILE 33

12. LAYOUT 注意事項 34

12.1. RF 阻抗設計 34

12.2. PCB 疊構參考設計 34

12.3. PCB 天線設計注意事項 35

12.4. RF 信號 35

12.5. 電源 35

12.6. E-PAD 36

12.7. GROUND PLANE 36

12.8. 走線 36

圖目錄

FIGURE 1 BLOCK DIAGRAM..... 2

FIGURE 2 PIN LAYOUT 3

FIGURE 3 RF 建議電路設計 6

FIGURE 4 接地過孔(VIA) 7

FIGURE 5 E-PAD SOLDER MASK 注意事項 7

FIGURE 6 紅色外框為 SHIELDING COVER (SHORTED TO GND) 8

FIGURE 7 OPL1x00 電源建議線路..... 9

FIGURE 8 系統電源建議線路 10

FIGURE 9 22MHZ 晶振電路 11

FIGURE 10 32.768KHZ 晶振電路 13

FIGURE 11 COB 參考電路 14

FIGURE 12 燒錄腳位..... 15

FIGURE 13 模組設計參考電路 16

FIGURE 14 SHIELDING COVER 包覆的範圍 (白色區域)..... 19

FIGURE 15 半孔最小規格 19

FIGURE 16 探針規格..... 20

FIGURE 17 探針套筒規格 20

FIGURE 18 天線尾端印刷上刻度..... 21

FIGURE 19 模組半孔設計 21

FIGURE 20 BLOCK DIAGRAM..... 22

FIGURE 21 PIN LAYOUT FOR MODULE 23

FIGURE 22 PLACEMENT 26

FIGURE 23 TOP VIEW 27

FIGURE 24 BOTTOM VIEW 28

FIGURE 25 FRONT VIEW 29

FIGURE 26 底板參考電路 30

FIGURE 27 模組擺放位置限制 31

FIGURE 28 燒錄架構示意圖 31

FIGURE 29 SOLDER REFLOW PROFILE 33

FIGURE 30 堆疊與阻抗 34

FIGURE 31 PCB 天線注意事項..... 35

FIGURE 32 樹枝狀走線 35

FIGURE 33 去耦電容的使用事項..... 36

FIGURE 34 QFN FOOTPRINT 36

FIGURE 35 平行走線..... 36

表目錄

TABLE 1 PIN DESCRIPTION 4

TABLE 2 CRYSTAL SPECIFICATION FOR 22MHz 11

TABLE 3 CRYSTAL SPECIFICATION FOR 32.768kHz 13

TABLE 4 模組參考用料表 17

TABLE 5 PIN DESCRIPTION 24

TABLE 6 PCB 疊構說明 34

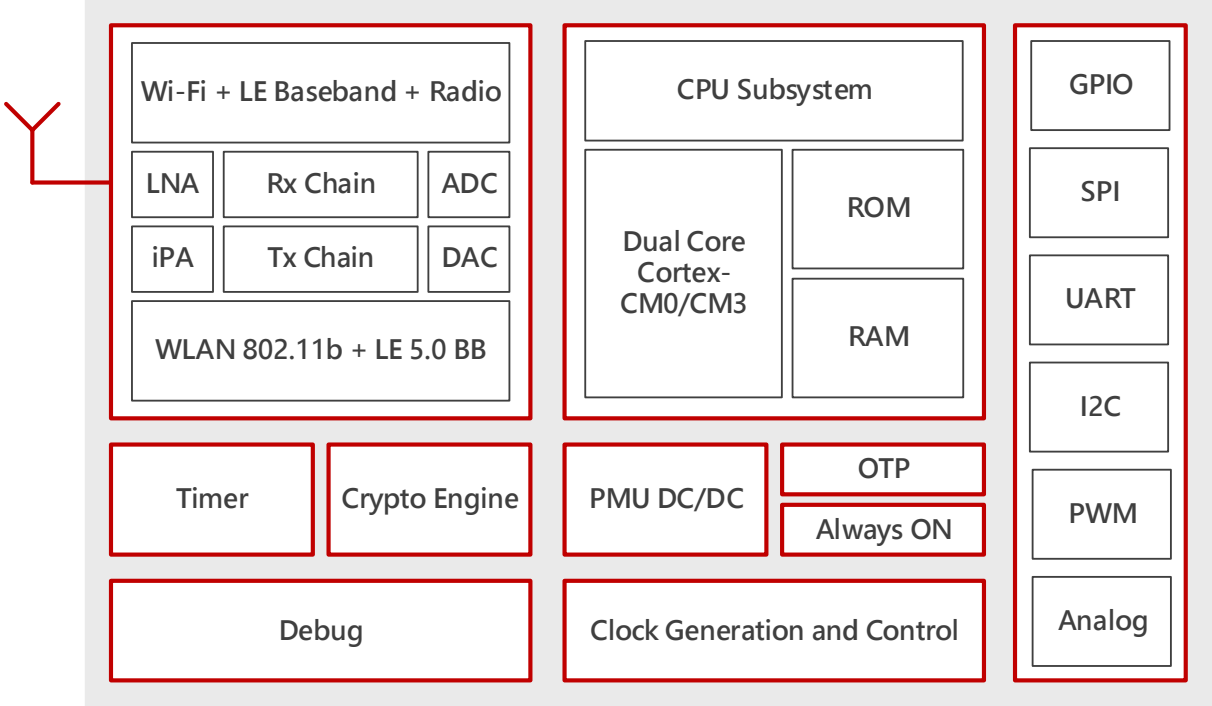
1. 摘要 ABSTRACT

OPL1x00 是集成 Wi-Fi 802.11b 及 Bluetooth Smart[®] 單芯片，高度整合所有 Wi-Fi 及 Bluetooth Smart 無線網路聯機需求，以最新的技術，設計最低功率消耗，最小的封裝支持最多的接口，並極低的制造成本，實現更新的運用領域，成為客戶開創新商品所必備的芯片。

2. 引言 INTRODUCTION

OPL1x00 是高度集成、高性價比及極低功耗的應用處理芯片 SoC，提供 Wi-Fi 802.11b 及 Bluetooth Smart® 結合雙內核 ARM® 32 bit MCU 的整體解決方案，充分滿足物聯網 (IoT) 各種多樣化的產品，同時配備豐富的外圍接口，支持各種訊息傳遞，有效分佈式數據收集處理，應用於雲端網路系統，並提供實時 (Real-time) 監控，具有訊息加密、消息認證傳輸協議等功能。快速實現消費性電子產品開發及量產，應用於智能家電、工業/工廠自動化、智慧安防報警及消防聯動系統、門禁考勤、智能電網、環境生態監測、污染防治...等應用的需求。

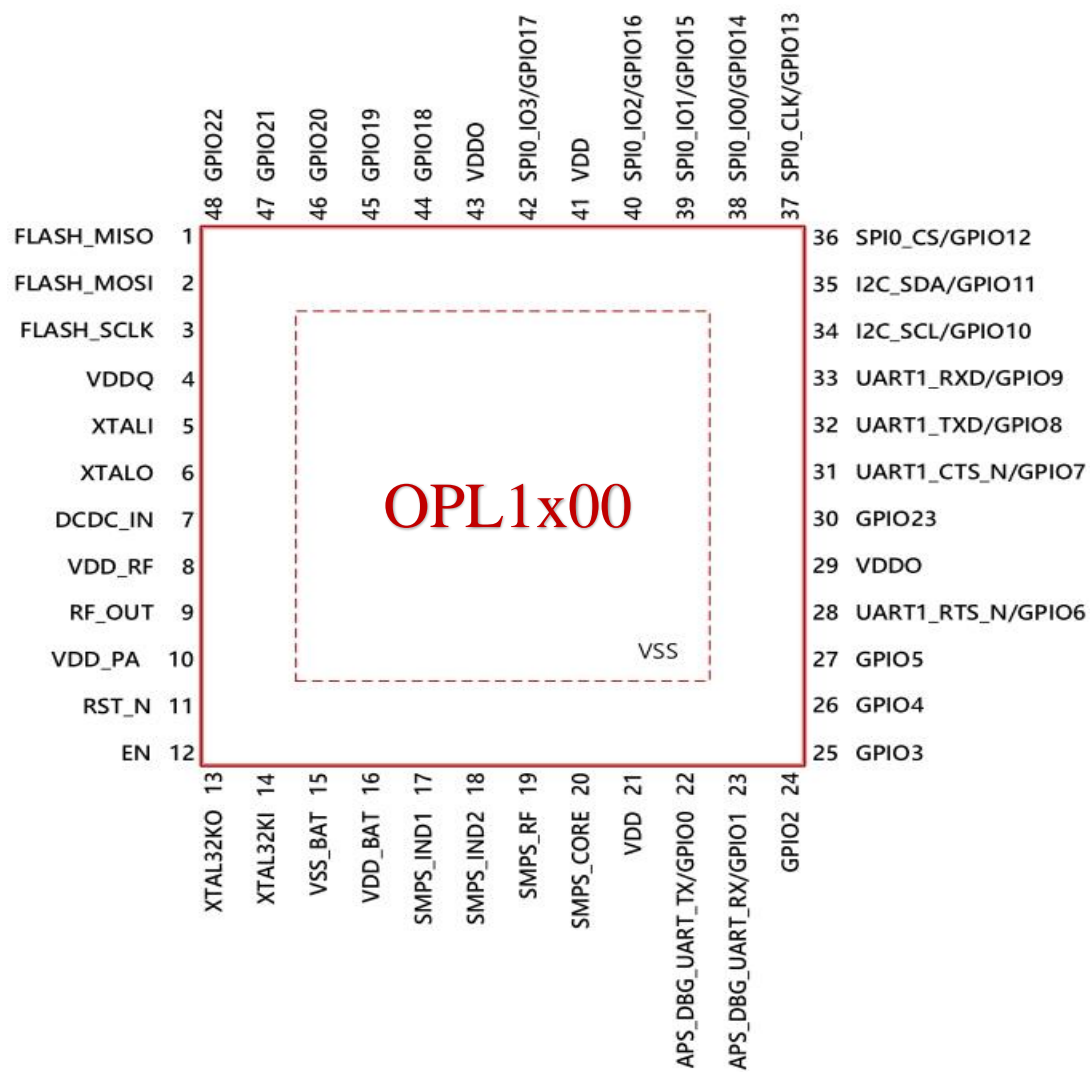
Figure 1 Block Diagram



3. 芯片脚位定义与功能叙述 CHIP PIN DEFINITION AND FUNCTIONAL DESCRIPTION

3.1. 芯片脚位

Figure 2 PIN LAYOUT



3.2. 腳位定義與功能敘述

Table 1 PIN DESCRIPTION

Pin Name	Type	Location	Functional Description
Flash_MISO	O	1	Digital core power output
Flash_MOSI	I	2	
Flash_SCLK	I	3	
VDDQ	P	4	Power supply for OTP programming
XTALI	I	5	External crystal input pin
XTALO	O	6	External crystal output pin
DCDC_IN	P	7	Analog LDO supply input
VDD_RF	P	8	RF LDO output. Connects with external capacitor to ground.
RF_OUT	IO	9	RF input/output with on-chip T/R switch
VDD_PA	P	10	PA power supply with external capacitor
RST_N	I	11	Reset input signal - low active
EN	I	12	Enable input signal - high active
XTAL32KO	O	13	External 32K crystal output pin
XTAL32KI	I	14	External 32K crystal input pin
VSS_BAT	G	15	DC-DC switching regulator Ground
VDD_BAT	P	16	Power supply
SMPS_IND1	P	17	DC-DC converter inductor pin
SMPS_IND2	I	18	DC-DC converter feedback pin
SMPS_RF	P	19	DC-DC converter output
SMPS_CORE	P	20	DC-DC converter output
VDDC1	P	21	Digital core power
APS_DBG_UART_TX / GPIO0 [†]	IO	22	APS UART serial data transmit
APS_DBG_UART_RX / GPIO1 [†]	IO	23	APS UART serial data receive
GPIO2 [†]	IO	24	General Purpose Input/Output
GPIO3 [†]	IO	25	General Purpose Input/Output
GPIO4 [†]	IO	26	General Purpose Input/Output
GPIO5 [†]	IO	27	General Purpose Input/Output
UART1_RTS_N / GPIO6 ^{††}	IO	28	UART Request to Send (default) / General Purpose Input/Output
VDDO1	P	29	Power supply for IO pad

Pin Name	Type	Location	Functional Description
GPIO23 [†]	IO	30	General Purpose Input/Output
UART1_CTS_N / GPIO7 [†]	IO	31	UART Clear to Send (default) / General Purpose Input/Output
UART1_TXD / GPIO8 [†]	IO	32	UART serial data transmit (default) / General Purpose Input/Output
UART1_RXD / GPIO9 [†]	IO	33	UART serial data receive (default) / General Purpose Input/Output
I2C_SCL / GPIO10 [†]	IO	34	I2C serial clock line (default) / General Purpose Input/Output
I2C_SDA / GPIO11 [†]	IO	35	I2C serial data line (default) / General Purpose Input/Output
SPI0_CS0 / GPIO12 [†]	O	36	SPI Chip Select (default) / General Purpose Input/Output
SPI0_CLK / GPIO13 [†]	O	37	SPI serial clock (default) / General Purpose Input/Output
SPI0_MOSI / GPIO14 [†]	IO	38	SPI input/output (default) / General Purpose Input/Output
SPI0_MISO / GPIO15 [†]	IO	39	SPI input/output (default) / General Purpose Input/Output
SPI0_IO2 / GPIO16 [†]	IO	40	SPI input/output (default) / General Purpose Input/Output
VDDC2	P	41	Digital core power supply
SPI0_IO3 / GPIO17 [†]	IO	42	SPI input/output (default) / General Purpose Input/Output
VDDO2	P	43	Chip I/O power supply
GPIO18 [†]	IO	44	General Purpose Input/Output
GPIO19 [†]	IO	45	General Purpose Input/Output
GPIO20 [†]	IO	46	General Purpose Input/Output
GPIO21 [†]	IO	47	General Purpose Input/Output
GPIO22 [†]	IO	48	General Purpose Input/Output
VSS	P	E-Pad	Common Ground

[†] Multifunction pins. Please refer to the Pin Multiplexing Table below for the multifunction provided.

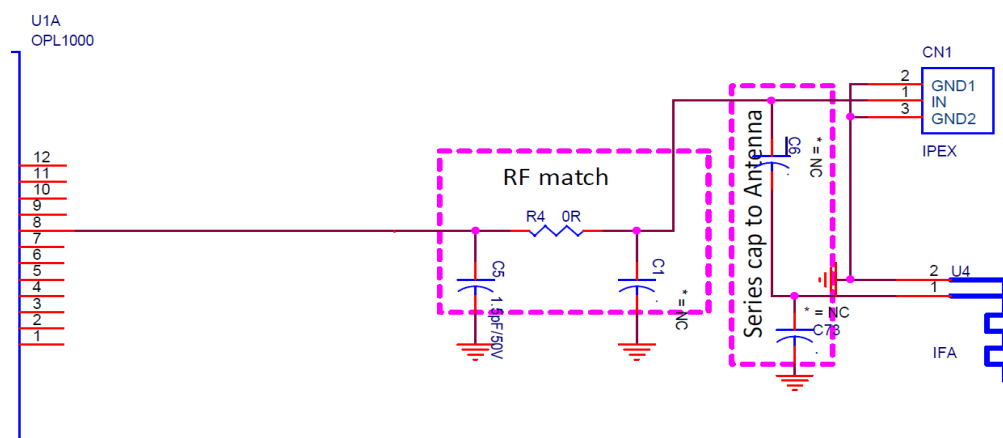
^{††} GPIO6 is part of the chip mode strapping pins; it is highly recommended that this pin is used as an output pin to avoid affect the normal mode operation

4. 射頻電路設計 RF CIRCUIT DESIGN

OPL1x00 使用極少數的組件，由天線連接到 IC 的 RF_OUT (pin 8)，芯片內部整合了自動傳送/接收雙向開關 (T/R switch)，達到極簡化設計，以支持不同的應用，請參考“芯片腳位定義與功能敘述”說明。

- ANT match 與 RF match 上所標示的值，會因电路板的差異而有所改變，所以必須由專業人員確認其值是否正確
- 如使用外置天線，天線的規格與品質，需由天線廠商自行把控

Figure 3 RF 建議電路設計

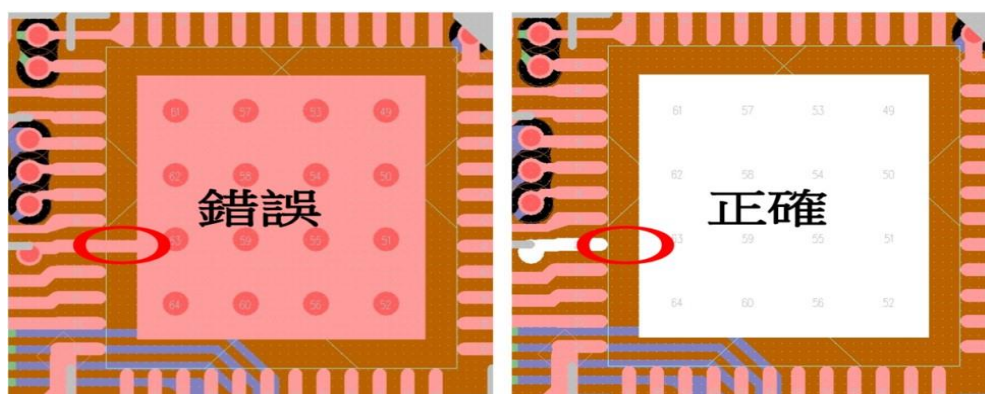


5. 接地區域 GROUND PLANES

OPL1x00 接地結合了 RF 和 Baseband 的 e-Pad、DC-DC switching regulator 直流電源轉換的接地訊號 (VSS_PMU) 及外圍接口的接地迴路，再配合 PCB 第一層露銅焊接，達到最佳接地及散熱面積

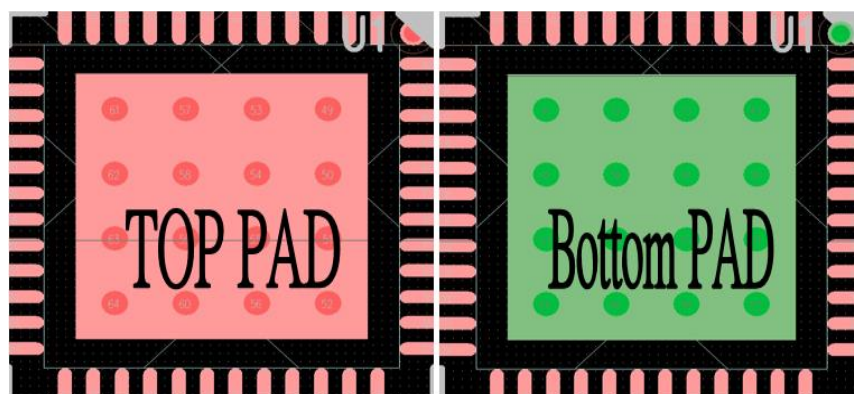
- 在 PCB 的 RF 部份間佈大量的接地過孔 (via)，有助於防止接地電流迴路，造成寄生效應增大。需注意 VSS (e-Pad) 不能直接與 VSS_PMU (pin 15) 直接連接，應過接地孔 (via) 後再相連接一起，因過孔有助於防止 PCB 上射頻訊號與其它訊號線直接相交耦合
- 芯片底下不鋪銅 (GND Plane)，必免與 VSS_PMU 直接連接，造成迴路

Figure 4 接地過孔(VIA)



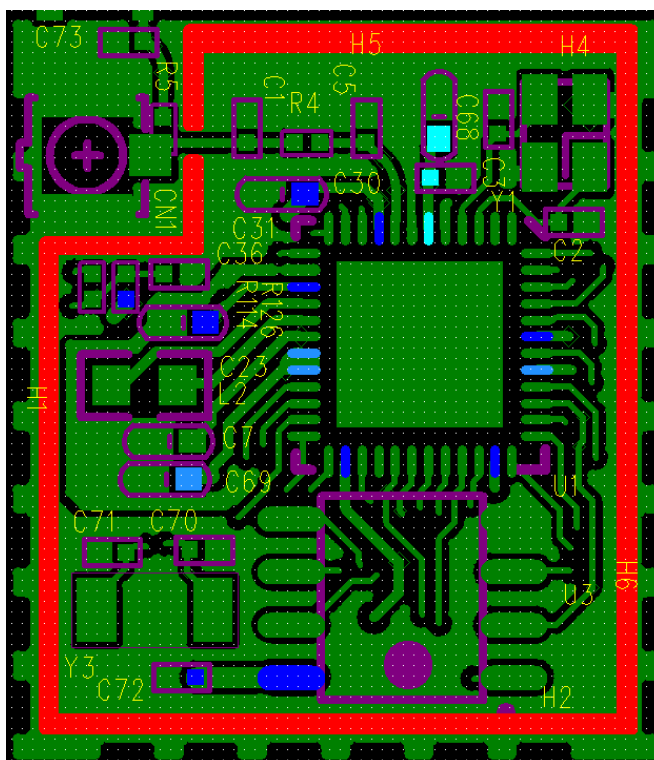
- 電源電路及 DC-DC switching regulator 相關路徑，必須考慮 IC 的迴路電流，加大線寬、鋪銅面積，以及最短路徑接地
- QFN 包裝，在芯片的底下有 e-PAD，在這區域的 TOP 層 Bottom 層皆需打開防焊層

Figure 5 E-PAD SOLDER MASK 注意事項



- PCB layout 上增加 Shielding cover 直接將高頻或是易受電磁干擾的元件包覆起來，用以削弱電磁場的影響、藉此提高元件的抗干擾能力，屏蔽的目的在於把干擾源隔絕在屏蔽外、或是將容易產生干擾的射頻與高頻元件，將產生的輻射干擾減到可接受的範圍。

Figure 6 紅色外框為 SHIELDING COVER (SHORTED TO GND)

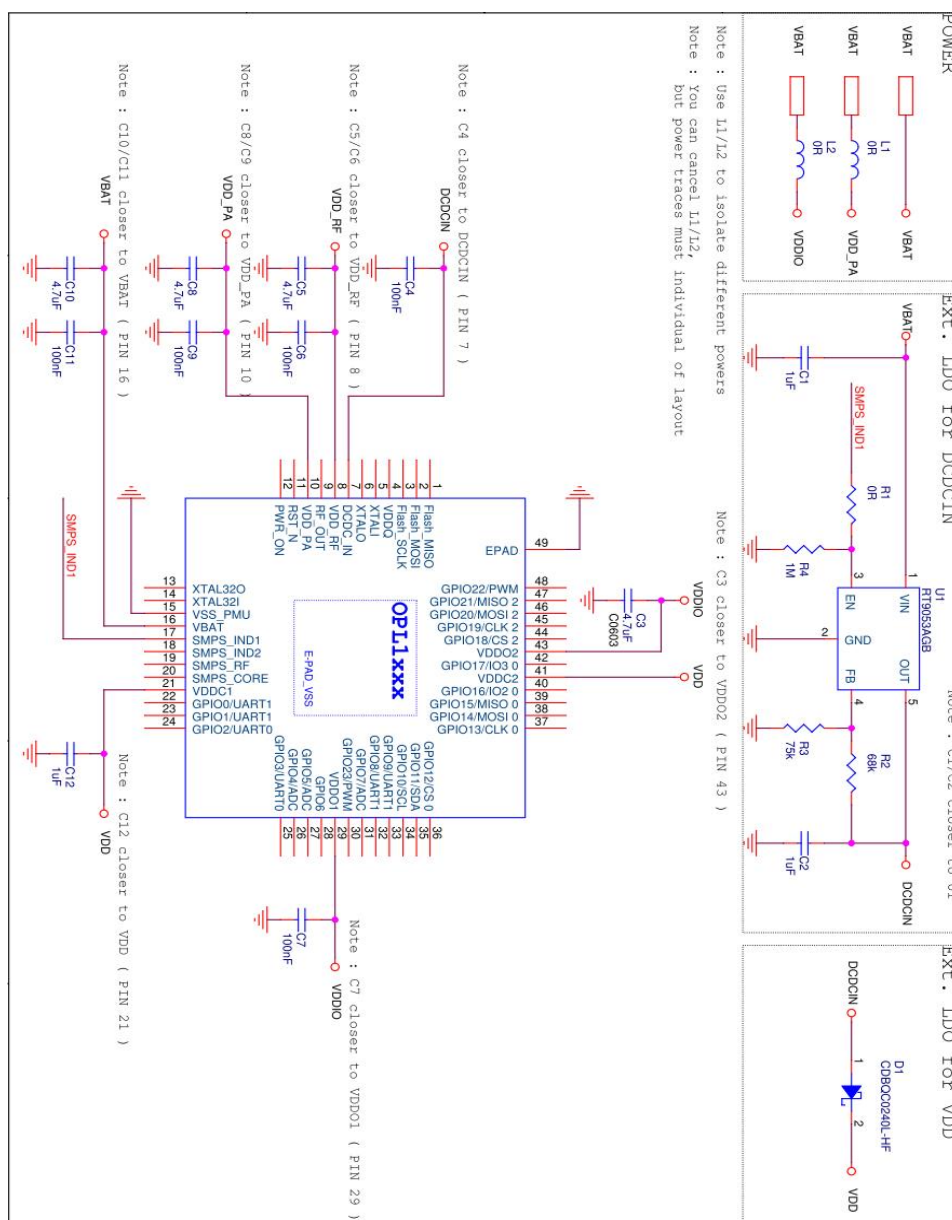


6. 電源走線和電源去耦 DC POWER TRACE LAYOUT DECOUPLING

用戶依據需求控制芯片在各種操作模式，OPL1000 芯片內部會有相應調控電源模塊，達到最低功耗目的。

6.1. 各路電源建議線路

Figure 7 OPL1x00 電源建議線路



- 透過 SMPS_IND1 來控制 External LDO，用來降低功耗
- External LDO 建議輸出電流為 400mA
- 去耦電容必須靠近芯片，避免走線過長，引起寄生電感，造成意外的反饋迴路

6.2. RF 電源

- DCDC_IN (PIN 8) 為輸入端，需有 0.1uF / 6.3V 去耦電容，並且靠近芯片
- VDD_RF (PIN 9) 為輸出端，需有 0.1uF / 6.3V 和 4.7uF / 6.3V 去耦電容，並且靠近芯片

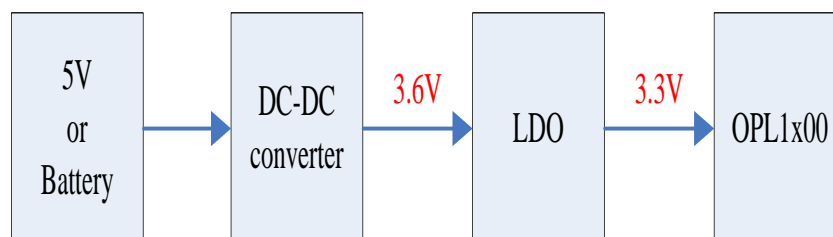
6.3. VDD_PA 電源

- VDD_PA (pin 11) 是芯片內部 PA 功率放大器的主要電源，與 VBAT 連接，需加去耦電容

6.4. VBAT 注意事項

- VBAT (PIN 16) 需有穩定的電源輸入，其雜訊須小於 100mV @Wi-Fi TX mode
- VBAT 最大輸入電壓為 3.6V，超過此電壓，會讓芯片出現異常或燒毀
- 如果使用 DCDC 來提供 VBAT 的電源，因 DCDC 會有 switching noise，在某些特定的情況下，電壓會產生超過 3.6V 的脈衝電壓，因而造成芯片異常
- 承上，若電源必須使用 DCDC，建議在 DCDC 之後，增加 LDO 來穩定電壓，保證供電的穩定性，或是由使用方保證 DCDC 對 VBAT 供電的穩定性
- 建議針對較大負載之電路，利用磁珠來隔離電源，避免瞬間電流過大，產生電流雜訊，而回流至 OPL1x00 電源電路，進而告成異常
- 承上，磁珠的選擇，應以電流為主，阻抗為輔

Figure 8 系統電源建議線路



7. 晶振 CRYSTAL

7.1. 22MHz 晶振建議規格

Figure 9 22MHz 晶振電路

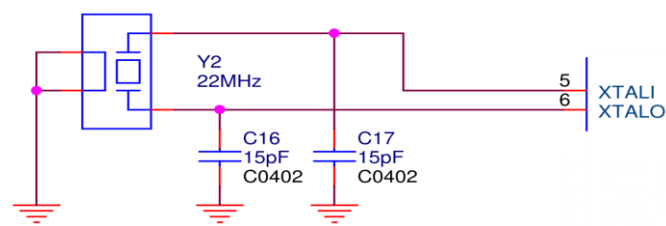


Table 2 CRYSTAL SPECIFICATION for 22MHz

品牌	泰晶科技 (SX25Y022000BA1TLWA)
Crystal frequency	22.000MHz
Enclosure	SX-2520
Frequency tolerance	±10ppm at 25℃
ESR	Less than 60 Ω
Level of Drive	100uW
Load capacitance	10pF
Insulation Resistance	More than 500M Ω at DC100V

品牌	友桂電子 (S2520A-022000-T10-BCD-1AZA)
Crystal frequency	22.000MHz
Enclosure	S2520A
Frequency tolerance	±10ppm at 25℃
ESR	Less than 60 Ω
Level of Drive	100uW
Load capacitance	10pF
Insulation Resistance	More than 500M Ω at DC100V

品牌	泰晶科技 (SX32Y022000BA1TLWA)
Crystal frequency	22.000MHz
Enclosure	SX-3225
Frequency tolerance	±10ppm at 25℃
ESR	Less than 40 Ω
Level of Drive	100uW
Load capacitance	10pF
Insulation Resistance	More than 500MΩ at DC100V

品牌	友桂電子 (S32A-022000-T10-BBK-1AZA)
Crystal frequency	22.000MHz
Enclosure	S3225A
Frequency tolerance	±10ppm at 25℃
ESR	Less than 40 Ω
Level of Drive	200uW
Load capacitance	10pF
Insulation Resistance	More than 500MΩ at DC100V

7.2. 32.768kHz 晶振建議規格

- 如需降低功耗或是成本，可省略此晶振，利用芯片內部 RC 振盪
- 承上，RC 振盪誤差值較大，所以需要精確計時的功能，請勿省略此晶振

Figure 10 32.768kHz 晶振電路

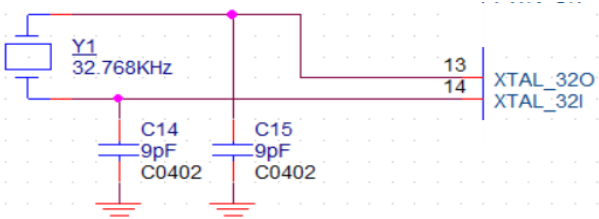


Table 3 CRYSTAL SPECIFICATION for 32.768kHz

品牌	CTS Electronic (TEF322T32K7680R)
Crystal frequency	32.768kHz
Enclosure	E3215
Frequency tolerance	±10ppm at 25°C
ESR	50kΩ Max.
Level of Drive	0.5uW Max.
Load capacitance	6pF

品牌	希華晶體 (XTL721-S349-005)
Crystal frequency	32.768kHz
Enclosure	S3215A
Frequency tolerance	±20ppm at 25°C
ESR	65kΩ Max.
Level of Drive	0.5uW Max.
Load capacitance	7pF

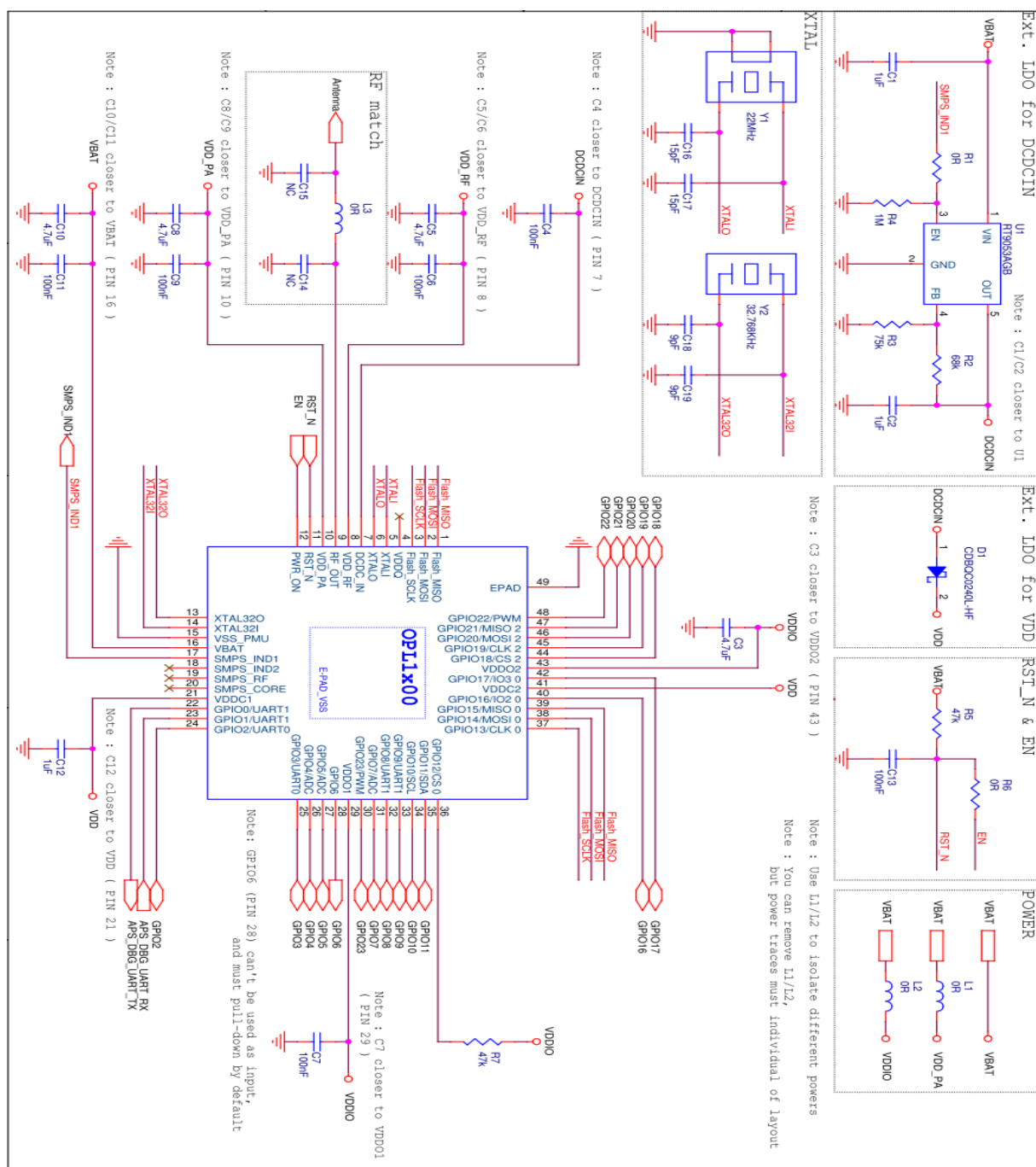
7.3. 設計說明

- 晶振需靠近 IC，且遠離高速信號，以及大負載之電源
- 晶振底下禁止走線，晶振信號除外芯片

8. 芯片設計注意事項 CHIP ON BOARD

8.1. 參考電路

Figure 11 COB 參考電路



8.2. RF MATCH 電路

- 須確認 TX / RX 低中高三個頻道，其最大值與最小值相減後，需控制在 1dBm 以內為最佳
- 針對二次諧波的 π 型濾波器，使用 Cable 直量時，二次諧波最大值必須小於 -40dBm
- 承上，此濾波器須靠近 OPL1x00

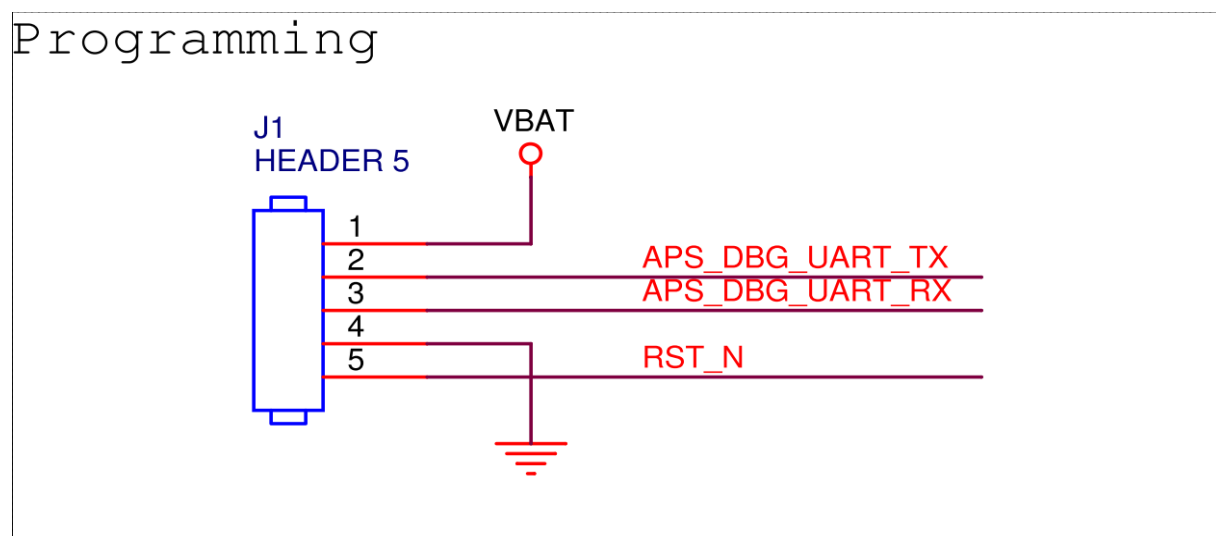
8.3. RST_N / PWR_ON 設計說明

- 須使用 RC 延遲電路
- 芯片在無回應的狀態下，可重置芯片
- 如使用電池供電，請增加 Reset 芯片，避免電池彈跳，造成芯片異常

8.4. 芯片燒錄腳位

- 在燒錄一開始，需將芯片重置，才能將固件燒錄至芯片

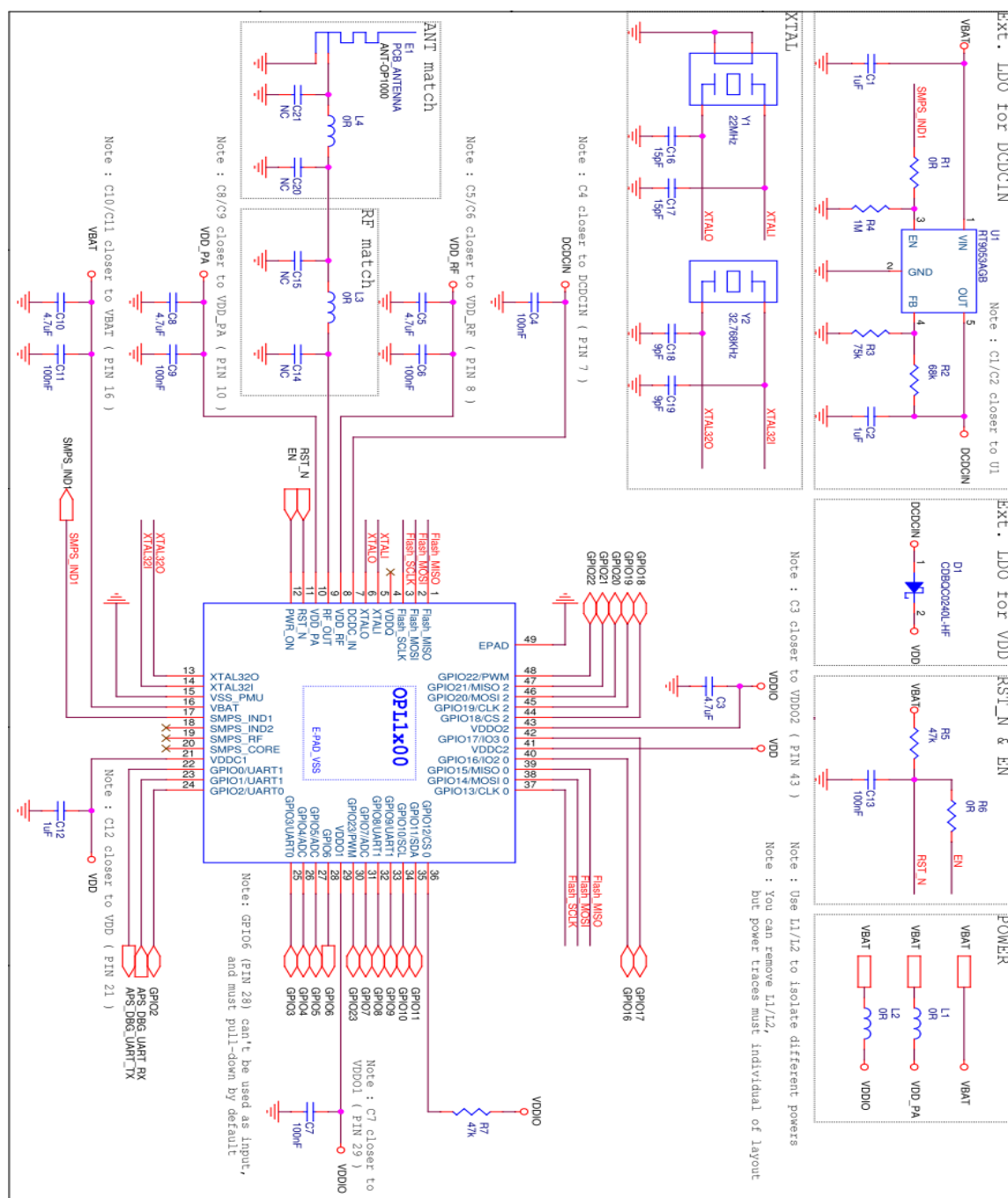
Figure 12 燒錄腳位



9. 模組設計注意事項 DESIGN MODULE

9.1. 參考電路

Figure 13 模組設計參考電路



9.2. 模組參考用料表

Table 4 模組參考用料表

Item	Quantity	Reference	Part	Description	Specification	PCB Footprint	Vendor	Part No
1	1	R6	0R	Resistance	0 ohm	R0201	Walsi	MR02X000 PAL
2	1	C5	1.8pF	MLCC	1.8pF, ±0.25pF, 50V	C0201	muRata	GRM0335C1H1R8CA01D
3	1	R4	2.2nH	Inductors	2.2nH, ±0.3nH	L0201	muRata	LQG15HZ2N2S02
4	1	C1	0.5pF	MLCC	0.5pF, ±0.1pF, 50V	C0201	muRata	GRM0335C1H1R50BA01D
5	2	C70, C71	9pF	MLCC	9pF, ±0.25pF, 50V	C0201	muRata	GRM0335C1H9R0CA01D
6	1	C2	15pF	MLCC	15pF, ±5%, 50V	C0201	muRata	GRM0335C1H150A01D
7	1	C3	12pF	MLCC	12pF, ±5%, 50V	C0201	muRata	GRM0335C1H120A01D
8	3	C4, C30, C36	100nF	MLCC	100nF, ±10%, 6.3V	C0201	muRata	GRM033R6E104KE104D
9	2	C81, C82	1uF	MLCC	1uF, ±20%, 6.3V	C0201	muRata	GRM033C80J105ME05J
10	5	C7, C8, C31, C68, C80	4.7uF	MLCC	4.7uF, ±20%, 6.3V	C0402	muRata	GRM155R60J475ME8J
11	2	R5, R172	0 ohm	Resistance	0 ohm	R0201	Walsi	XR02X000 PAL
12	2	R127, R126	47k	Resistance	4.7k ohm, ±5%	R0201	Walsi	MR02X473 JAL

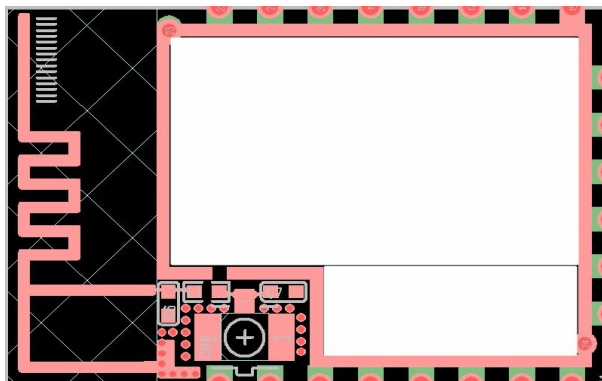
Item	Quantity	Reference	Part	Description	Specification	PCB Footprint	Vender	Part No
13	1	R170	75k	Resistance	75k ohm, ±1%	R0201	Walsin	MR02X7502FAL
14	1	R171	68k	Resistance	68k ohm, ±1%	R0201	Walsin	MR02X6802FAL
15	1	R176	1M	Resistance	1M ohm, ±5%	R0201	Walsin	MR02X105IAL
16	1	D1	CDBQC0240L -HF	DIODE	SCHOTTKY, 40V, 200mA	SOD-923	Comchip	CDBQC0240L-HF
17	1	U6	RT9053AGB	LDO	ADJ, 400mA, Iq=50uA	SOT-23-5	RICHTEK	RT9053AGB
18	1	U5	OPL1x00	Wi-Fi + BLE	OPL1200 / OPL1800	QFN48	Netlink	OPL1200 / OPL1600 / OPL1800
19	1	Y1	22MHz	Crystal	22MHz, ±10ppm, CL=10pF	S3225	泰 晶	SX32Y022000BA1TLWA
20	1	Y3	32.768KHz	Crystal	32.768KHz, ±20ppm, CL=6pF	S3215	CTS	TEF322T32K7680R
21	1	C6	3.3pF	MLCC	3.3pF, ±0.25pF, 50V	C0201	muRata	GRM0335C1H3R3CA01D
22	1	CT3	1.5pF	MLCC	1.5pF, ±0.25pF, 50V		muRata	GRM0335C1H1R5CA01D
23	1		PCB					
24	1		Shielding					

9.3. 注意事項

9.3.1. SHIELDING COVER

- 這是必要之元件，可將高頻或是易受電磁干擾的零件包覆起來，用以削弱電磁場的影響，藉此來提高零件的抗干擾能力，屏蔽的目的在於把干擾源隔絕在屏蔽罩外，或是將容易產生干擾的射頻與高頻零件所產生的輻射干擾減到可接受的範圍之內。
- 除了 Antenna match 所需之元件外，其餘都應受屏蔽罩保護
- Shielding cover 需增加 GND via，增強其屏蔽能力

Figure 14 SHIELDING COVER 包覆的範圍（白色區域）



9.3.2. 模組半孔設計

- 以下介紹最小規格，以及須使用之測試探針

Figure 15 半孔最小規格

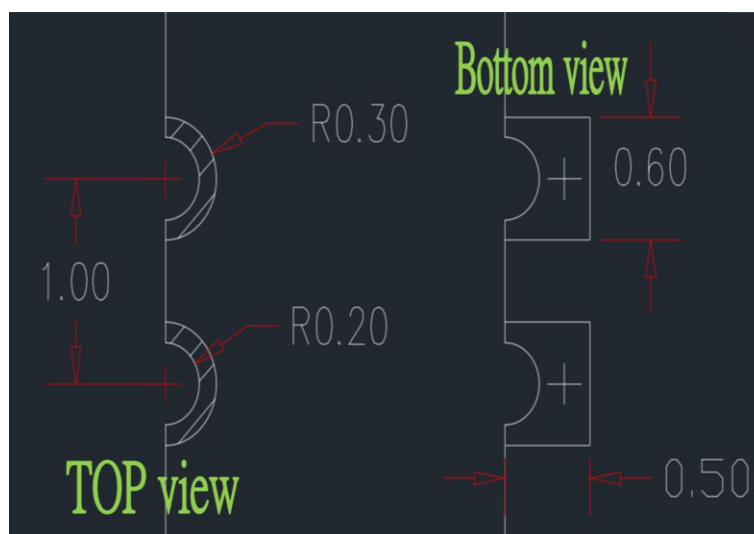


Figure 16 探針規格

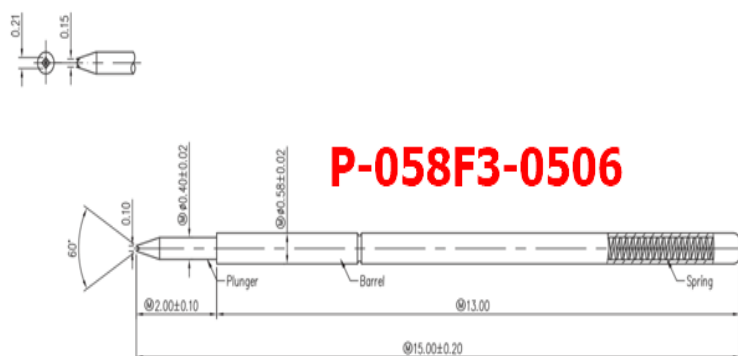
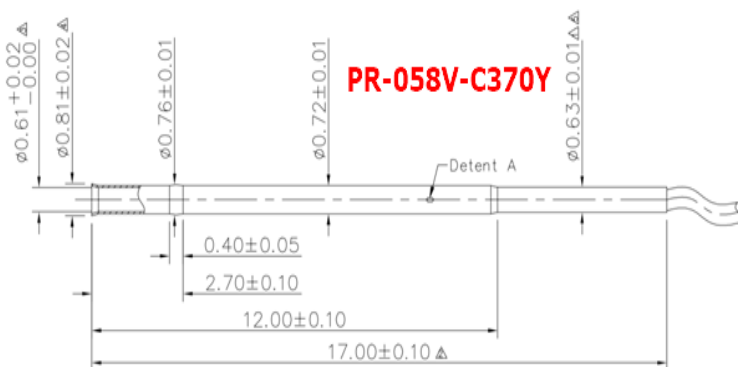


Figure 17 探針套筒規格



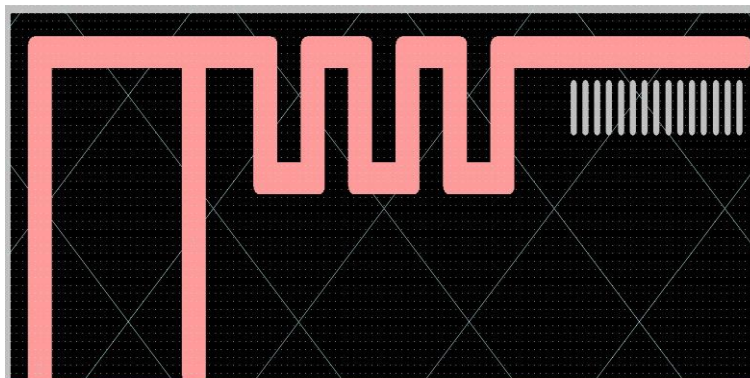
9.3.3. 模組腳位的規劃

- 數位與類比信號應分開，避免類比信號被干擾
- 靠近天線的位置，不應規劃高頻信號，如 PWM、SPI.....等等
- 靠近天線的位置，應規劃 GND PIN

9.3.4. PCB 天線

- 天線的位置，GND Plane 應禁止在所有層面出現
- 印刷天線的設計，長度為 3 公分 ($1/4 \lambda$)，但因各家電路板廠商製程不同，與使用電路板基材不同，天線長度會有所變動
- 承上，在設計天線時，天線長度需大於 3 公分 (建議多預留 5mm)
- 在使用天線時，儘量不使用任何的 LC match，這樣會降低天線的性能，建議的方法是，控制天線的長度，所以在天線尾端印刷文字漆，用來當作刻度，可以讓工程師精準的切除天線長度，以及重新製板時，複製最終所需的的天線長度

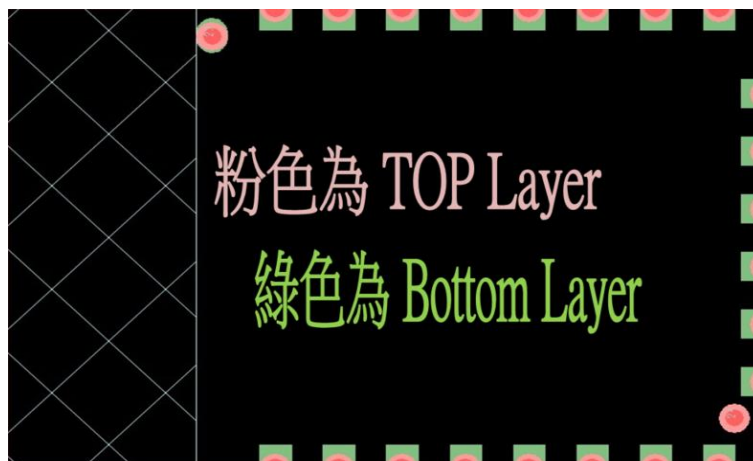
Figure 18 天線尾端印刷上刻度



9.3.5. 模組生產測試

- 模組腳位在 Bottom 層需加大，以利在生產測試時，方便頂針連接測試與燒錄
- 承上，選用之頂針與 PAD 大小有關
- 治具製作時，治具與模組 GND 信號的連接，E-PAD 的位置也需要連接 GND
- 承上，連接 E-PAD GND 之頂針，需選用較大的尺寸

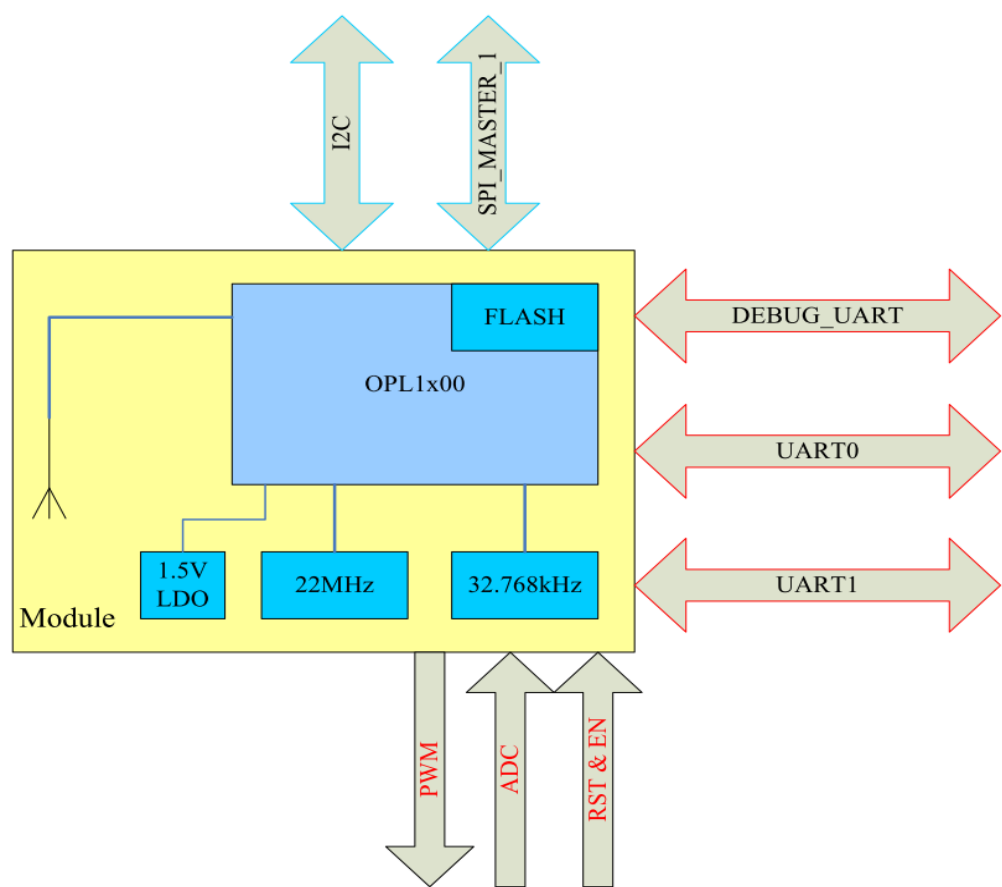
Figure 19 模組半孔設計



10. 模組使用注意事項 USE MODULE

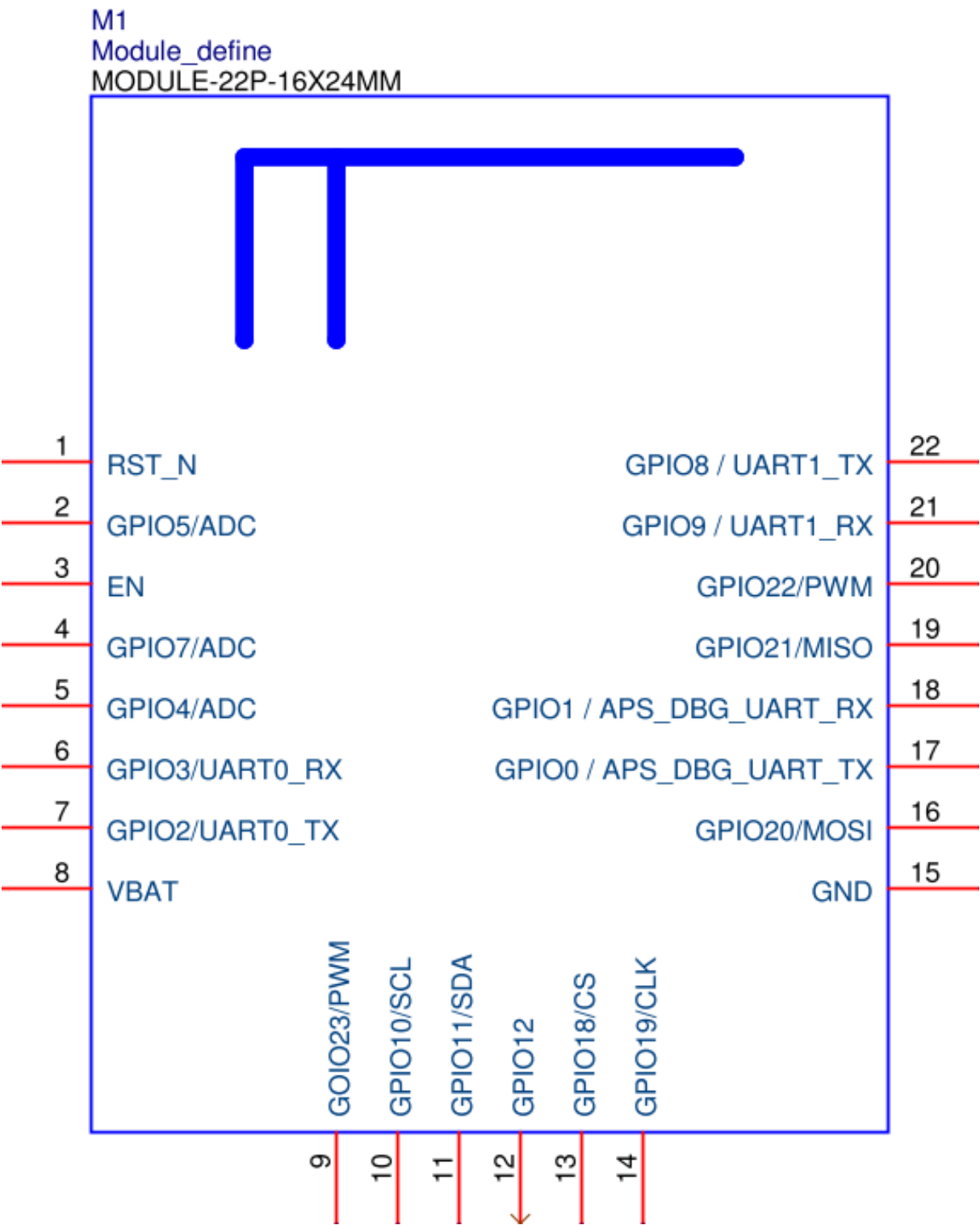
10.1. 方塊圖

Figure 20 Block Diagram



10.2. PIN LAYOUT

Figure 21 Pin Layout for Module



10.3. 模組腳位定義

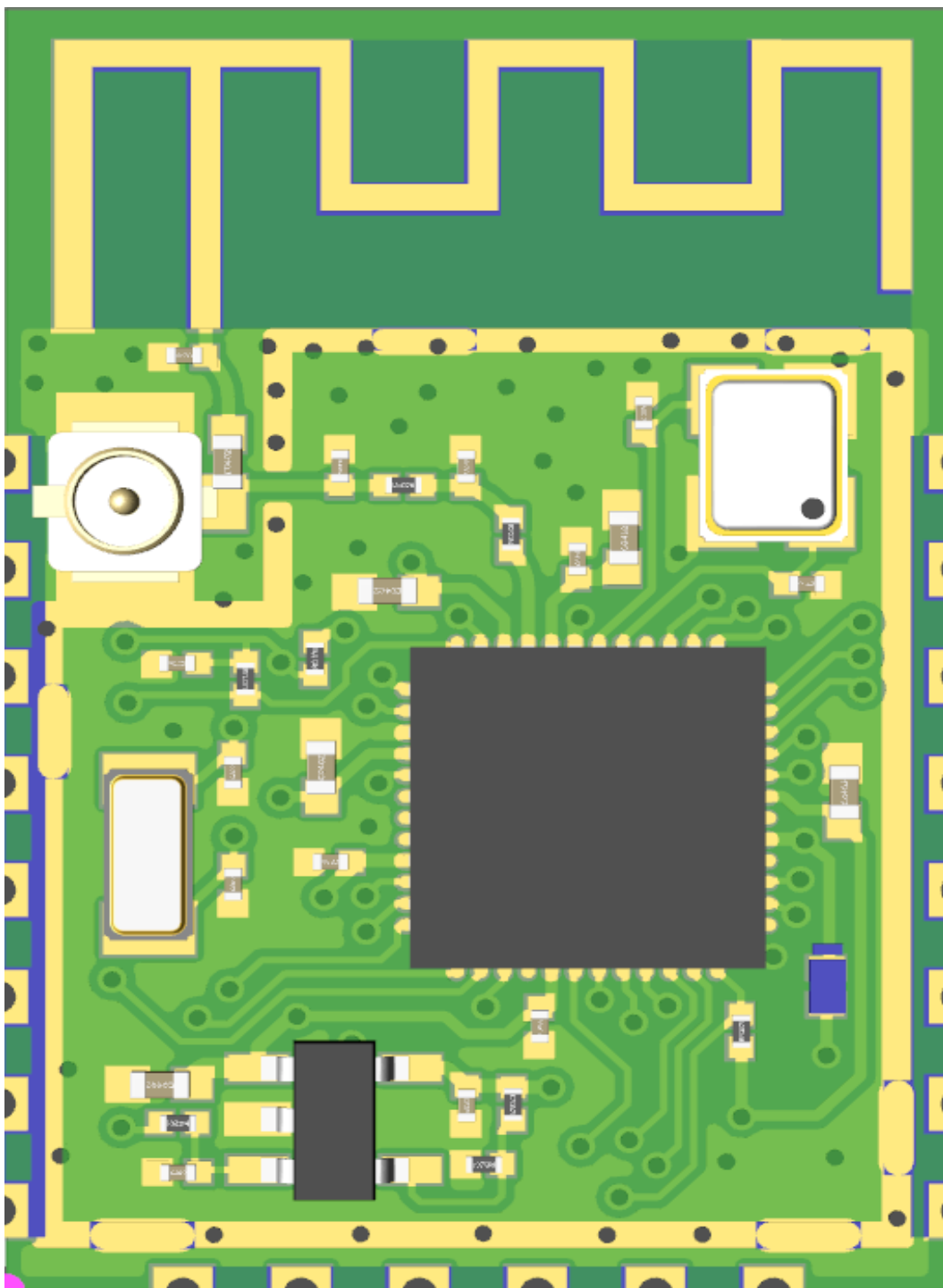
Table 5 PIN DESCRIPTION

Pin	Loc	Signal Name	Signal Description
RST_N	1	RST_N	Reset input signal, active low
IO5	2	IO5	General Purpose Input / Output
		ADC5	AUX ADC input channel 5
EN	3	PWR_ON	Enable input signal, active high
IO7	4	IO7	General Purpose Input / Output
		ADC7	AUX ADC input channel 7
IO4	5	IO4	General Purpose Input / Output
		ADC4	AUX ADC input channel 4
IO3	6	IO3	General Purpose Input / Output
		ADC3	AUX ADC input channel 3
		UART0_RXD	UART0 serial data receive
IO2	7	IO2	General Purpose Input / Output
		UART0_TX	UART0 serial data receive
		UART0_TXD	UART0 serial data transmit
VBAT	8	VBAT	Main power supply input
IO23	9	IO23	General Purpose Input / Output
		PWM0	PWM channel 0
IO10	10	IO10	General Purpose Input / Output
		ADC10	AUX ADC input channel 10
		SCL	I2C serial clock
IO11	11	IO11	General Purpose Input / Output
		ADC11	AUX ADC input channel 11
		SDA	I2C serial data
IO12	12	SPI0_CS	SPI0 master chip select
IO18	13	IO18	General Purpose Input / Output
		PWM5	PWM channel 5
		SPI2_CS	SPI2 master chip select

Pin	Loc	Signal Name	Signal Description
IO19	14	IO19	General Purpose Input / Output
		PWM4	PWM channel 4
		SPI2_CLK	SPI2 master serial clock
GND	15	GND	System Ground
IO20	16	IO20	General Purpose Input / Output
		PWM3	PWM channel 3
		SPI2_MOSI	SPI2 master data output
IO0	17	IO0	General Purpose Input / Output
		APS_DBG_UART (default)	APS UART serial data transmit for debug
IO1	18	IO1	General Purpose Input / Output
		APS_DBG_UART (default)	APS UART serial data receive for debug
IO21	19	IO21	General Purpose Input / Output
		PWM2	PWM channel 2
		SPI2_MISO	SPI2 master data input
IO22	20	IO22	General Purpose Input / Output
		PWM1	PWM channel 1
IO9	21	IO9	General Purpose Input / Output
		UART1_RXD	UART1 serial data receive
IO8	22	IO8	General Purpose Input / Output
		UART1_TXD	UART1 serial data transmit

10.4. PLACEMENT

Figure 22 Placement



10.5. PACKAGE DIAGRAM

Figure 23 TOP view

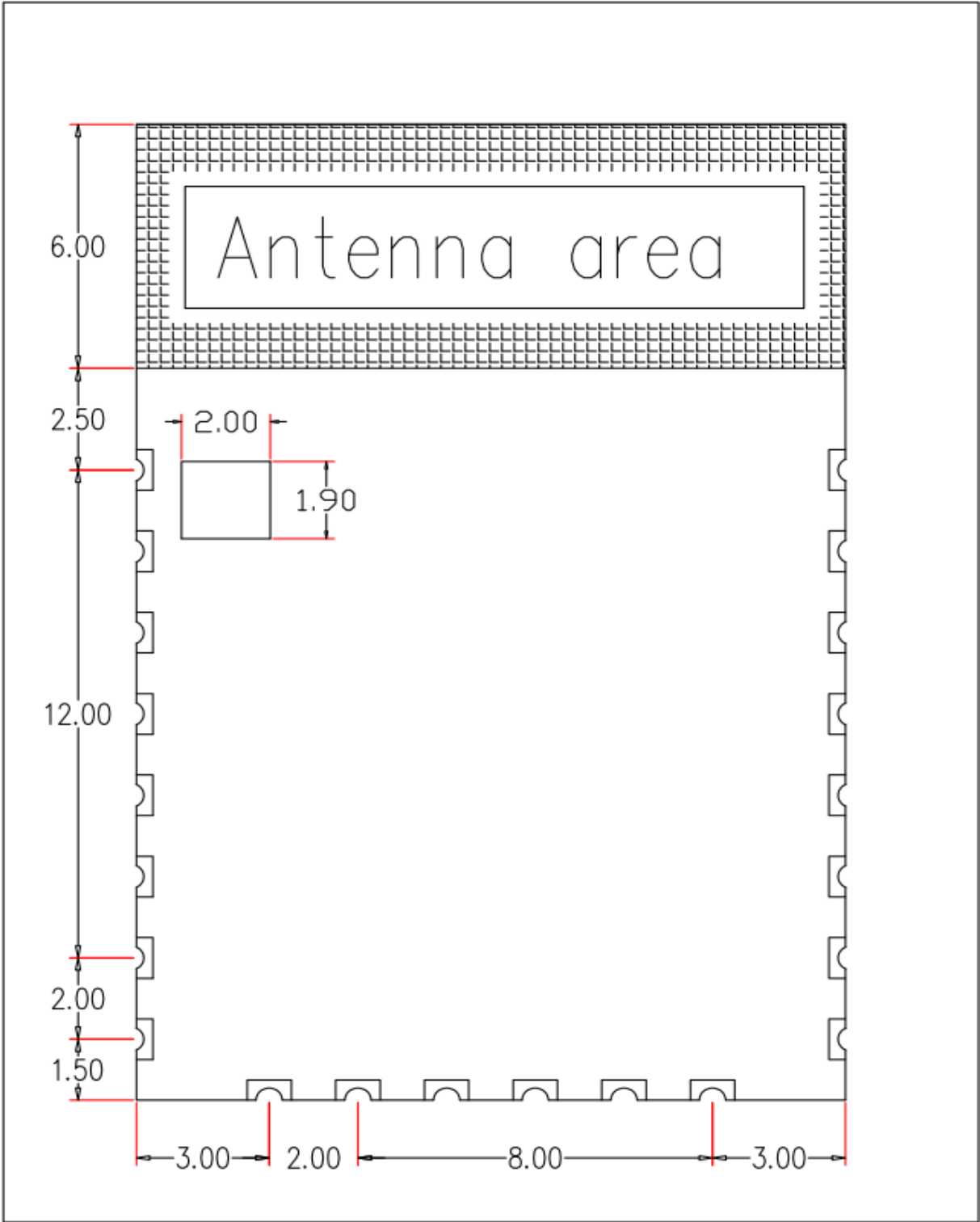


Figure 24 Bottom view

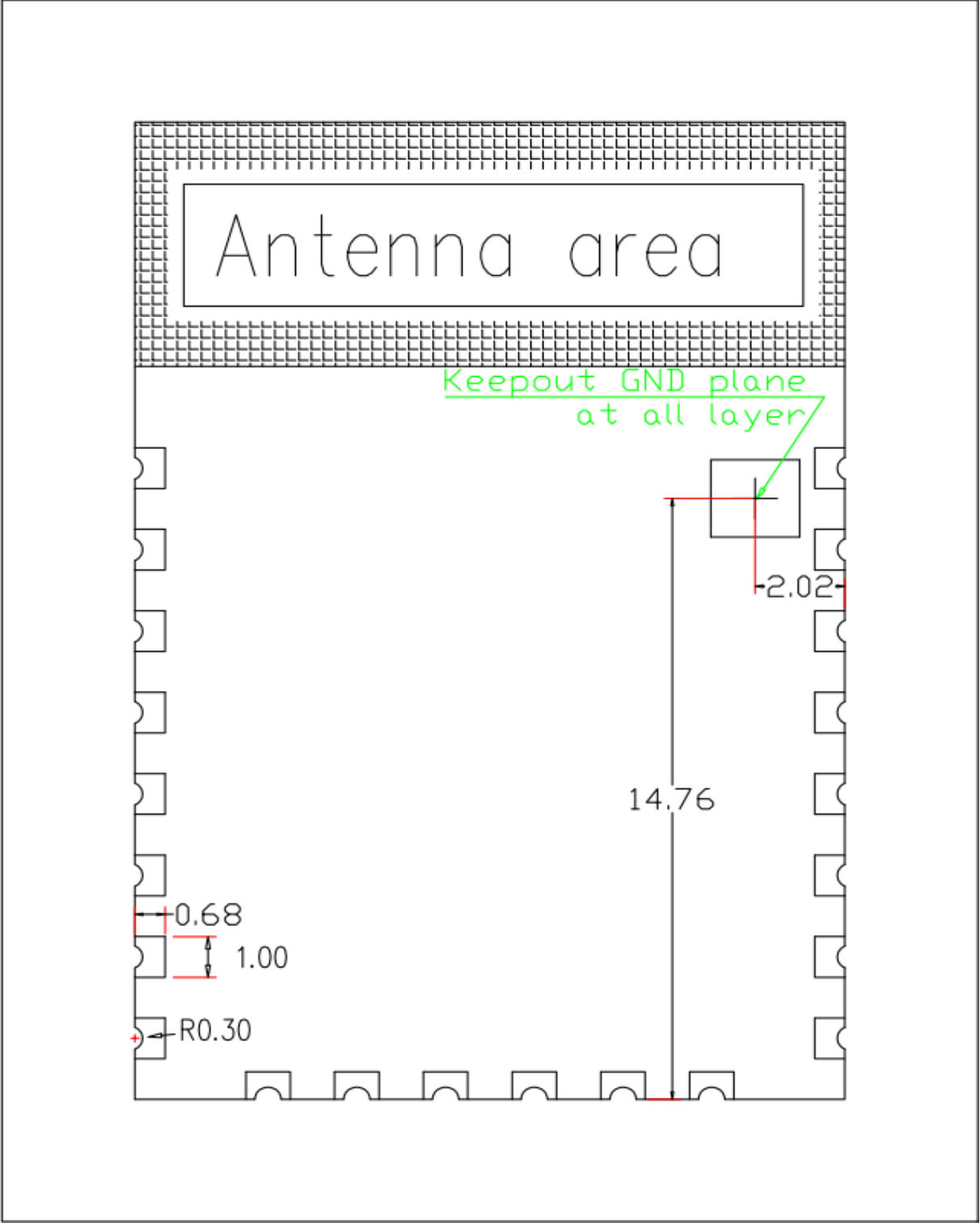
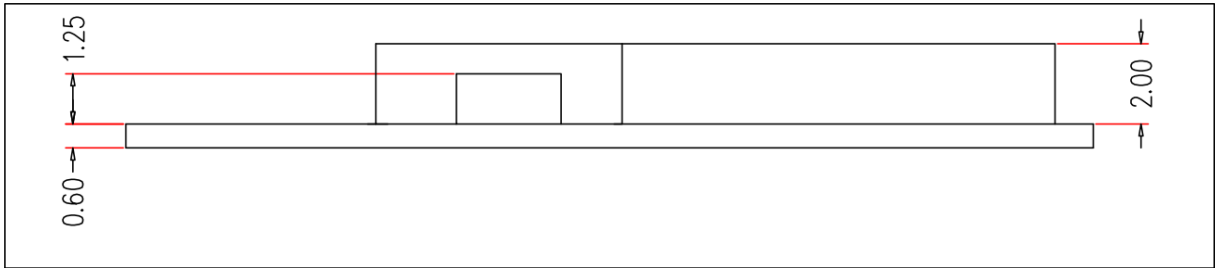
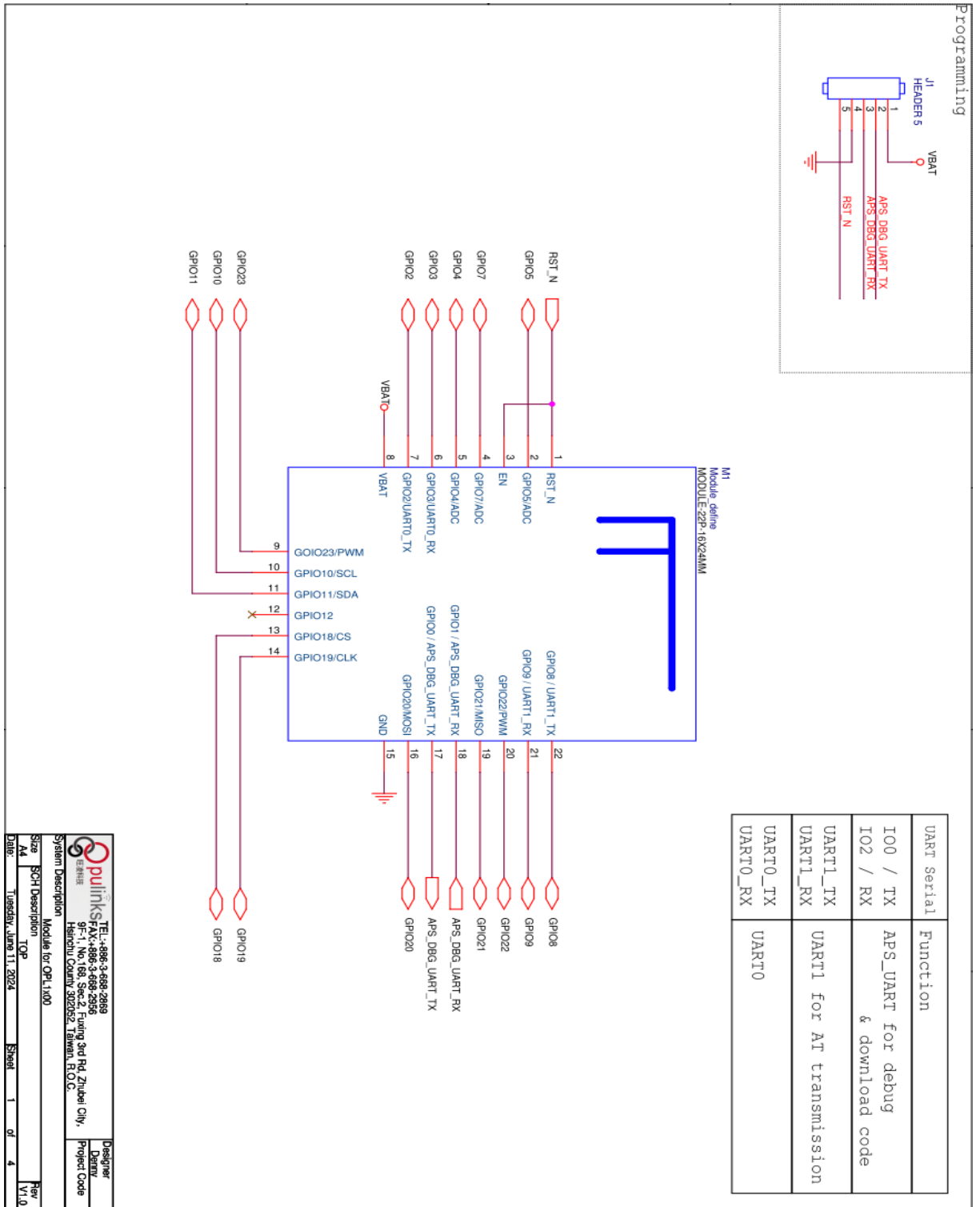


Figure 25 Front view



10.6. 底板參考電路

Figure 26 底板參考電路



10.7. 使用模組天線注意事項

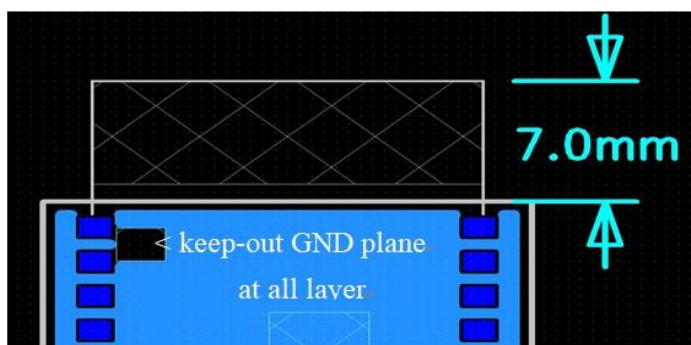
10.7.1. PCB 天線

- 需外露使用，突出板邊 7mm，如 **Figure 27**
- 機構外殼禁止使用金屬，以及金屬漆
- 天線周圍，不可有電源電路及佈線，不可有高频訊號
- 天線周圍，不可有阻擋物，距離外殼，需有 10mm 以上之空間

10.7.2. 外置天線

- 使用 IPEX connector 時，GND PLANE 須所有層面禁空
- 使用外置天線時，請天線廠商提供天線相關報告

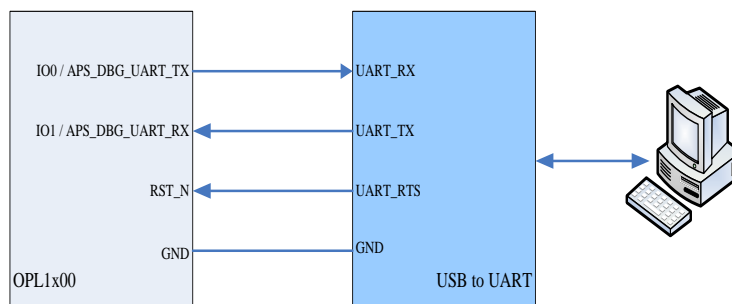
Figure 27 模組擺放位置限制



10.8. 燒錄腳位

- 燒錄腳位為 IO0 / IO1，請留測試點或連接器，以利燒錄與除錯
- 在按下燒錄鍵後，需將芯片重置，才能將程式燒錄至芯片

Figure 28 燒錄架構示意圖



10.9. 模組與底板的連接

- 芯片 E-PAD 需與底板連接，用於優化 RF 特性

10.10. 電池規格

- 使用電池時，需考慮電池壽命
- 最大放電需大於 300mA，因進入 RF 測試模式，耗電流為 150mA

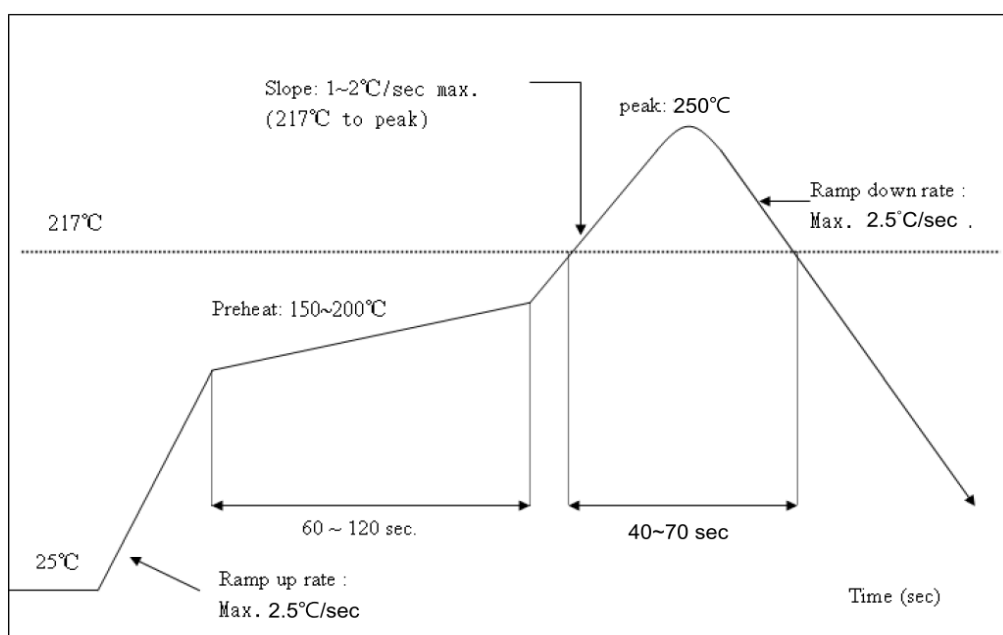
10.11. 電源雜訊

- 電源雜訊須小於 100mV @ Wi-Fi TX mode

11.SOLDER REFLOW PROFILE

- Referred to IPC/JEDEC standard
- Peak Temperature : $< 250^{\circ}\text{C}$
- Number of Times : ≤ 2 time

Figure 29 SOLDER REFLOW PROFILE

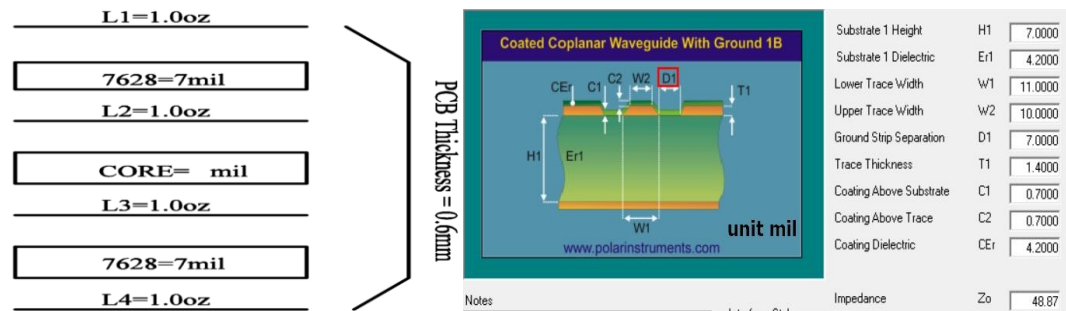


12.LAYOUT 注意事項

12.1. RF 阻抗設計

- RF 信號皆要 50Ω 阻抗
- 可請 PCB 板廠協助計算，也可自行透過軟體計算
- 依照計算結果設定線寬與線距等等，進行 Layout
- CORE 是絕緣層，其主要作用是可調整 CORE 的厚度來達到所需成品板厚

Figure 30 堆疊與阻抗



12.2. PCB 疊構參考設計

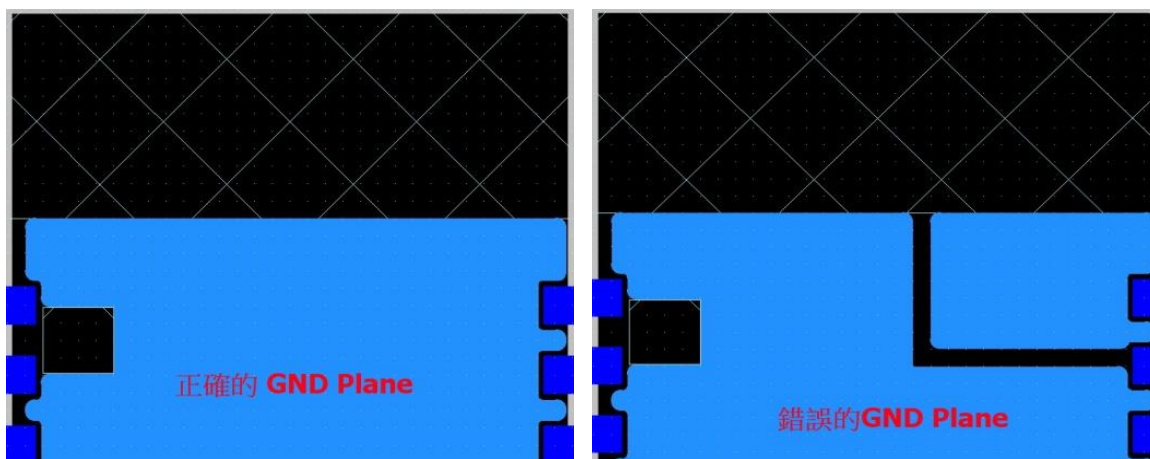
Table 6 PCB 疊構說明

PCB 層	信號類型	設計重點
第一層 (TOP)	擺放零件及 RF 信號線及其它信號線	<ul style="list-style-type: none">● RF 信號有 50Ω 阻抗的需求● RF 訊號周圍，佈置大量 GND Via● 去耦電容周圍佈置大量 GND Via● 芯片 E-PAD 請露銅不上漆，包含第Bottom層也不上漆
第二層	主要地迴路，避免走線，如有走線的需求，不可有死銅(孤島)的情況發生	
第三層	電源為主，可走信號線，不可有死銅(孤島)的情況發生	<ul style="list-style-type: none">● Power Plane面積必須比GND Plane面積小，可增加靜電的防護
第四層 (Bottom)	電源及其它信號線	<ul style="list-style-type: none">● 如果是設計模組，此層需減少走線，避免受底板訊號的干擾

12.3. PCB 天線設計注意事項

- 需對應相同的 GND 信號

Figure 31 PCB 天線注意事項



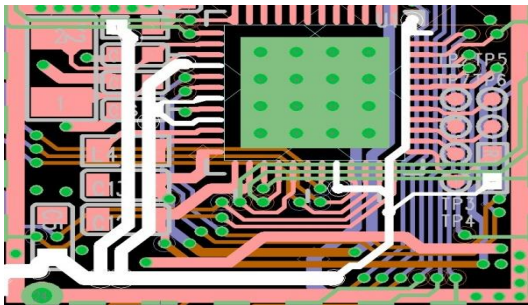
12.4. RF 信號

- RF 訊號若在第一層，第二層則必須是 GND 層，且 GND Plane 需保持完整
- RF 信線如有彎角必須是圓弧
- 負載大之電源及高頻訊須遠離 RF 信號與天線

12.5. 電源

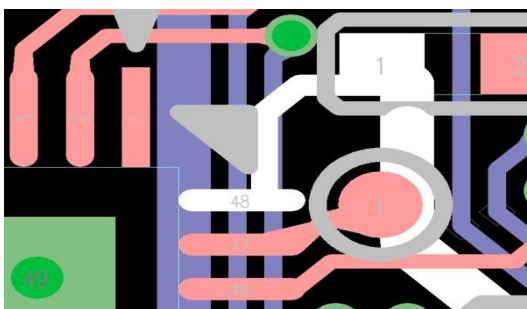
- 銅箔厚度 1oz，電源線寬 15mil 以上
- Power Plane 必須比 GND Plane 面積小
- 電源走線以樹枝狀為最佳，將負載大與負載小的電源分開

Figure 32 樹枝狀走線



- 去耦電容必須靠近 IC，並且注意電源行進的順序，要先經過電容，再由電容供給 IC

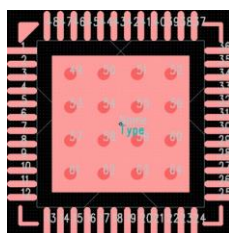
Figure 33 去耦電容的使用事項



12.6. E-Pad

- E-Pad 底下，包含內層避免走線
- 需增加貫穿孔，可讓多餘的錫引流避免短路，也可增加散熱

Figure 34 QFN FOOTPRINT



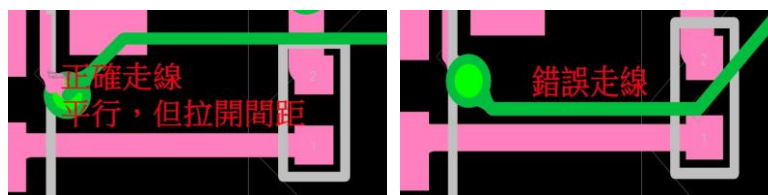
12.7. Ground Plane

- 內層銅鉚須保持完整性，避免迴路

12.8. 走線

- 減少銳角的產生，與信號線的轉折
- 相鄰的二層走線時，不可平行與重疊，如空間不足，則需拉開間距，避免互相干預

Figure 35 平行走線



CONTACT

sales@Opulinks.com