

OPL2500S

I5006_OP25 DATASHEET

模塊 DataSheet



OPULINKS

<http://www.opulinks.com/>

Copyright © 2023, Opulinks. All Rights Reserved.

OPL2500S-i5006_OP25 datasheet_DSCN102 | Version 1.0

Date	Version	Contents Updated
2022/12/22	1.0	<ul style="list-style-type: none">Initial Release

TABLE OF CONTENTS

1. 方塊圖	1
2. 電氣特性	2
3. 模組腳位定義與功能敘述	3
3.1. 模組腳位	3
3.2. 模組腳位定義	4
4. 底板參考電路	8
5. 模塊尺寸	9
5.1. 外觀	9
5.2. 尺寸	10
6. 模組使用注意事項	13
6.1. 使用模組天線注意事項	13
6.1.1. 需外露使用，如 Figure 4	13
6.1.2. 機構外殼禁止使用金屬，以及金屬漆	13
6.1.3. 天線周圍，不可放置 LDO 與 DC-DC converter....等等電源電路	13
6.1.4. 天線周圍，不可有阻擋物，需有 10mm 以上之空間	13
6.1.5. 使用外接天線 (IPEX connector) 時，GND plane 須所有層面禁空	13
6.2. 燒錄腳位為 IO0 / IO2 / RST_N，請留測試點或連接器，以利燒錄與除錯	14
6.2.1. 在燒錄一開始，需將芯片重置，才能將程式燒錄至芯片	14
6.3. 使用 I2C 時，需上拉電阻 10kΩ	14
6.4. RST_N 與 PWR_ON 設定	14
6.4.1. PWR_ON 說明	14
6.4.2. RST_N 說明	15

LIST OF FIGURES

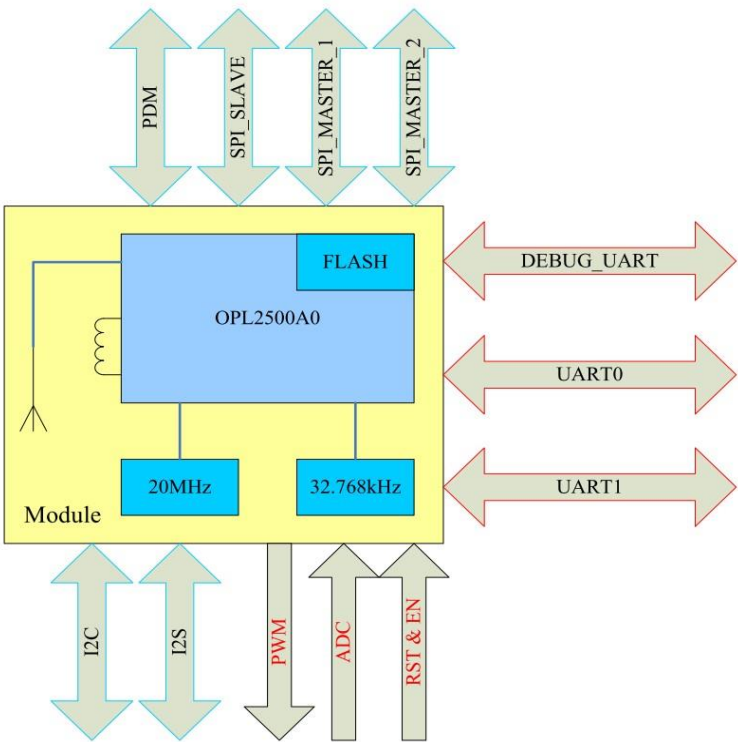
Figure 1. Module TOP view _____ 10

Figure 2. Module Bottom view _____ 11

Figure 3. Module Front view _____ 12

Figure 4. 天線於底板設計 _____ 13

1. 方塊圖

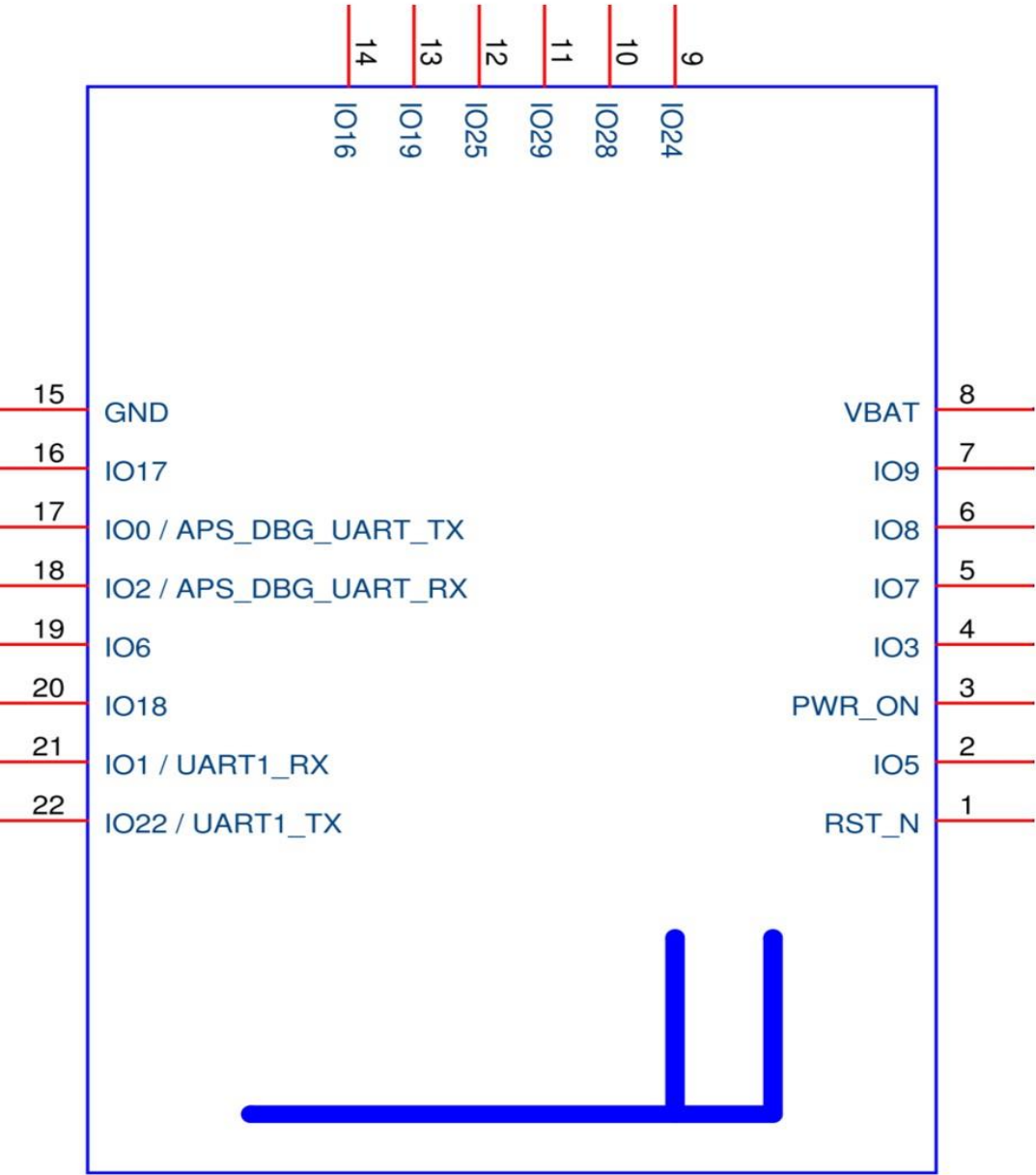


2. 電氣特性

	Spec	Min	Typ	Max	Unit
VBAT	3.3	3.15	3.3	3.6	V
Deep sleep	5		5		uA
RF TX Output Power @High Power mode					dBm
RF TX Output Power @Low Power mode					dBm
RF RX Sensitivity @11b,11Mb/s,FER<8%	-80			-80	dBm

3. 模組腳位定義與功能敘述

3.1. 模組腳位



3.2. 模組腳位定義

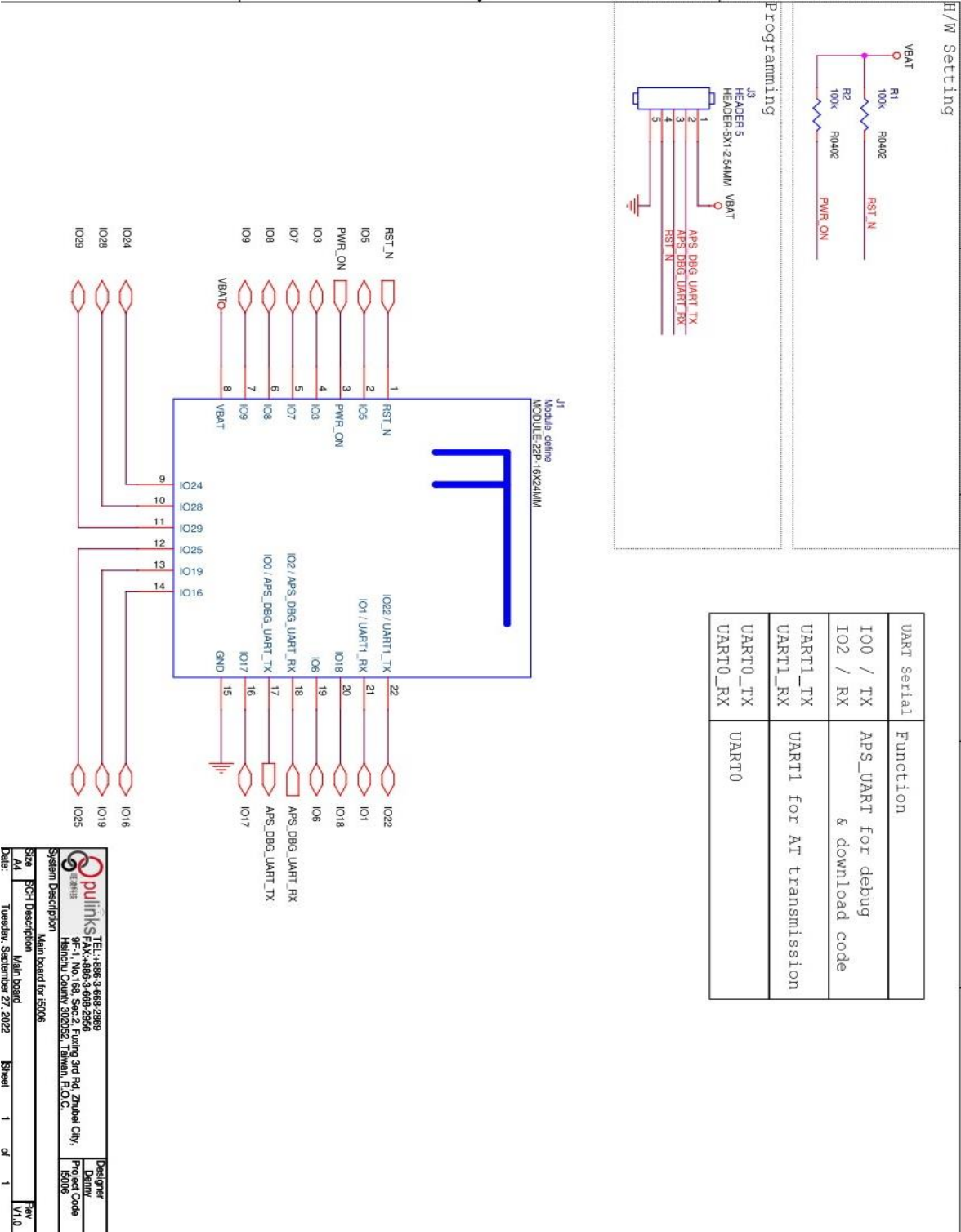
Pin	Loc	Signal Name	Signal Description
RST_N	1	RST_N	Reset input signal, active low
IO5	2	IO5	General Purpose Input / Output
		ADC5	AUX ADC input channel 5
		SDA	I2C serial data
		UART0_TX	UART0 serial data transmit
		UART1_RX	UART1 serial data receive
PWR_ON	3	PWR_ON	Enable input signal, active high
IO3	4	IO3	General Purpose Input / Output
		ADC3	AUX ADC input channel 3
		I2S_SDO0	I2S serial data output
IO7	5	IO7	General Purpose Input / Output
		ADC7	AUX ADC input channel 7
		SPI1_MISO	SPI1 master data input
		PDM_RX	PDM data receive
IO8	6	IO8	General Purpose Input / Output
		ADC8	AUX ADC input channel 8
		SPI1_MOSI	SPI1 master data output
		SCL	I2C serial clock
IO9	7	IO9	General Purpose Input / Output
		ADC9	AUX ADC input channel 9
		SPI1_CS2	SPI1 master chip select 2
		SDA	I2C serial data
VBAT	8	VBAT	Main power supply input

IO24	9	IO24	General Purpose Input / Output
		PWM4	PWM channel 4
		SPI2_CLK	SPI slave serial clock
		PDM_CLK	PDM clock
		I2S_SCLK	I2S serial clock out
IO28	10	IO28	General Purpose Input / Output
		SPI2_MISO	SPI Slave data transmit
		UART0_TX	UART0 serial data transmit
		I2S_SDO0	I2S serial data output
IO29	11	IO29	General Purpose Input / Output
		SPI2_MOSI	SPI slave data receive
		UART0_RX	UART0 serial data receive
		I2S_SDI0	I2S serial data input
IO25	12	IO25	General Purpose Input / Output
		PWM5	PWM channel 5
		SPI2_CS	SPI slave chip select
		PDM_RX	PDM data receive
		I2S_WS_OUT	I2S word select output
IO19	13	IO19	General Purpose Input / Output
		PWM0	PWM channel 0
		SDA	I2C serial data
		I2S_WS_OUT	I2S word clock output
		SPI3_CS0	SPI1 master chip select 0

IO16	14	IO16	General Purpose Input / Output
		PWM3	PWM channel 3
		SCL	I2C serial clock
		I2S_SDO0	I2S serial data output
		SPI3_MISO	SPI3 master data input
GND	15	GND	System Ground
IO17	16	IO17	General Purpose Input / Output
		PWM2	PWM channel 2
		SDA	I2C serial data
		I2S_SDI0	I2S serial data input
		SPI3_MOSI	SPI3 master data output
IO0	17	IO0	General Purpose Input / Output
		APS_DBG_UART (default)	APS UART serial data transmit for debug
IO2	18	IO2	General Purpose Input / Output
		APS_DBG_UART (default)	APS UART serial data receive for debug
IO6	19	IO6	General Purpose Input / Output
		ADC6	AUX ADC input channel 6
		SPI1_CLK	SPI1 master serial clock
		PDM_CLK	PDM clock
IO18	20	IO18	General Purpose Input / Output
		PWM1	PWM channel 1
		SCL	I2C serial clock
		I2S_SCLK	I2S serial clock
		SPI3_CLK	SPI3 master serial clock

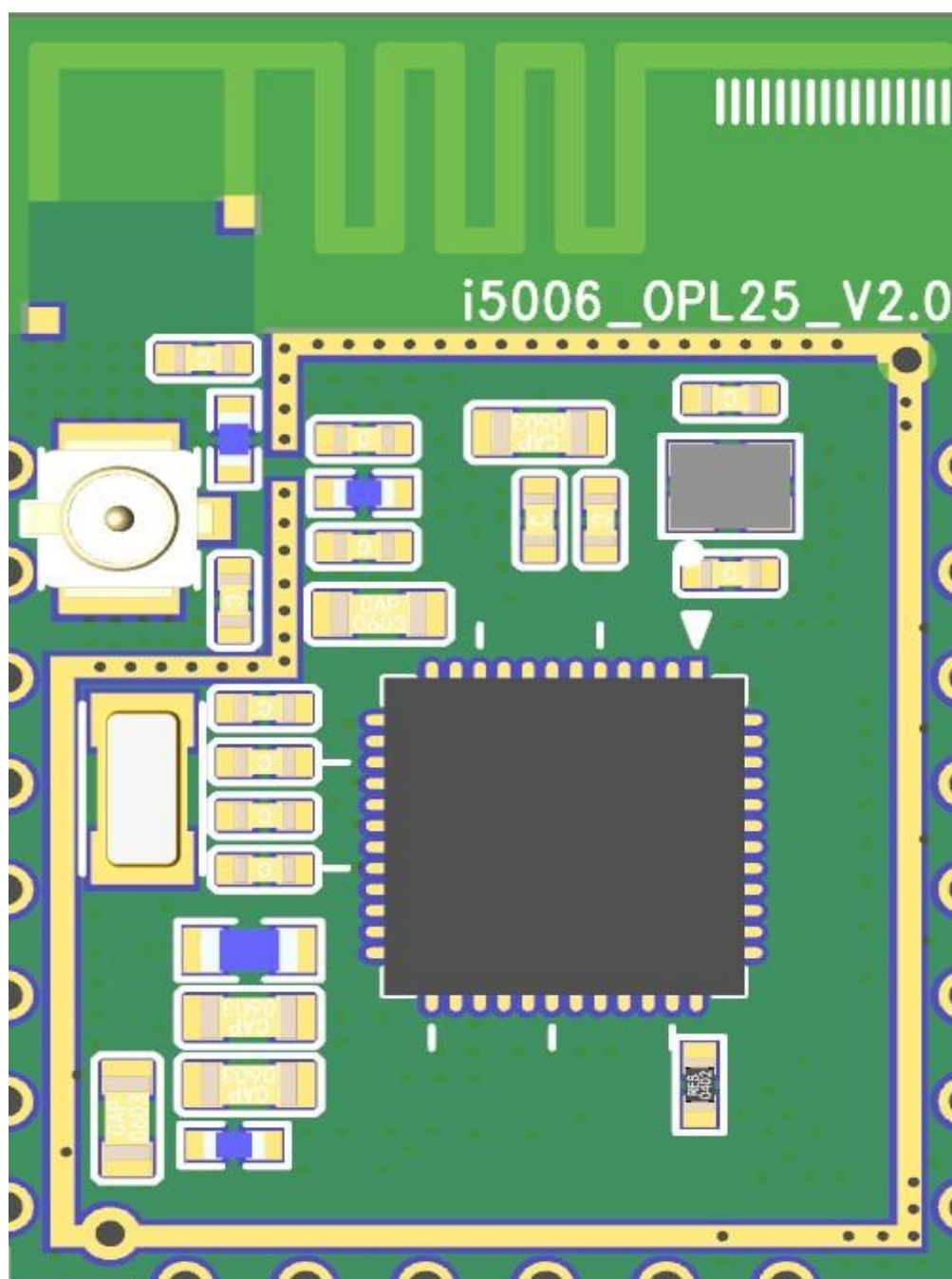
IO1	21	IO1	General Purpose Input / Output
		UART1_RX (default)	UART1 serial data receive
		UART0_RX	UART0 serial data receive
IO22	22	IO22	General Purpose Input / Output
		UART1_TX (default)	UART1 serial data transmit
		UART0_TX	UART0 serial data receive
		PWM2	PWM channel 2

4. 底板參考電路



5. 模块尺寸

5.1. 外观



5.2. 尺寸

Figure 1. Module TOP view

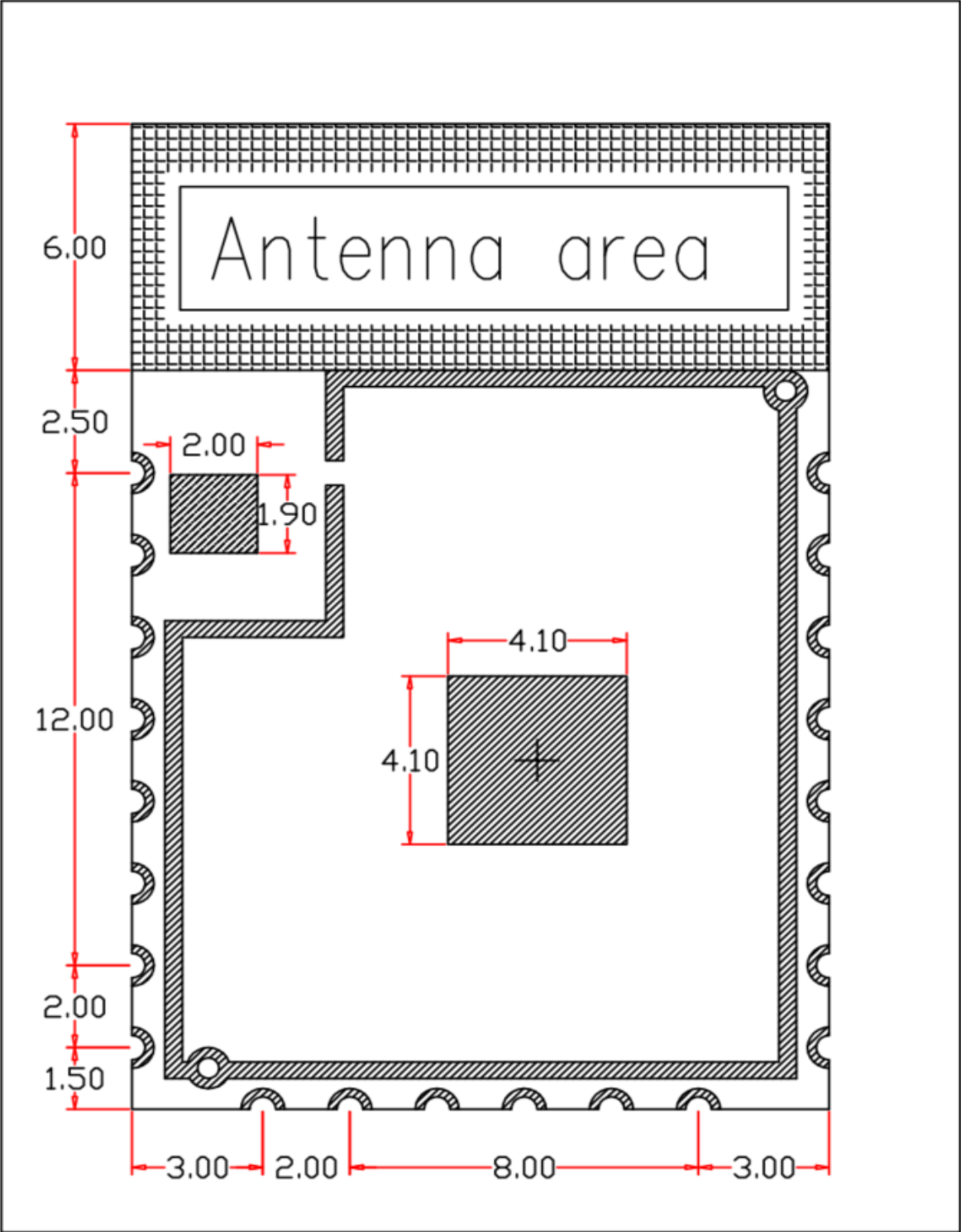


Figure 2. Module Bottom view

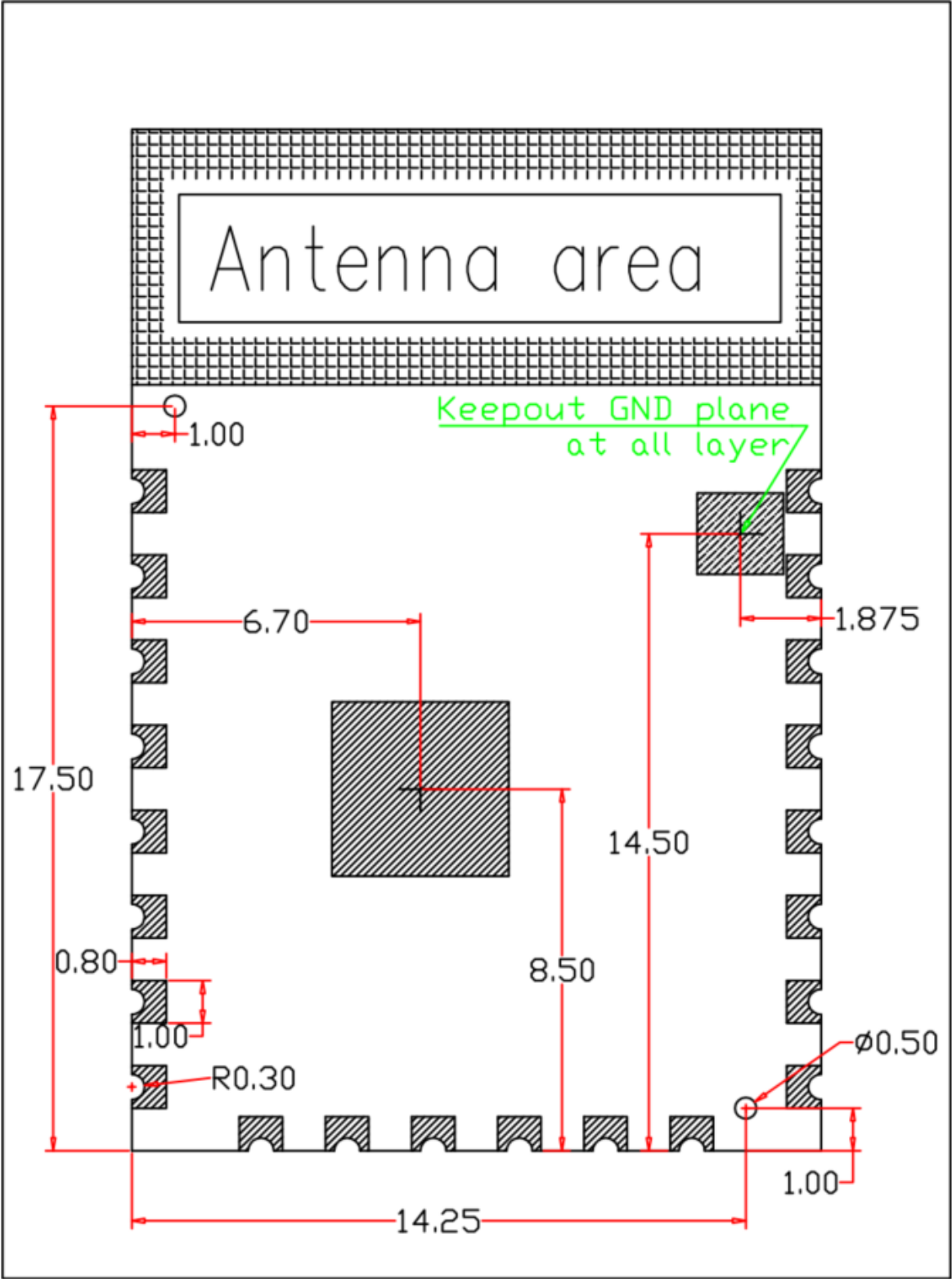
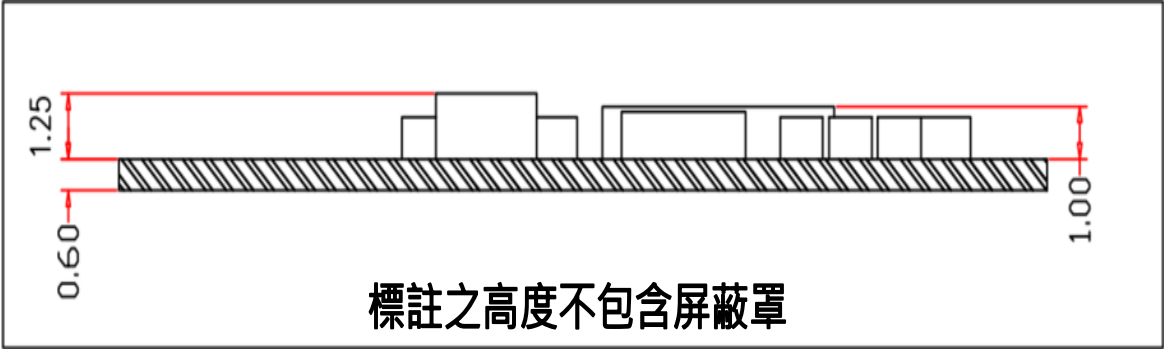


Figure 3. Module Front view



6. 模組使用注意事項

6.1. 使用模組天線注意事項

6.1.1. 需外露使用，如 Figure 4

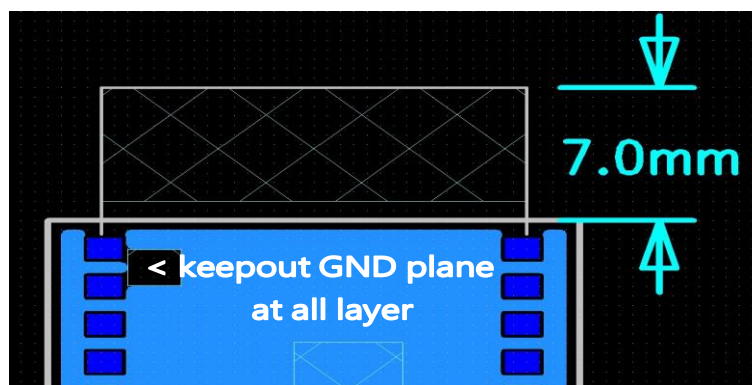
6.1.2. 機構外殼禁止使用金屬，以及金屬漆

6.1.3. 天線周圍，不可放置 LDO 與 DC-DC converter....等等電源電路

6.1.4. 天線周圍，不可有阻擋物，需有 10mm 以上之空間

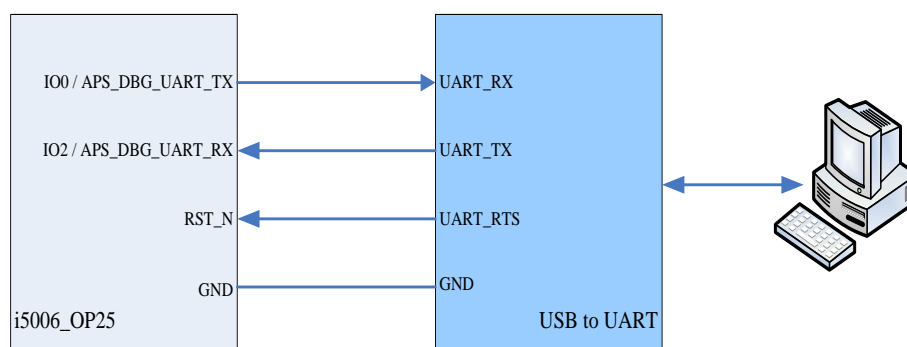
6.1.5. 使用外接天線 (IPEX connector) 時，GND plane 須所有層面禁空

Figure 4. 天線於底板設計

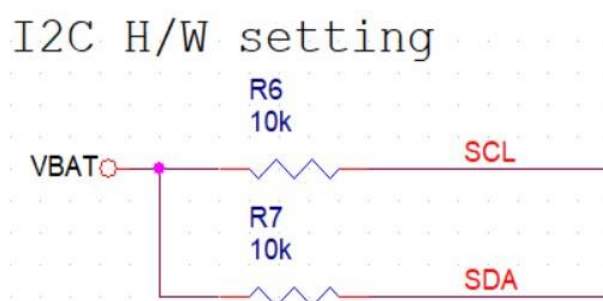


6.2. 燒錄腳位為 IO0 / IO2 / RST_N，請留測試點或連接器，以利燒錄與除錯

6.2.1. 在燒錄一開始，需將芯片重置，才能將程式燒錄至芯片



6.3. 使用 I2C 時，需上拉電阻 10k Ω



6.4. RST_N 與 PWR_ON 設定

6.4.1. PWR_ON 說明

6.4.1.1. 無需 RC 延遲電路，連接 VABT 即可

6.4.1.2. 如有控制 PWR_ON 的功能時，需要增加一顆上拉或下拉電阻，已確保剛上電時，PWR_ON 的初始值，不會有浮接的情況發生

6.4.1.3. 芯片在無回應的狀態下，可重置芯片

6.4.1.4. PWR_ON 重置芯片所有電路，重置後到正常工作時間，約 20mS

6.4.1.5. 可控制 PWR_ON 讓芯片更省電，當 PWR_ON = "0" 時，芯片消耗電流約 0.1uA

6.4.2. RST_N 說明

6.4.2.1. 無需 RC 延遲電路，連接 VABT 即可

6.4.2.2. 承上，因需要燒錄需要重置芯片，所以 RST_N 需要額外處理

6.4.2.2.1. 開關電源 (Power supply on / off)，也可重置芯片，但燒錄 UART 板，需有隔離 IO 電源的功能，避免 IO 電源持續供電，造成芯片無法重置

6.4.2.2.2. 如無上述功能，RST_N 需接上拉電阻，避免 VBAT 與 GND 短路

6.4.2.3. 如有控制 RST_N 的功能時，需要增加一顆上拉或下拉電阻，已確保剛上電時，RST_N 的初始值，不會有浮接的情況發生

6.4.2.4. 芯片在無回應的狀態下，可重置芯片

6.4.2.5. RST_N 重置芯片數位邏輯電路，重置後到正常工作時間，約 10mS

6.4.2.6. 可控制 RST_N 讓芯片更省電，當 RST_N = "0" 時，芯片消耗電流約 30uA

CONTACT

sales@Opulinks.com