

OPL2500S

ULTRA-LOW POWER 2.4GHZ WI-FI + BLUETOOTH SMART SOC

HDK 開發指南



OPULINKS

<http://www.opulinks.com/>

Copyright © 2023, Opulinks. All Rights Reserved.

OPL12500-HDK 開發指南 | Version 1.0

版本紀錄

Date	Version	Contents Updated
2022/08/03	1.0	● Initial Release
2023/08/03	1.1	● 新增模組半孔建議設計

旺凌雙核雙模主推超低功耗，藍牙與 Wi-Fi 同連接使用場景，SoC 架構與電路設計與市場上單模藍牙/Wi-Fi 或是高功耗雙系統雙模競品不同。不管是在模塊設計或應用上的軟體開發，請遵守旺凌提供的開發指南與應用範例。客戶過去的經驗不一定適用於旺凌也不是因為旺凌 SoC 過於敏感而是因為功耗與性能本是設計上的取捨不能完全兼顧。如果一定要有不同，請聯繫旺凌做支持避免浪費時間與資源

目錄

1. 摘要 ABSTRACT 1

2. 引言 INTRODUCTION 2

3. 芯片腳位定義與功能敘述 CHIP PIN DEFINITION AND FUNCTIONAL DESCRIPTION ... 3

 3.1. 芯片腳位 3

 3.2. 腳位定義與功能敘述 4

4. 射頻電路設計 RF CIRCUIT DESIGN..... 6

5. 接地區域 GROUND PLANES 7

6. 電源走線和電源去耦 DC POWER TRACE LAYOUT DECOUPLING..... 9

 6.1. 各路電源建議線路 9

 6.2. DC-DC 直流轉換器 10

 6.2.1. SWITCHING 電感規格 10

 6.2.2. DC-DC 電路說明 10

 6.3. RF 電源 11

 6.4. RF_PA 電源 11

 6.5. VBAT 注意事項 12

7. 晶振 CRYSTAL 13

 7.1. 20MHZ CRYSTAL 建議規格 13

 7.2. 32.768KHZ CRYSTAL 建議規格 14

 7.3. 設計說明 14

8. 芯片設計注意事項 CHIP ON BOARD 15

 8.1. 參考線路 15

 8.2. RF 匹配電路 16

 8.2.1. RF match 16

 8.2.2. ANT match 16

8.3. POWER-UP SEQUENCE 16

8.4. PWR_ON 設計說明 17

8.5. RST_N 設計說明 18

8.6. 芯片硬體設定 19

8.7. 芯片燒錄腳位 19

9. 模組設計注意事項 DESIGN MODULE 20

9.1. 參考電路 20

9.2. 模組參考用料表 21

9.3. 注意事項 22

9.3.1. Shielding cover 22

9.3.2. 模組半孔設計 22

9.3.3. 模組腳位的規劃 23

9.3.4. PCB 天線 23

9.3.5. 模組生產測試 24

10. 模組使用注意事項 USE MODULE 25

10.1. 方塊圖 25

10.2. 模組腳位 26

10.3. 模組腳位定義 27

10.4. PLACEMENT 30

10.5. PACKAGE DIAGRAM 31

10.6. 底板參考電路 34

10.7. VBAT 電壓範圍 35

10.8. 使用模組天線注意事項 35

10.8.1. PCB 天線 35

10.8.2. 外置天線 35

10.9. 燒錄腳位 36

10.10. INTERFACE 36

10.10.1. UART 36

10.10.2. I2C 36

10.11. RST_N / PWR_ON 設定..... 37

10.12. 模組與底板的連接..... 37

10.13. 電池規格 37

10.14. 電源雜訊 37

11. SOLDER REFLOW PROFILE 38

12. LAYOUT 注意事項..... 39

12.1. RF 阻抗設計 39

12.2. PCB 疊構參考設計..... 39

12.3. PCB 天線設計注意事項 40

12.4. RF 信號 40

12.5. 電源 40

12.6. E-PAD 41

12.7. PLACEMENT 42

12.8. GROUND PLANE..... 42

12.9. 走線 42

圖目錄

FIGURE 1 BLOCK DIAGRAM 2

FIGURE 2 PIN LAYOUT 3

FIGURE 3 RF 建議電路設計..... 6

FIGURE 4 接地過孔(VIA) 7

FIGURE 5 E-PAD SOLDER MASK 注意事項 7

FIGURE 6 紅色外框為 SHIELDING COVER (SHORTED TO GND) 8

FIGURE 7 OPL2500S 電源建議線路..... 9

FIGURE 8 DC-DC BUCK CONVERTOR 建議線路 10

FIGURE 9 RF 電源..... 11

FIGURE 10 RF_PA 電源 11

FIGURE 11 系統電源建議線路 12

FIGURE 12 20MHZ CRYSTAL 電路..... 13

FIGURE 13 32.768KHZ CRYSTAL 電路..... 14

FIGURE 14 OPL2500S COB 參考電路..... 15

FIGURE 15 POWER-UP SEQUENCE 16

FIGURE 16 PWR_ON 參考電路 17

FIGURE 17 PWR_ON 控制參考電路..... 17

FIGURE 18 RST_N 參考電路 18

FIGURE 19 RST_N 控制參考電路 18

FIGURE 20 硬體設定..... 19

FIGURE 21 燒錄腳位..... 19

FIGURE 22 模組參考電路 20

FIGURE 23 SHIELDING COVER 包覆的範圍 (白色區域)..... 22

FIGURE 24 半孔建議最小規格 22

FIGURE 25 建議探針規格 23

FIGURE 26 建議探針套筒規格 23

FIGURE 27 天線尾端印刷上刻度..... 24

FIGURE 28 模組半孔設計 24

FIGURE 29 BLOCK DIAGRAM FOR M25P_MODULE 25

FIGURE 30 M25S PIN LAYOUT..... 26

FIGURE 31 PLACEMENT 30

FIGURE 32 TOP VIEW 31

FIGURE 33 BOTTOM VIEW 32

FIGURE 34 FRONT VIEW 33

FIGURE 35 底板參考電路 34

FIGURE 36 模組擺放位置限制 35

FIGURE 37 PC TO DUT 36

FIGURE 38 I2C 硬體設定 36

FIGURE 39 SOLDER REFLOW PROFILE 38

FIGURE 40 堆疊與阻抗 39

FIGURE 41 ANTENNA GND PLANE 40

FIGURE 42 樹枝狀走線 41

FIGURE 43 去耦電容的使用注意事項 41

FIGURE 44 QFN FOOTPRINT 41

FIGURE 45 平行走線..... 42

表目錄

TABLE 1 PIN DESCRIPTION 4

TABLE 2 INDUCTOR SPECIFICATION 10

TABLE 3 CRYSTAL SPECIFICATION FOR 20MHz 13

TABLE 4 CRYSTAL SPECIFICATION FOR 32.768kHz 14

TABLE 5 POWER-UP SEQUENCE TIMER REQUIREMENTS 17

TABLE 6 模組參考用料表 21

TABLE 7 PIN DESCRIPTION 27

TABLE 8 模組工作電壓..... 35

TABLE 9 UART FUNCTION 36

TABLE 10 PCB 疊構說明 39

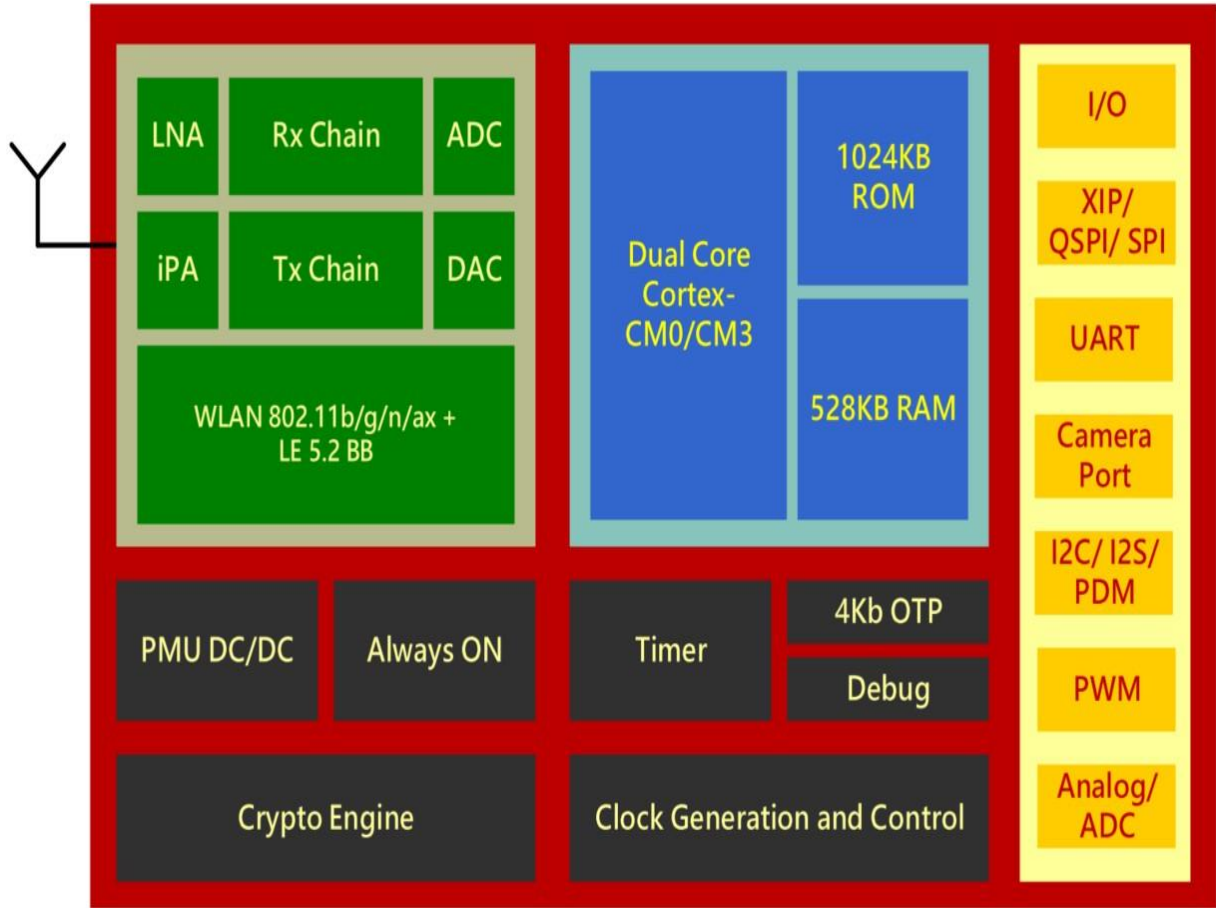
1. 摘要 ABSTRACT

OPL2500 是集成 Wi-Fi 802.11 b/g/n/ax 及藍牙的單芯片，高度整合所有 Wi-Fi 及藍牙的無線網絡聯機需求，以最新的技術，設計最低功率消耗，最小的封裝支持最多的接口，且極低的製造成本，實現更新的運用領域，成為客戶開創新商品所必備的芯片。

2. 引言 INTRODUCTION

OPL2500 是高度集成、高性價比及極低功耗的應用處理芯片 SoC，提供 Wi-Fi 802.11b/g/n/ax 及 藍牙結合雙內核 ARM® 32-bit MCU 的整體解決方案，充份滿足物聯網 (IoT) 各種多樣化的產品，同時配備豐富的外圍接口，支持各種訊息傳遞，有效分佈式數據收集處理，應用于雲端網路系統，並提供實時 (Real-time) 監控，訊息加密、消息認證傳輸協調議等功能。快速實現消費性電子產品開發及量產，應用于智能家電、工業/工廠自動化、智慧安防報警及消防聯動系統、門禁考勤、智能電網、環境生態監測、污染防治...等應用的需求。

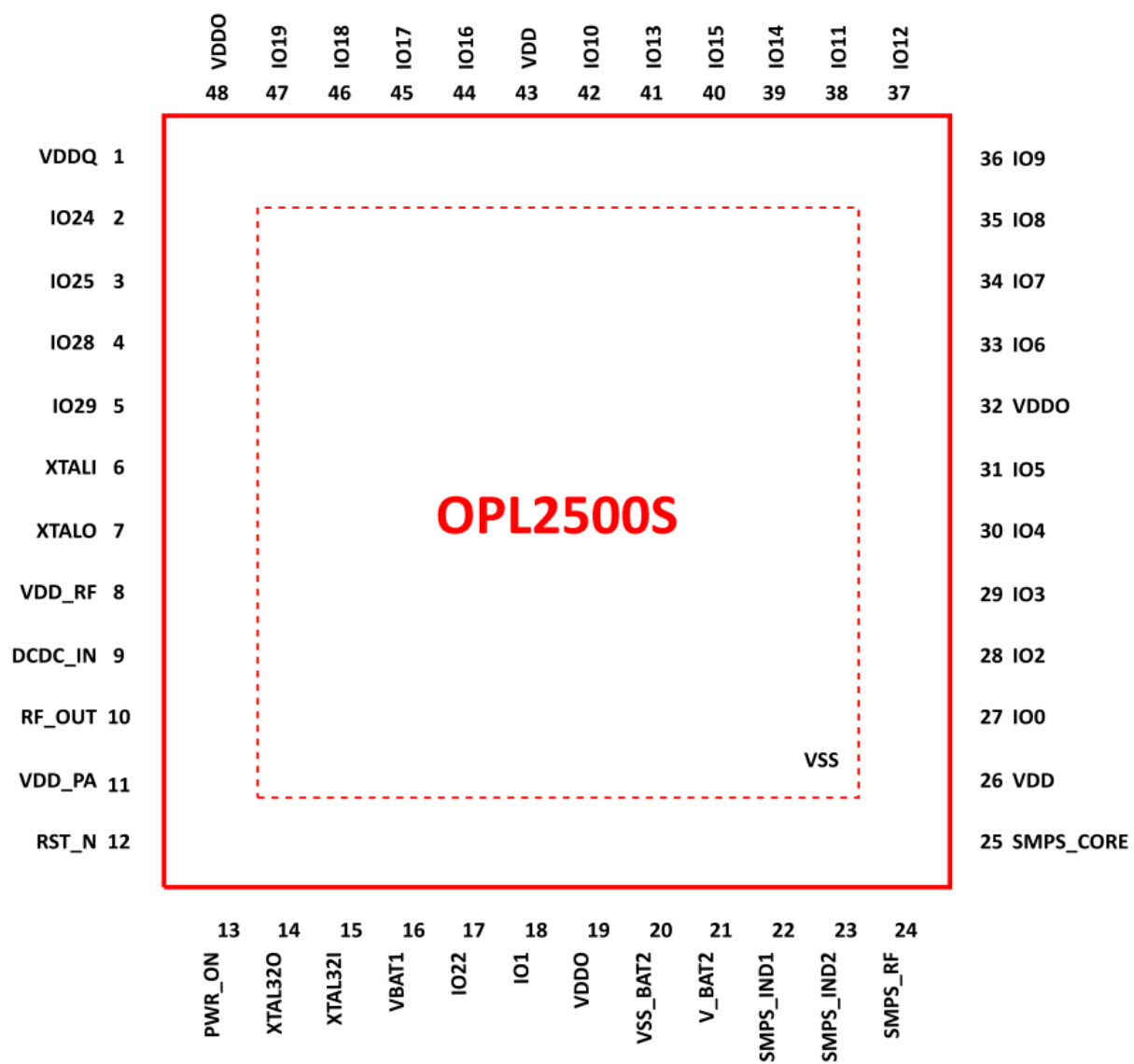
Figure 1 Block diagram



3. 芯片腳位定義與功能敘述 CHIP PIN DEFINITION AND FUNCTIONAL DESCRIPTION

3.1. 芯片腳位

Figure 2 PIN LAYOUT



3.2. 腳位定義與功能敘述

Table 1 PIN DESCRIPTION

Pin Name	Type	Loc.	Functional Description
VDDQ	P	1	Power supply for internal OTP memory for programming
IO24	IO	2	General Purpose Input / Output
IO25	IO	3	General Purpose Input / Output
IO28	IO	4	General Purpose Input / Output
IO29	IO	5	General Purpose Input / Output
XTALI	I	6	Crystal reference input pin
XTALO	O	7	Crystal reference output pin
VDD_RF	P	8	Main RF LDO output
DCDC_IN	P	9	Power supply input for RF LDOs
RF_OUT	IO	10	RF input/output with on-chip T/R switch
VDD_PA	P	11	PA power supply input
RST_N	I	12	Reset input signal
PWR_ON	I	13	Power on signal
XTAL32O	O	14	32K crystal output
XTAL32I	I	15	32K crystal input
VBAT	P	16	Main power supply input
IO22	IO	17	General Purpose Input / Output
IO1	IO	18	General Purpose Input / Output
VDDO	P	19	Power supply for digital IO pad
VSS_BAT2	P	20	Main power supply ground for the power management unit
V_BAT2	P	21	Main power supply for the power management unit
SMPS_IND1	P	22	DC-DC power converter inductor pin
SMPS_IND2	I	23	DC-DC power converter inductor pin
SMPS_RF	P	24	DC-DC converter output for RF radio
SMPS_CORE	P	25	DC-DC converter output for digital core supply
VDD	P	26	Power supply for digital core
IO0	IO	27	General Purpose Input / Output
IO2	IO	28	General Purpose Input / Output
IO3	IO	29	General Purpose Input / Output
IO4	IO	30	General Purpose Input / Output
IO5	IO	31	General Purpose Input / Output
VDDO	P	32	Power supply for digital IO pad

Pin Name	Type	Loc.	Functional Description
IO6 ^{††}	IO	33	General Purpose Input / Output
IO7	IO	34	General Purpose Input / Output
IO8	IO	35	General Purpose Input / Output
IO9	IO	36	General Purpose Input / Output
IO12	IO	37	General Purpose Input / Output
IO11	IO	38	General Purpose Input / Output
IO14	IO	39	General Purpose Input / Output
IO15	IO	40	General Purpose Input / Output
IO13	IO	41	General Purpose Input / Output
IO10	IO	42	General Purpose Input / Output
VDD	P	43	Power supply for digital core
IO16	IO	44	General Purpose Input / Output
IO17	IO	45	General Purpose Input / Output
IO18	IO	46	General Purpose Input / Output
IO19	IO	47	General Purpose Input / Output
VDDO	p	48	Power supply for digital IO pad
VSS	P	E-Pad	Common Ground

† Multifunction pins. Please refer to the Pin Multiplexing Table below for the multifunction provided.

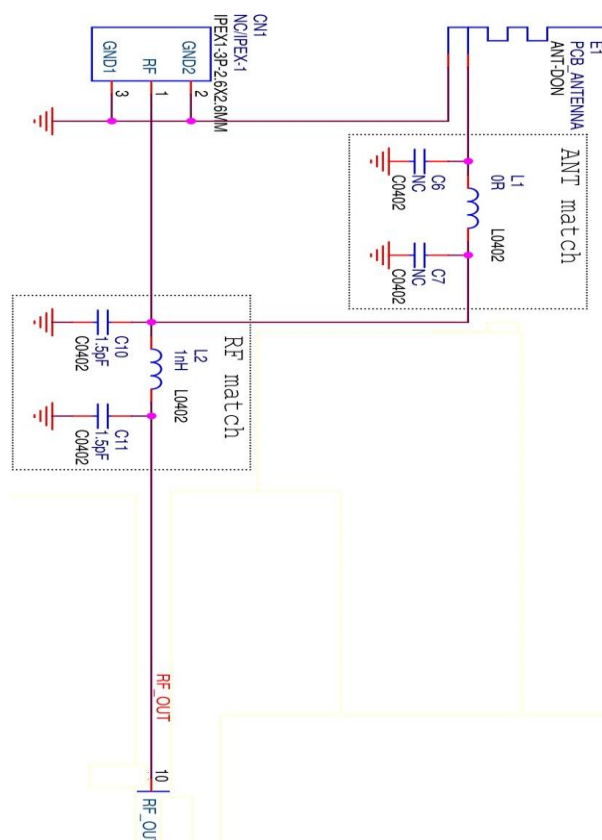
†† IO6 is part of the chip mode strapping pins; it is highly recommended that this pin is used as an output pin to avoid affect the normal mode operation

4. 射頻電路設計 RF CIRCUIT DESIGN

OPL2500S 使用極少數的組件，由天線連接到芯片的 RF_OUT (pin10)，芯片內部整合自動傳送 / 接收雙向開關 (T/R switch)，達到極簡化設計，以支持不同的應用，請參考“芯片腳位定義與功能敘述”

- ANT match 與 RF match 上所標示的值，會因电路板的差異而有所改變，所以必須由專業人員確認其值是否正確
- 當使用 PCB Antenna 時，CN1 不上件
- 當使用 IPEX connector 時，L1 / C6 / C7 不上件
- 承上，如使用外置天線，天線的規格與品質，需由天線廠商自行把控

Figure 3 RF 建議電路設計

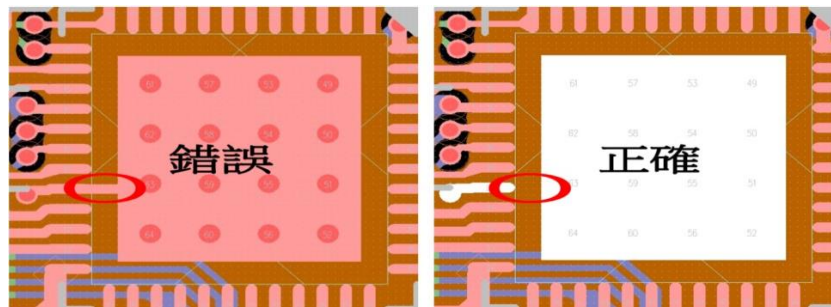


5. 接地區域 GROUND PLANES

OPL2500 接地結合了 RF 和 Baseband 的 e-Pad、DC-DC switching regulator 直流電源轉換的接地訊號 (VSS_BAT2) 及外圍接口的接地迴路，再配合 PCB 第一層露銅焊接，達到最佳接地及散熱面積。

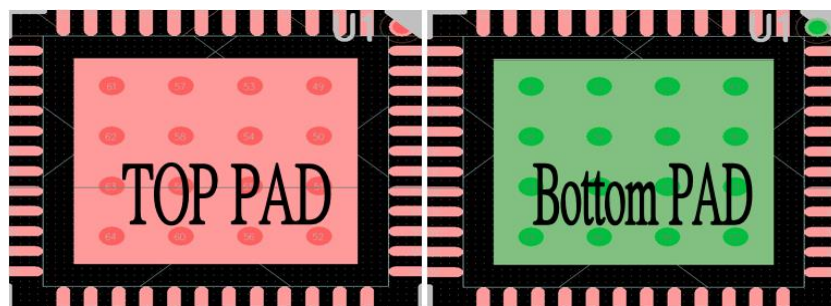
- 在 PCB 的 RF 部份間佈大量的接地過孔 (via)，有助於防止接地電流迴路，造成寄生效應增大。需注意 VSS (e-Pad) 不能直接與 VSS_BAT2 (pin 20) 直接連接，應過接地孔 (via) 後再相連接一起，因過孔有助於防止 PCB 上射頻訊號與其它訊號線直接相交耦合。
- 芯片底下不鋪銅 (GND Plane)，必免與 VSS_BAT2 直接連接，造成迴路。

Figure 4 接地過孔(VIA)



- 電源電路及 DC-DC switching regulator 相關路徑，必須考慮 IC 的迴路電流，加大線寬、鋪銅面積，以及最短路徑接地。
- QFN 包裝，在芯片的底下有 e-PAD，在這區域的 TOP 層 Bottom 層皆需打開防焊層。

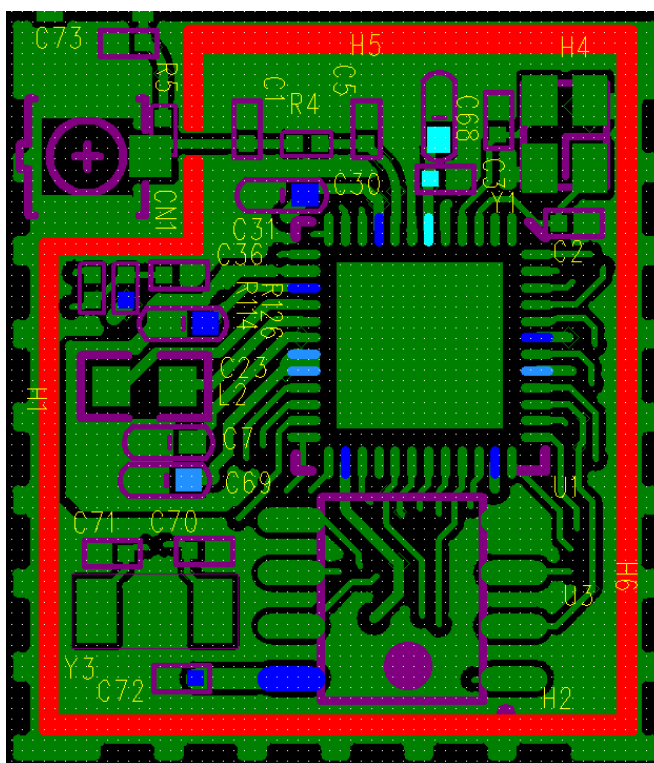
Figure 5 E-PAD SOLDER MASK 注意事項



- PCB layout 上增加 Shielding cover 直接將高頻或是易受電磁干擾的元件包覆起來，用以削弱電磁場的影響、藉此提高元件的抗干擾能力，屏蔽的目的在於把干擾源

隔絕在屏蔽外、或是將容易產生干擾的射頻與高頻元件，將產生的輻射干擾減到可接受的範圍。

Figure 6 紅色外框为 SHIELDING COVER (SHORTED TO GND)

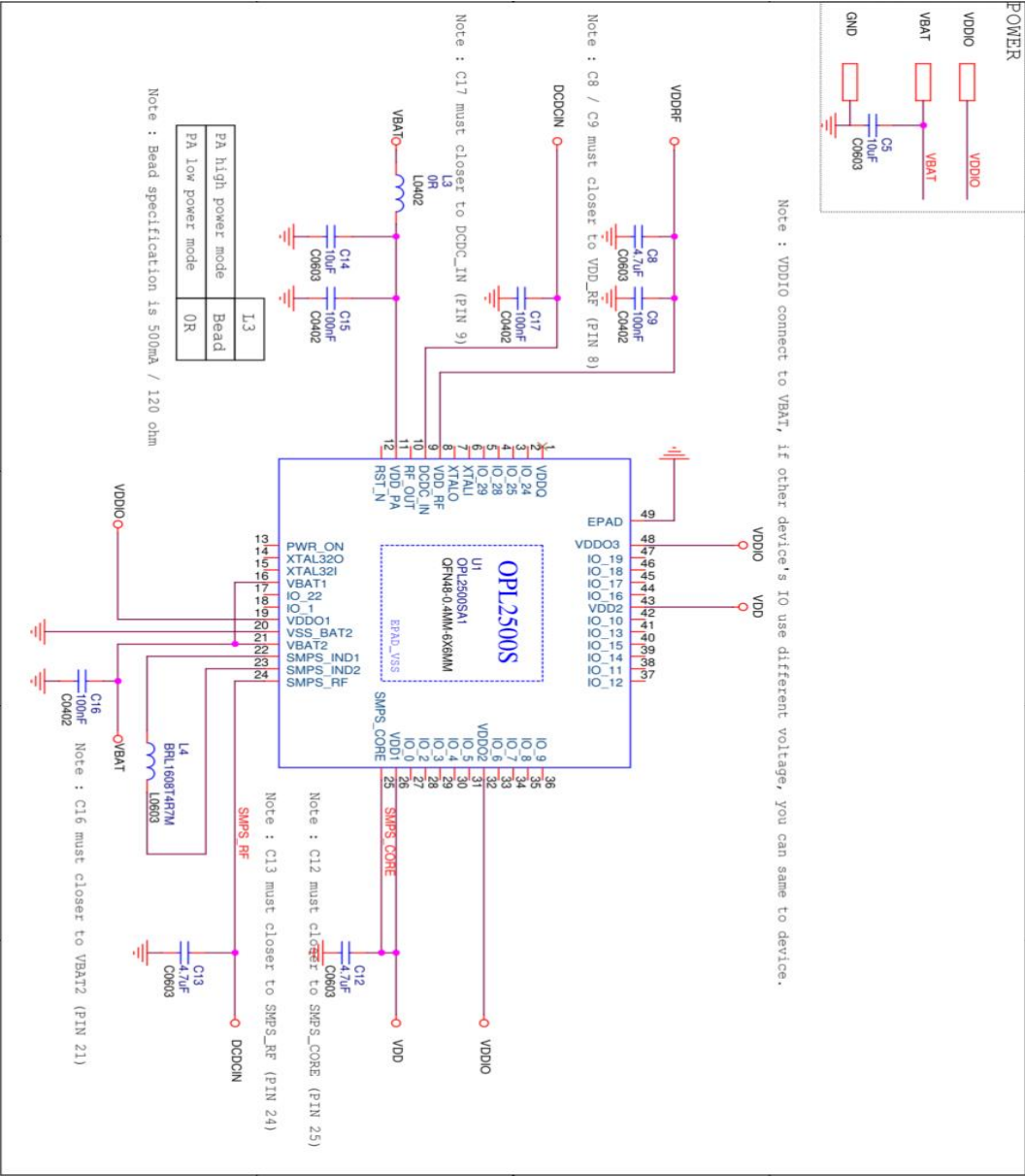


6. 電源走線和電源去耦 DC POWER TRACE LAYOUT DECOUPLING

用戶依需求控制芯片在各種操作模式，OPL2500 芯片內部高效 DC-DC switching regulator 及 LDO 直流轉換器，會相應調控電源模塊，達到最低功率消耗目的。

6.1. 各路電源建議線路

Figure 7 OPL2500S 電源建議線路



6.2. DC-DC 直流轉換器

6.2.1. SWITCHING 電感規格

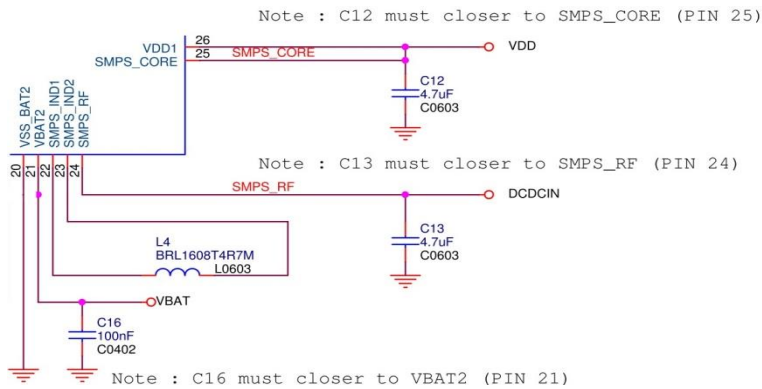
Table 2 Inductor Specification

Part No.	BRL1608T4R7M (Taiyo Yuden)	AQH160808T4R7MTBT (Arlitech)
Nominal inductance	4.7uH	4.7uH
Inductance tolerance	± 20%	± 20%
DC Resistance	1.3Ω (Max.)	0.312Ω (Max.)
Isat	240mA	145mA
Irms	310mA	470mA
SRF	150MHz (Min.)	45MHz (Min.)

6.2.2. DC-DC 電路說明

- 電感兩端以最短路徑連接 SMPS_IND1 及 SMPS_IND2
- VBAT2 (PIN 21) 為電源輸入端，需有 0.1uF / 6.3V (C16) 去耦電容
- SMPS_RF (PIN 24) 為電源輸出端，需有 4.7uF / 6.3V (C13) 去耦電容，並且靠近芯片。
- SMPS_CORE (PIN 25) 為電源輸出端，需有 4.7uF / 6.3V (C12) 去耦電容，並且靠近芯片。

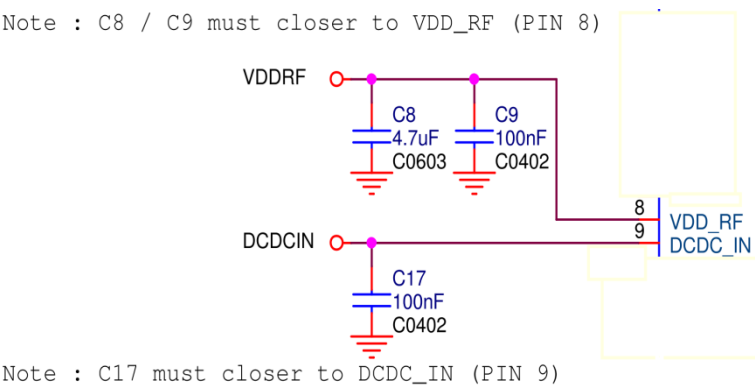
Figure 8 DC-DC Buck Converter 建議線路



6.3. RF 電源

- DCDC_IN (PIN 9)為輸入端，需有 0.1uF / 6.3V (C17) 去耦電容，並且靠近芯片
- VDD_RF (PIN 8) 為輸出端，需有 0.1uF / 6.3V (C8) 和 4.7uF / 6.3V (C9) 去耦電容，並且靠近芯片

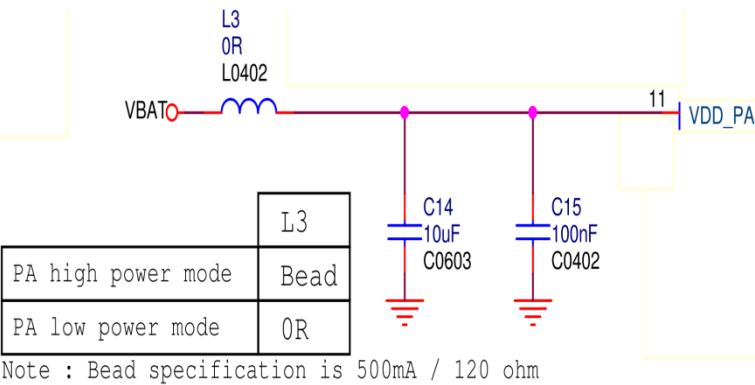
Figure 9 RF 電源



6.4. RF_PA 電源

- VDD_PA (pin 11) 是芯片內部 PA 功率放大器的主要電源，與 VBAT 連接，需加去耦電容
- VBAT 與 VDDPA 之間預留一顆 Bead (L3) 的零件位置，因高功率模式下，PA 增大電流，有雜訊產生，故可使用 Bead 抑制雜訊

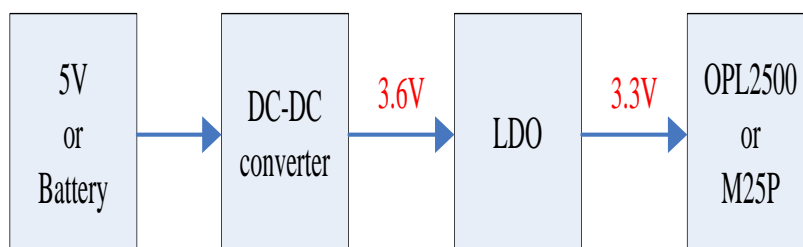
Figure 10 RF_PA 電源



6.5. VBAT 注意事項

- 去耦電容須大於 20uF，可多顆電容並聯
- VBAT2 (PIN 21) 需有穩定的電源輸入，其雜訊須小於 100mV @WiFi TX mode
- VBAT2 最大輸入電壓為 3.6V，超過此電壓，會讓芯片燒毀
- 如果使用 DCDC 來提供 VBAT 的電源，因 DCDC 會有 Switching noise，在某些特定的情況下，電壓會產生超過 3.6V 的脈衝電壓，因而造成芯片異常
- 承上，若電源必須使用 DCDC，建議在 DCDC 之後，增加 LDO 來穩定電壓，保證供電的穩定性，或是由使用方保證 DCDC 對 VBAT 供電的穩定性
- 建議針對較大負載之電路，利用磁珠來隔離電源，避免瞬間電流過大，產生電流雜訊，而回流至 OPL2500P 電源電路，進而告成異常
- 承上，磁珠的選擇，應以電流為主，阻抗為輔

Figure 11 系統電源建議線路



7. 晶振 CRYSTAL

7.1. 20MHz Crystal 建議規格

- ESR < 55 Ω 為最佳值，我司目前使用之規格為 < 30 Ω (實測值)

Figure 12 20MHz Crystal 電路

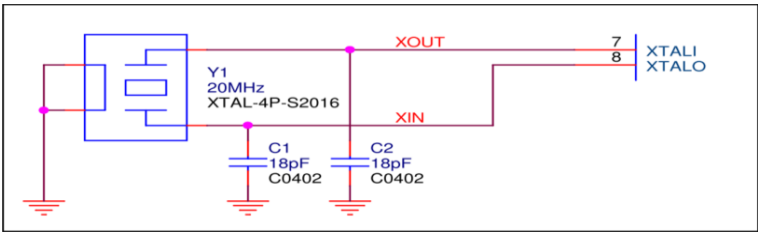


Table 3 Crystal specification for 20MHz

品牌	友桂電子 (S25A-020000-T12-BCD-1AN)
Crystal frequency	20.000MHz
Enclosure	S2520A
Frequency tolerance	±10ppm at 25°C
ESR	Less than 55 Ω
Level of Drive	100uW
Load capacitance	12pF
Insulation Resistance	More than 500MΩ at DC100V

品牌	友桂電子 (S20A-020000-T12-BCD-YNKA)
Crystal frequency	20.000MHz
Enclosure	S2016A
Frequency tolerance	±10ppm at 25°C
ESR	Less than 55 Ω
Level of Drive	100uW
Load capacitance	12pF
Insulation Resistance	More than 500MΩ at DC100V

7.2. 32.768kHz Crystal 建議規格

- 如需降低功耗或是成本，可省略此零件，利用芯片內部 RC 振盪
- 承上，RC 振盪誤差值較大，所以需要精確計時的功能，請勿省略此晶振

Figure 13 32.768kHz Crystal 電路

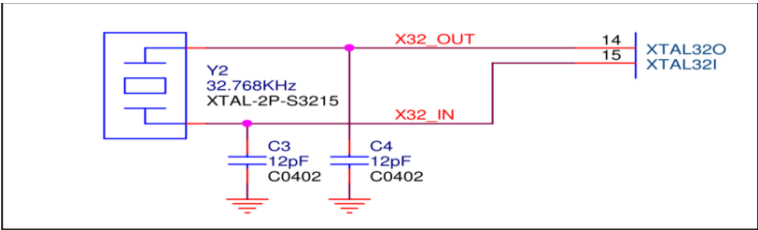


Table 4 Crystal specification for 32.768kHz

品牌	友桂電子 (S3215C-032768-12-20-NKA)
Crystal frequency	32.768kHz
Enclosure	S3215A
Frequency tolerance	±20ppm at 25°C
ESR	70kΩ Max.
Level of Drive	1uW Max.
Load capacitance	12.5pF

品牌	友桂電子 (S2012S-032768-12-20-NKA)
Crystal frequency	32.768kHz
Enclosure	S2012S
Frequency tolerance	±20ppm at 25°C
ESR	70kΩ Max.
Level of Drive	1uW Max.
Load capacitance	12.5pF

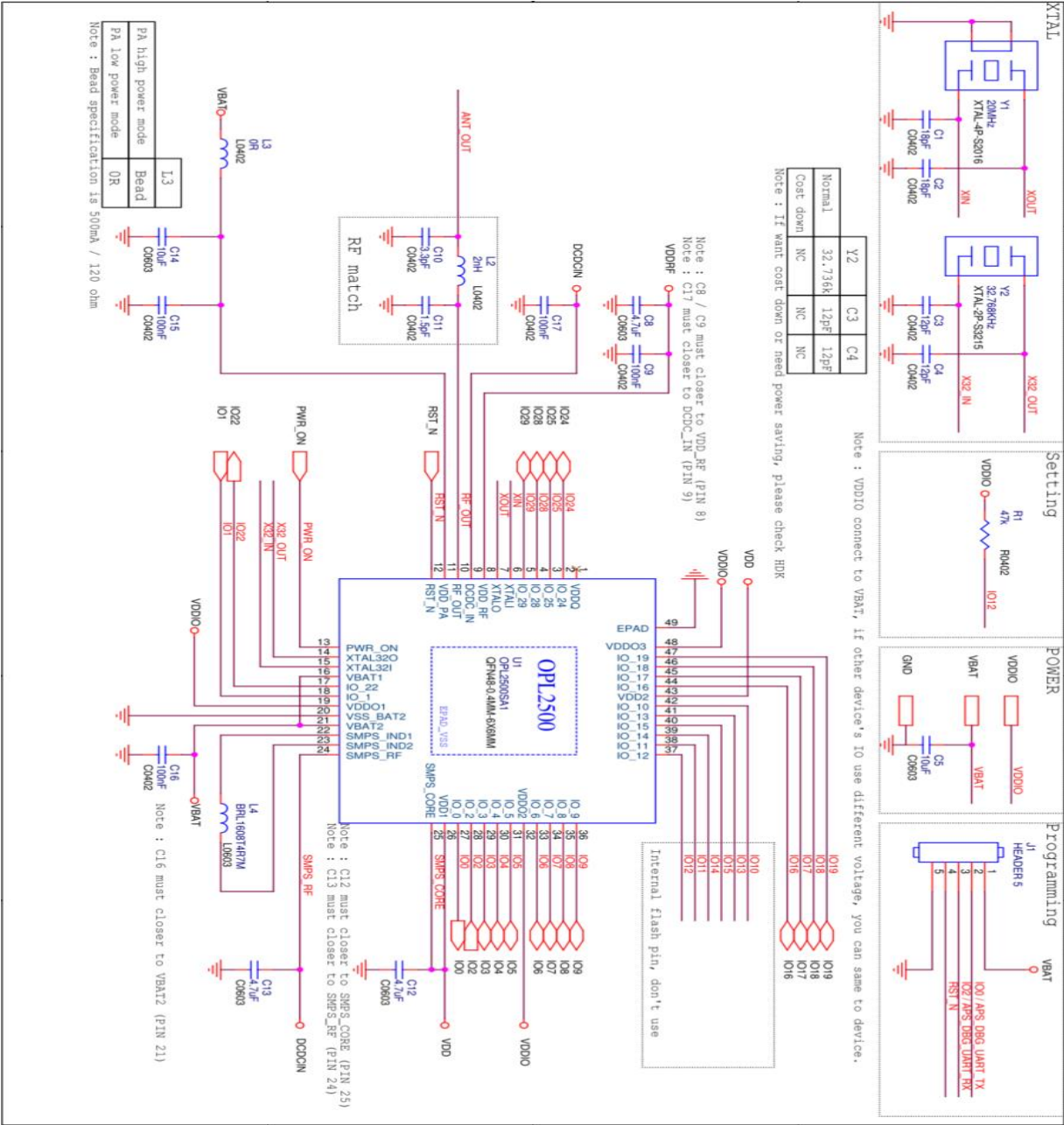
7.3. 設計說明

- 晶振需靠近 IC，且遠離高速信號，以及大負載之電源
- 晶振底下禁止走線，晶振信號除外芯片

8. 芯片設計注意事項 CHIP ON BOARD

8.1. 參考線路

Figure 14 OPL2500S COB 參考電路



8.2. RF 匹配電路

- 須確認 TX 低中高三個頻道，其最大值與最小值相減後，需控制在 1dBm 以內為最佳
- 須確認 RX 低中高三個頻道，其最大值與最小值相減後，需控制在 1dBm 以內為最佳

8.2.1. RF match

- 針對二次諧波
- 此 π 型濾波電路，用於低通濾波器
- 此濾波器，須靠近 Front-end module 端
- 二次諧波最大值最好為 -36dBm 以下

8.2.2. ANT match

- 針對天線
- 此濾波器，須靠近天線端

8.3. Power-up Sequence

The chip power-up sequence is shown in the diagram below:

Figure 15 Power-up Sequence

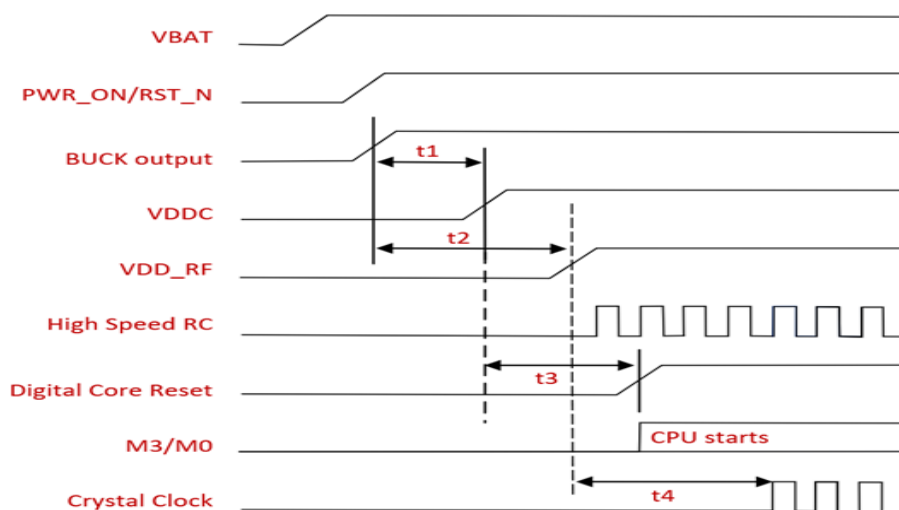


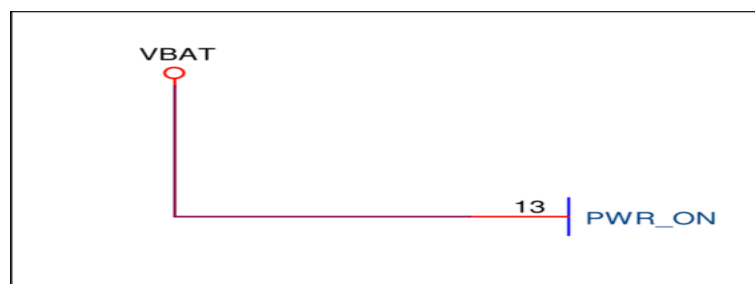
Table 5 Power-up Sequence Timer Requirements

Symbol	Parameter	Min	Typ	Max	Unit
t1	DCDC to digital power		128		us
t2	DCDC to RF / analog power		130		us
t3	Digital power to reset release		95		us
t4	RF power to crystal clock stable		400		us

8.4. PWR_ON 設計說明

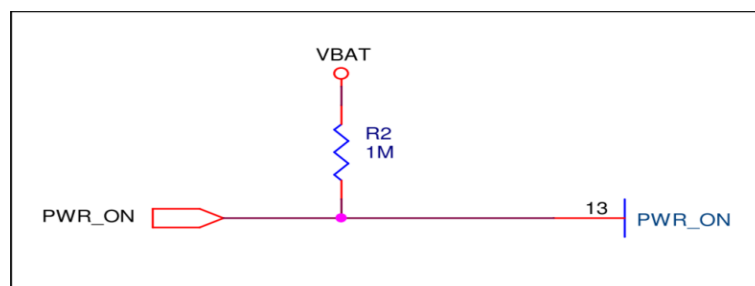
- 無需使用 RC 延遲電路，連接 VBAT 即可

Figure 16 PWR_ON 參考電路



- 如有控制 PWR_ON 的功能時，需要增加一顆電阻 (上拉或下拉)，已確保系統開機 PWR_ON 的初始值，不會有浮接的狀態
- 芯片在無回應的狀態下，可重置芯片
- PWR_ON 重置芯片所有電路，重置後到正常工作時間，約 20ms
- 當 PWR_ON = “0” 時，芯片消耗電流低於 0.1uA

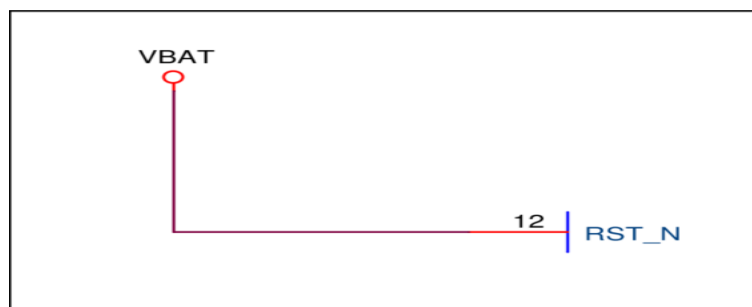
Figure 17 PWR_ON 控制參考電路



8.5. RST_N 設計說明

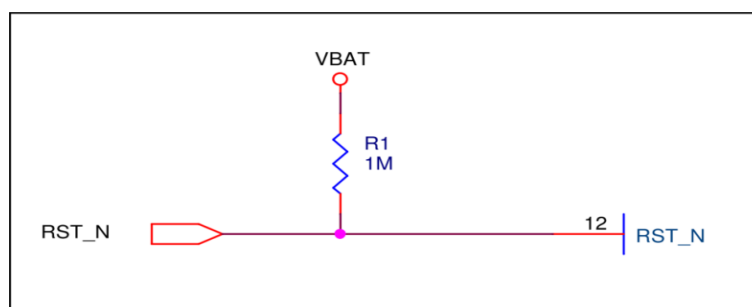
- 無需使用 RC 延遲電路，連接 VBAT 即可

Figure 18 RST_N 參考電路



- 芯片在無回應的狀態下，可重置芯片
- 承上，因需要燒錄需要重置芯片，所以 RST_N 需要額外處理
 - 開關電源 (Power supply on / off)，也可重置芯片，但燒錄 UART 板，需有隔離 IO 電源的功能，避免 UART IO 電源持續供電，造成芯片無法重置
 - RST_N 接上拉電阻，避免 VBAT 與 GND 短路

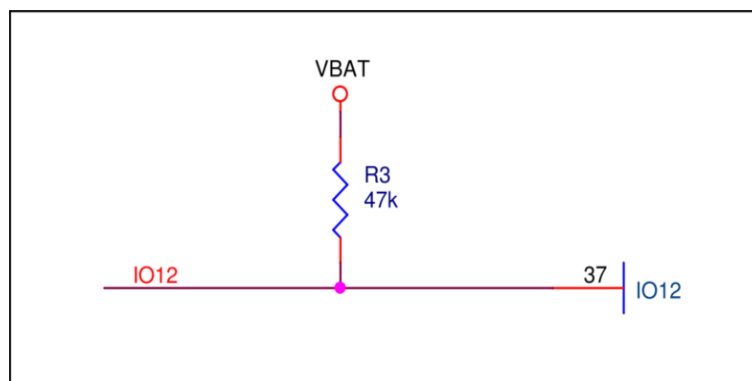
Figure 19 RST_N 控制參考電路



8.6. 芯片硬體設定

- IO12 為控制 Internal flash chip select

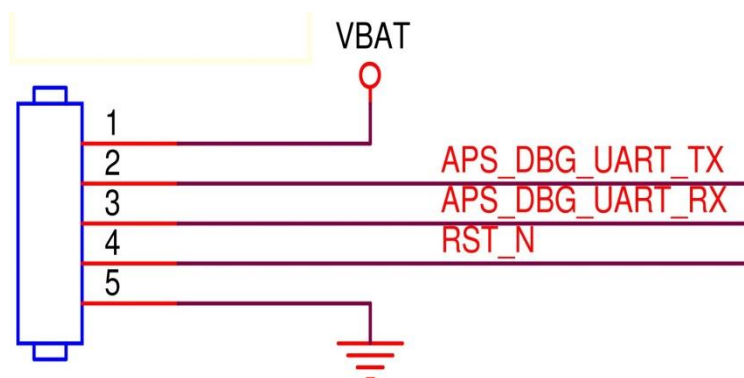
Figure 20 硬體設定



8.7. 芯片燒錄腳位

- 在燒錄一開始，需將芯片重置，才能將程式燒錄至芯片

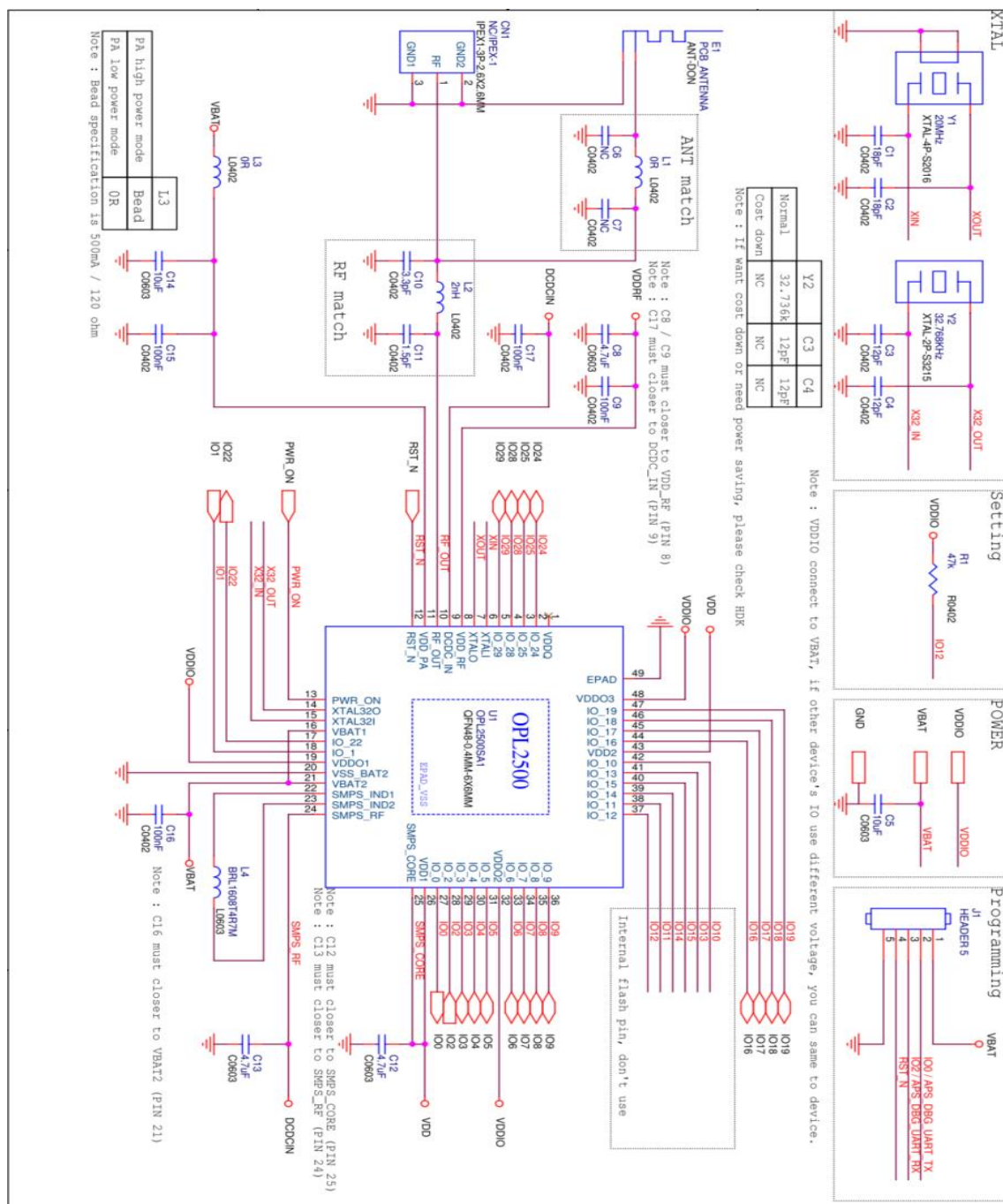
Figure 21 燒錄腳位



9. 模組設計注意事項 DESIGN MODULE

9.1. 參考電路

Figure 22 模組參考電路



9.2. 模組參考用料表

Table 6 模組參考用料表

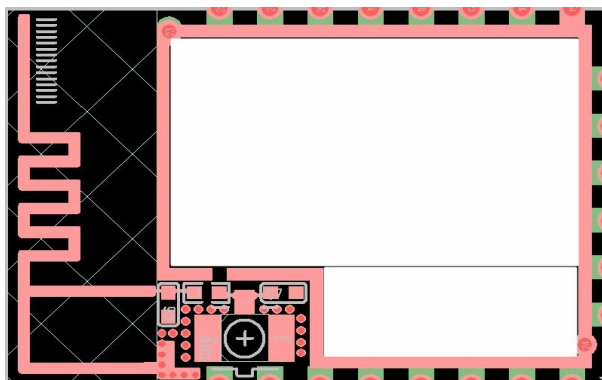
Item	Quantity	Reference	Part	Description	Specification	PCB Footprint	Vendor	Part No
1	2	C1,C2	18pF	MLCC	18pF,5%,50V	C0402	Walsin	0402N180J500CT
2	2	C3,C4	12pF	MLCC	12pF,5%,50V	C0402	Walsin	0402N120J500CT
3	2	C5,C14	10uF	MLCC	10uF,20%,6.3V	C0603	Walsin	0603S106M6R3CT
4	3	C8,C12,C13	4.7uF	MLCC	4.7uF,20%,6.3V	C0603	Walsin	0603X475K6R3CT
5	4	C9,C15,C16,C17	100nF	MLCC	100nF,5%,6.3V	C0402	Walsin	0402B104K6R3CT
6	1	C10	3.3pF	MLCC	3.3pF,±0.25pF, 50V	C0402	Walsin	0402N3R3C500CT
7	1	C11	1.5pF	MLCC	1.5pF,±0.25pF, 50V	L0402	Walsin	0402N1R5C500CT
8	2	L1,L3	0R	Resistance	0 ohm	L0402	Walsin	WR04X000JTL
9	1	L2	2nH	Inductors	2nH,±0.3nH	L0603	Murata	LQG15HS2N8S02D
10	1	L4	BRL1608T4R7M	Power Inductors	4.7uH,20%,240mA,150MHz	QFN48-0.4MM-6X6MM	Taiyo Yuden	BRL1608T4R7M
11	1	U1	OPL2500SA1	WiFi BLE SoC			Opulinks	OPL2500PA1
12	1	Y1	20MHz	Crystal	S2016,20MHz,12pF,10ppm	XTAL-4P-S2016	Yoketan	S20A-020000-T12-BCD-VNKA
13	1	Y2	32.768KHz	Crystal	S3215,32.768K,12.5pF,20ppm	XTAL-2P-S3215	Yoketan	S3215C-032768-12-20-VNKA
14	1		Shielding	Shielding				

9.3. 注意事項

9.3.1. Shielding cover

- 這是必要之元件，可將高頻或是易受電磁干擾的零件包覆起來，用以削弱電磁場的影響，藉此來提高零件的抗干擾能力，屏蔽的目的在於把干擾源隔絕在屏蔽罩外，或是將容易產生干擾的射頻與高頻零件所產生的輻射干擾減到可接受的範圍之內
- 除了 Antenna match 所需之元件外，其餘都應受屏蔽罩保護
- Shielding cover 需增加 GND via，增強其屏蔽能力

Figure 23 Shielding cover 包覆的範圍 (白色區域)



9.3.2. 模組半孔設計

Figure 24 半孔建議最小規格

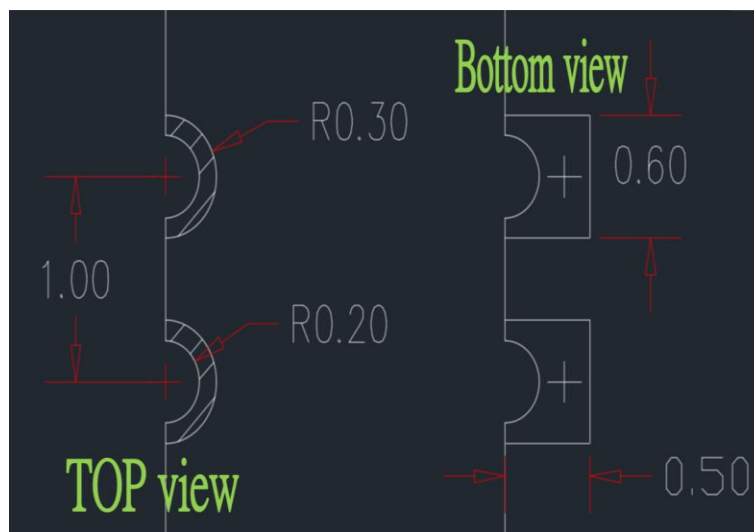


Figure 25 建議探針規格

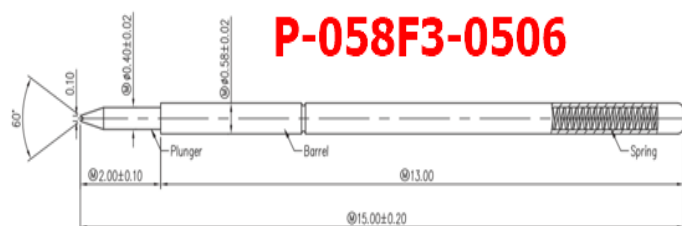
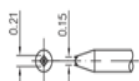
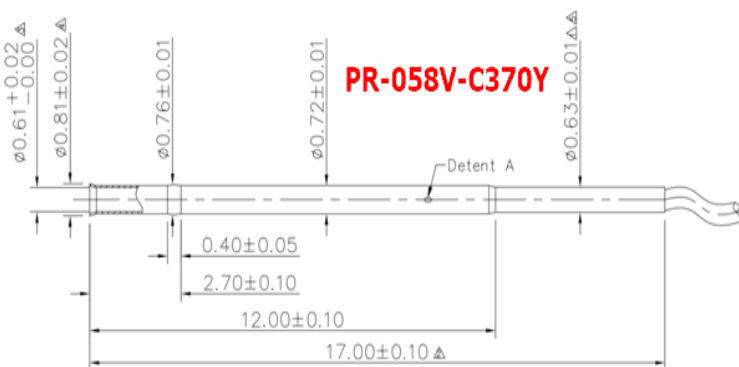


Figure 26 建議探針套筒規格



9.3.3. 模組腳位的規劃

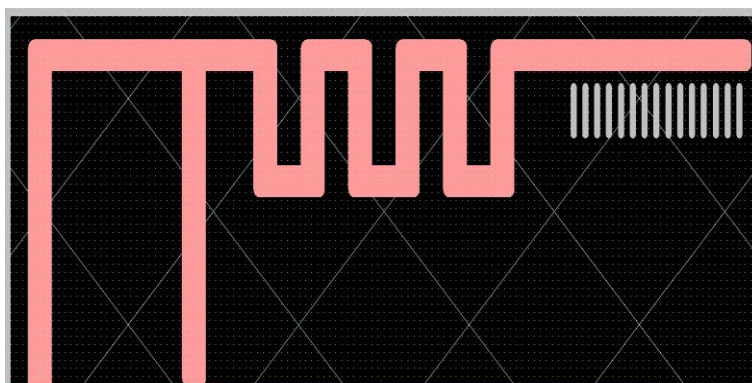
- 數位與類比信號應分開，避免類比信號被干擾
- 靠近天線的位置，不應規劃高頻信號，如 PWM、SPI.....等等
- 靠近天線的位置，應規劃 GND PIN

9.3.4. PCB 天線

- 天線的位置，GND Plane 應禁止在所有層面出現
- 印刷天線的設計，長度為 3 公分 ($1/4 \lambda$)，但因各家電路板廠商製程不同，與使用電路板基材不同，天線長度會有所變動
- 在設計天線時，天線長度需大於 3 公分 (建議多預留 5mm)

- 在使用天線時，儘量不使用任何的 LC match，這樣會降低天線的性能，建議的方法是，控制天線的長度，所以在天線尾端印刷文字漆，用來當作刻度，可以讓工程師精準的切除天線長度，以及重新製板時，複製最終所需的天線長度

Figure 27 天線尾端印刷上刻度



9.3.5. 模組生產測試

- 模組腳位在 Bottom 層需加大，以利在生產測試時，方便頂針連接測試與燒錄
- 承上，選用之頂針與 PAD 大小有關
- 治具製作時，治具與模組 GND 信號的連接，請連接 E-PAD 的位置
- 承上，連接 GND 之頂針，需選用較大的尺寸

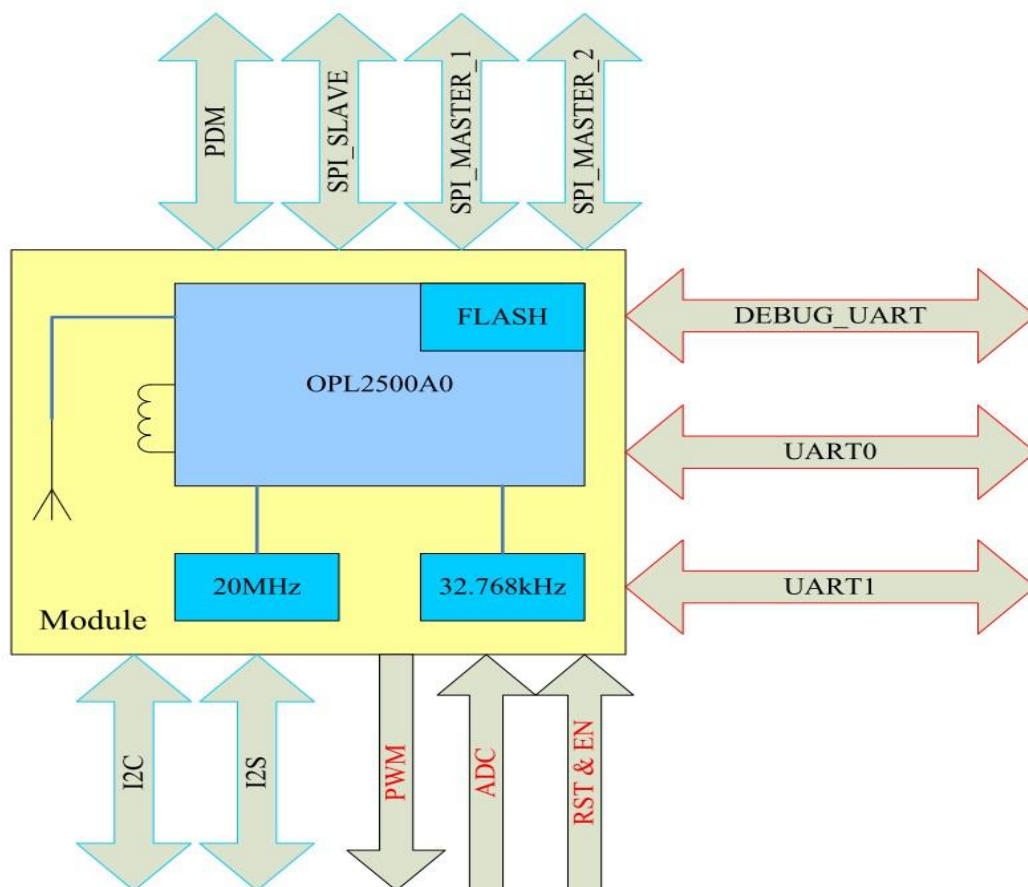
Figure 28 模組半孔設計



10. 模組使用注意事項 USE MODULE

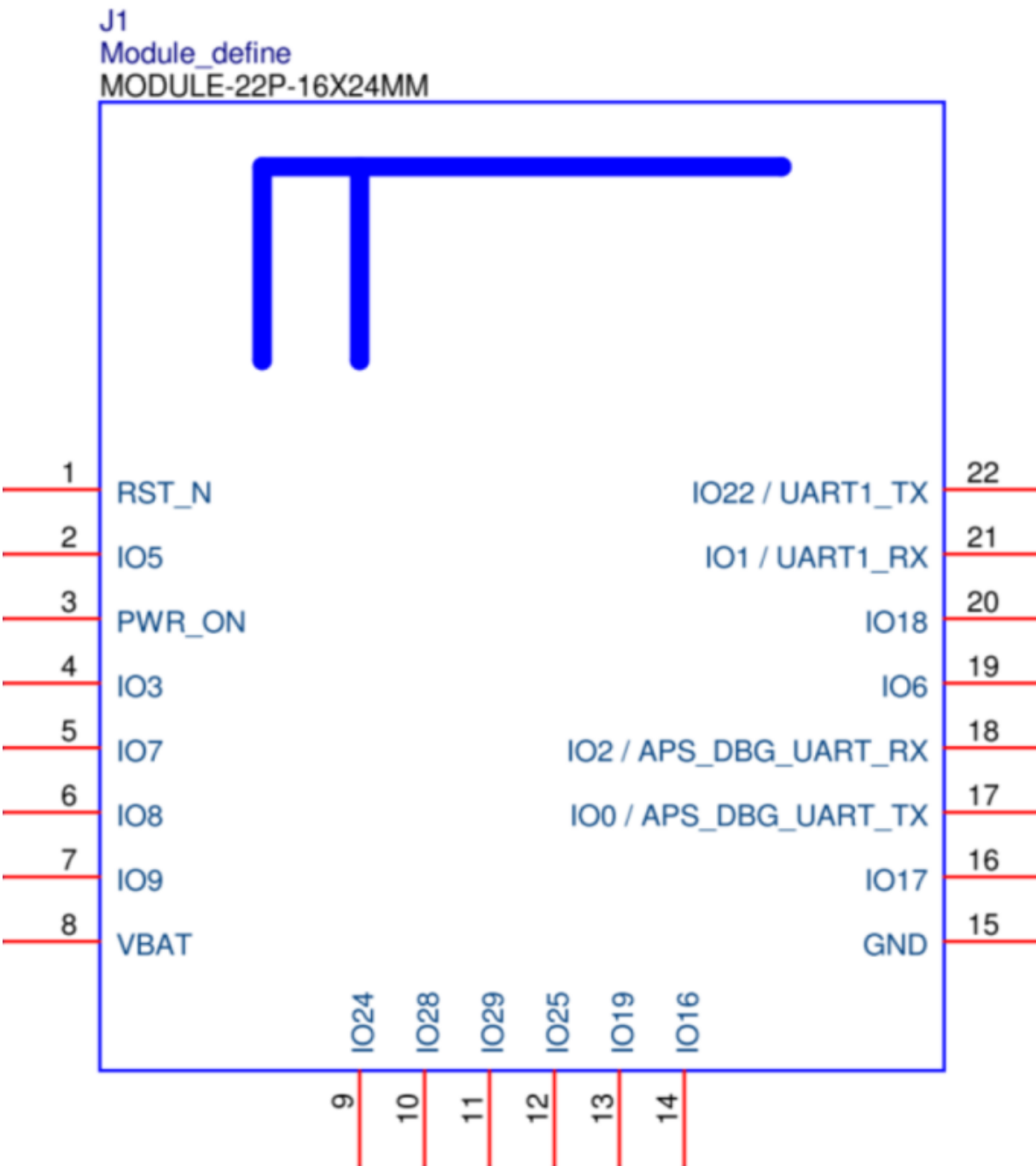
10.1. 方塊圖

Figure 29 Block Diagram for M25P_Module



10.2. 模組腳位

Figure 30 M25S Pin Layout



10.3. 模組腳位定義

- SPI2 為 Slave mode

Table 7 Pin description

Pin	Loc	Signal Name	Signal Description
RST_N	1	RST_N	Reset input signal, active low
IO5	2	IO5	General Purpose Input / Output
		ADC5	AUX ADC input channel 5
		SDA	I2C serial data
		UART0_TX	UART0 serial data transmit
		UART1_RX	UART1 serial data receive
PWR_ON	3	PWR_ON	Enable input signal, active high
IO3	4	IO3	General Purpose Input / Output
		ADC3	AUX ADC input channel 3
		I2S_SDO0	I2S serial data output
IO7	5	IO7	General Purpose Input / Output
		ADC7	AUX ADC input channel 7
		SPI1_MISO	SPI1 master data input
		PDM_RX	PDM data receive
IO8	6	IO8	General Purpose Input / Output
		ADC8	AUX ADC input channel 8
		SPI1_MOSI	SPI1 master data output
		SCL	I2C serial clock
IO9	7	IO9	General Purpose Input / Output
		ADC9	AUX ADC input channel 9
		SPI1_CS2	SPI1 master chip select 2
		SDA	I2C serial data
VBAT	8	VBAT	Main power supply input

Pin	Loc	Signal Name	Signal Description
IO24	9	IO24	General Purpose Input / Output
		PWM4	PWM channel 4
		SPI2_CLK	SPI slave serial clock
		PDM_CLK	PDM clock
		I2S_SCLK	I2S serial clock out
IO28	10	IO28	General Purpose Input / Output
		SPI2_MISO	SPI Slave data transmit
		UART0_TX	UART0 serial data transmit
		I2S_SDO0	I2S serial data output
IO29	11	IO29	General Purpose Input / Output
		SPI2_MOSI	SPI slave data receive
		UART0_RX	UART0 serial data receive
		I2S_SDI0	I2S serial data input
IO25	12	IO25	General Purpose Input / Output
		PWM5	PWM channel 5
		SPI2_CS	SPI slave chip select
		PDM_RX	PDM data receive
		I2S_WS_OUT	I2S word select output
IO19	13	IO19	General Purpose Input / Output
		PWM0	PWM channel 0
		SDA	I2C serial data
		I2S_WS_OUT	I2S word clock output
		SPI3_CS0	SPI1 master chip select 0
IO16	14	IO16	General Purpose Input / Output
		PWM3	PWM channel 3
		SCL	I2C serial clock
		I2S_SDO0	I2S serial data output
		SPI3_MISO	SPI3 master data input
GND	15	GND	System Ground

Pin	Loc	Signal Name	Signal Description
IO17	16	IO17	General Purpose Input / Output
		PWM2	PWM channel 2
		SDA	I2C serial data
		I2S_SDI0	I2S serial data input
		SPI3_MOSI	SPI3 master data output
IO0	17	IO0	General Purpose Input / Output
		APS_DBG_UART (default)	APS UART serial data transmit for debug
IO2	18	IO2	General Purpose Input / Output
		APS_DBG_UART (default)	APS UART serial data receive for debug
IO6	19	IO6	General Purpose Input / Output
		ADC6	AUX ADC input channel 6
		SPI1_CLK	SPI1 master serial clock
		PDM_CLK	PDM clock
IO18	20	IO18	General Purpose Input / Output
		PWM1	PWM channel 1
		SCL	I2C serial clock
		I2S_SCLK	I2S serial clock
		SPI3_CLK	SPI3 master serial clock
IO1	21	IO1	General Purpose Input / Output
		UART1_RX (default)	UART1 serial data receive
		UART0_RX	UART0 serial data receive
IO22	22	IO22	General Purpose Input / Output
		UART1_TX (default)	UART1 serial data transmit
		UART0_TX	UART0 serial data receive

Figure 31 PLACEMENT

[illegible]

10.5. PACKAGE DIAGRAM

Figure 32 TOP view

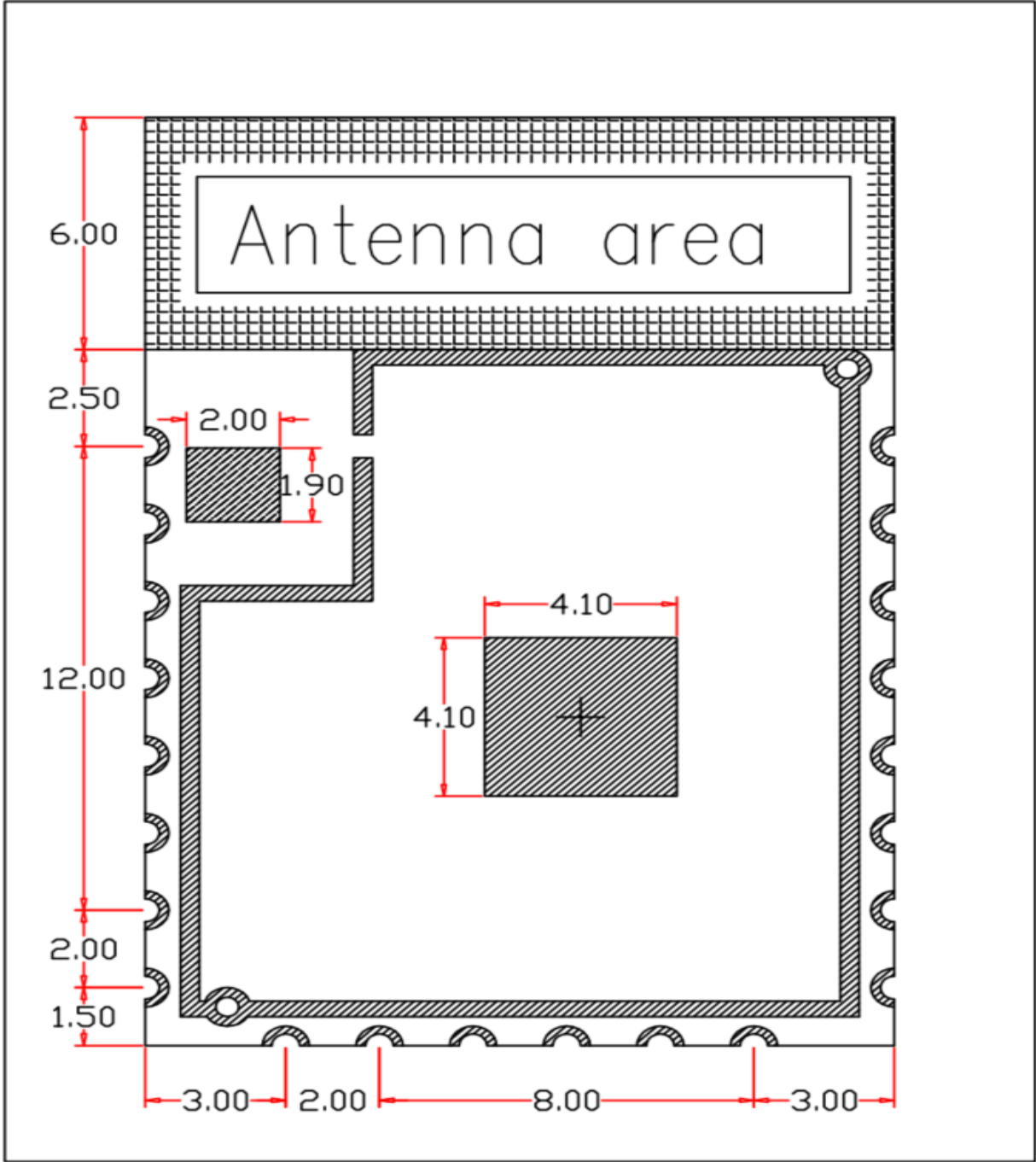


Figure 33 Bottom view

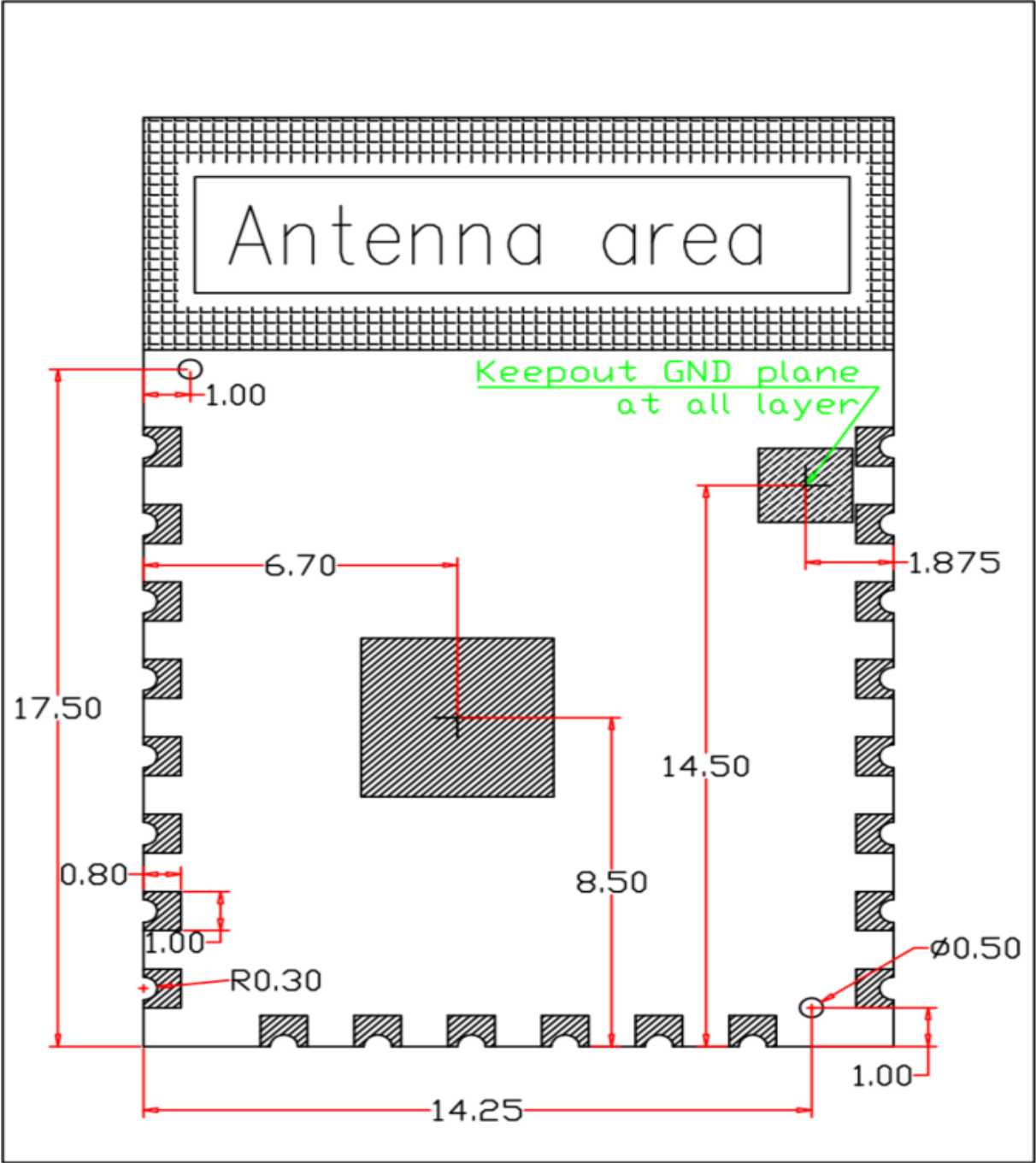
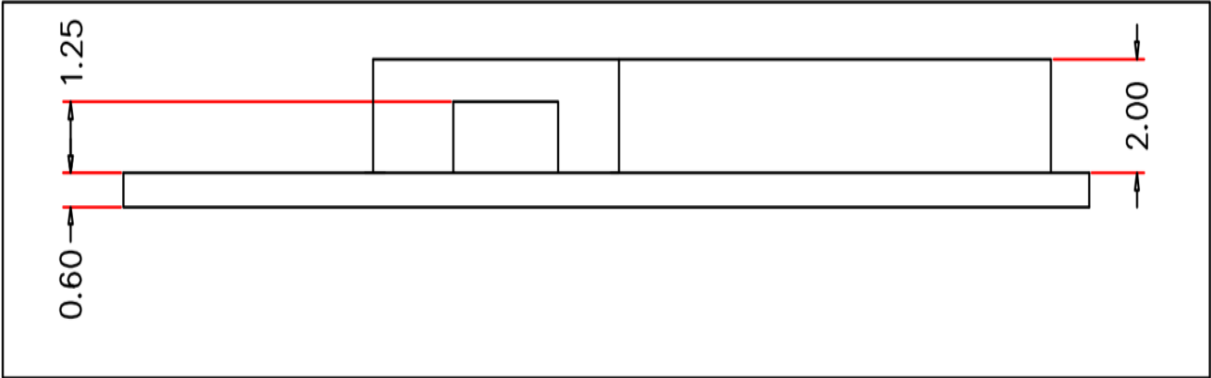
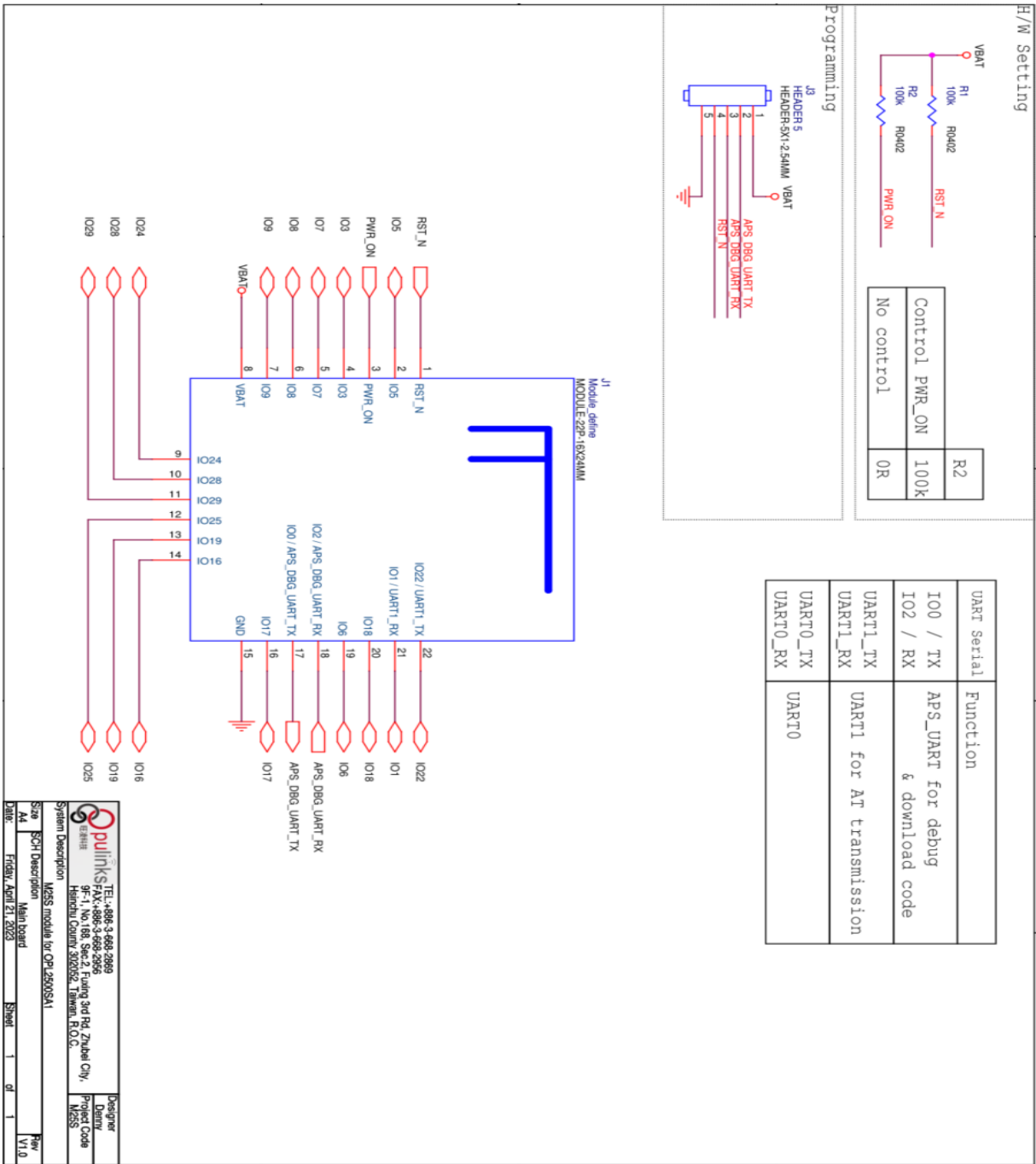


Figure 34 Front view



10.6. 底板參考電路

Figure 35 底板參考電路



10.7. VBAT 電壓範圍

Table 8 模組工作電壓

	Min	Typ	Max	Unit
VBAT	1.8		3.6	V

10.8. 使用模組天線注意事項

10.8.1. PCB 天線

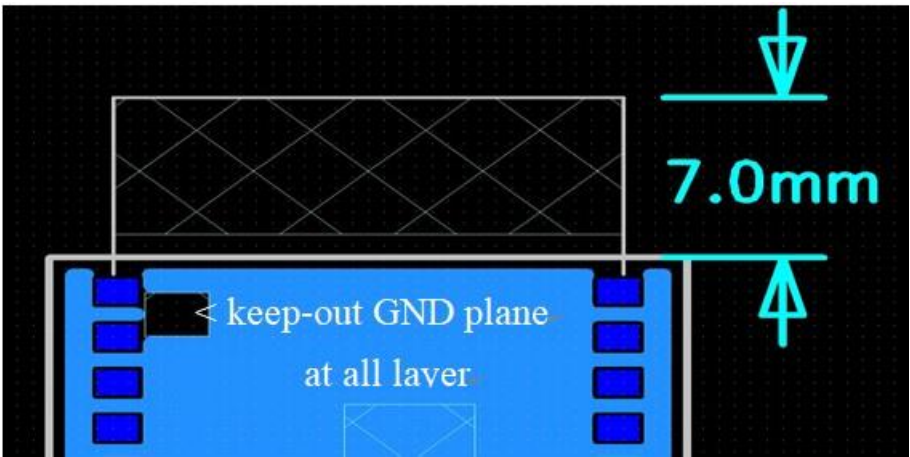
- 需外露使用，如 **Figure 36**
- 機構外殼禁止使用金屬，以及金屬漆
- 天線周圍，不可有 LDO 與 DC-DC converter....等等電源

天線周圍，不可有阻擋物，距離外殼，需有 10mm 以上之空間

10.8.2. 外置天線

- 使用 IPEX connector 時，GND plane 須所有層面禁空
- 如需使用外置天線，請提前知會我司，模組的設定上會有所不同

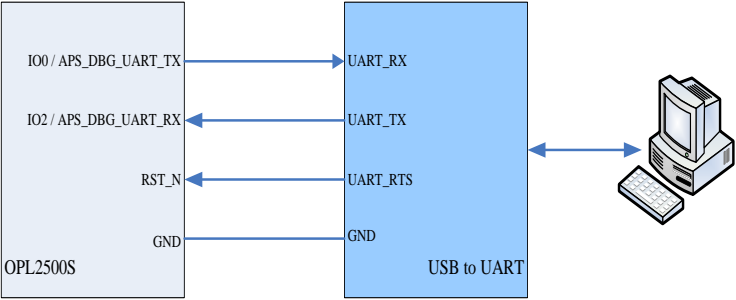
Figure 36 模組擺放位置限制



10.9. 燒錄腳位

- 燒錄腳位為 IO0 / IO2，請留測試點或連接器，以利燒錄與除錯
- 在按下燒錄鍵後，需將芯片重置，才能將程式燒錄至芯片

Figure 37 PC to DUT



10.10. Interface

10.10.1. UART

- AT 指令為 UART1，請留測試點或連接器

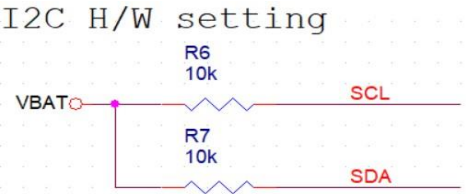
Table 9 UART function

UART Serial	Function
IO0 / APS_DBG_UART_TX	APS_UART for debug & download code
IO2 / APS_DBG_UART_RX	
UART1_TX	UART1 for AT transmission
UART1_RX	

10.10.2. I2C

- 需上拉電阻 10kΩ

Figure 38 I2C 硬體設定



10.11. RST_N / PWR_ON 設定

- PWR_ON 設定，請參照 **Figure 16, Figure 17**
- RST_N 設定，請參照 **Figure 18, Figure 19**

10.12. 模組與底板的連接

- 芯片 e-PAD 需與底板連接，用於優化 RF 特性
- 為了增加模組散熱機制，底板對應模組的 KCT8226 及 OPL2500P IC 位置，其底板 PCB Top/Bottom Solder Mask 都需打開

10.13. 電池規格

- 若使用電池，需考慮電池壽命
- 最大放電需大於 600mA，因進入 RF 測試模式，耗電流為 300mA

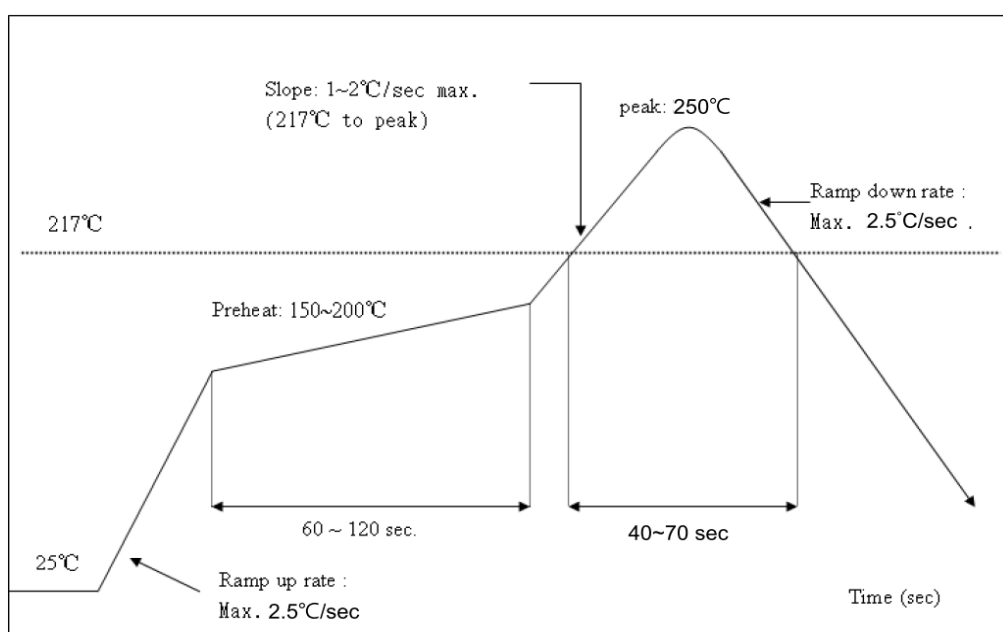
10.14. 電源雜訊

- 電源雜訊須小於 100mV

11. SOLDER REFLOW PROFILE

- Referred to IPC/JEDEC standard
- Peak Temperature : $< 250^{\circ}\text{C}$
- Number of Times : ≤ 2 time

Figure 39 SOLDER REFLOW PROFILE

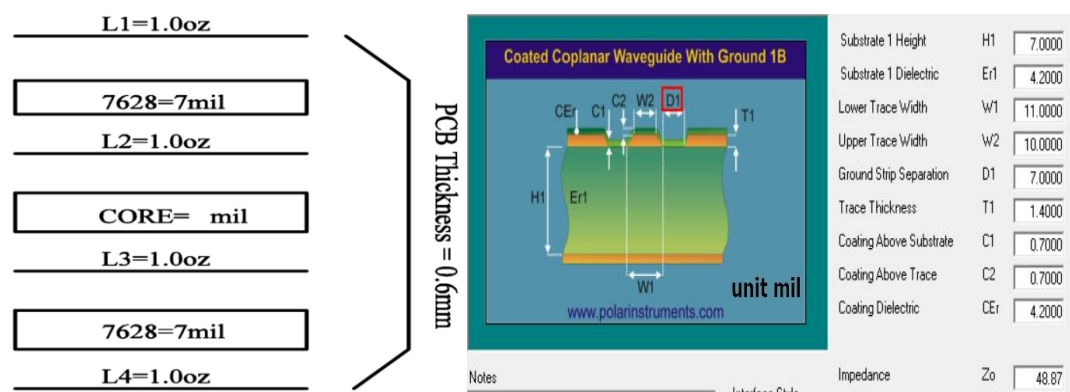


12.LAYOUT 注意事項

12.1. RF 阻抗設計

- RF 信號皆要 50Ω 阻抗
- 可請 PCB 板廠協助計算，也可自行透過軟體計算
- 依照計算結果設定線寬與線距等等，進行 Layout
- CORE 是絕緣層，其主要作用是可調整 CORE 的厚度來達到所需成品板厚

Figure 40 堆疊與阻抗



12.2. PCB 疊構參考設計

Table 10 PCB 疊構說明

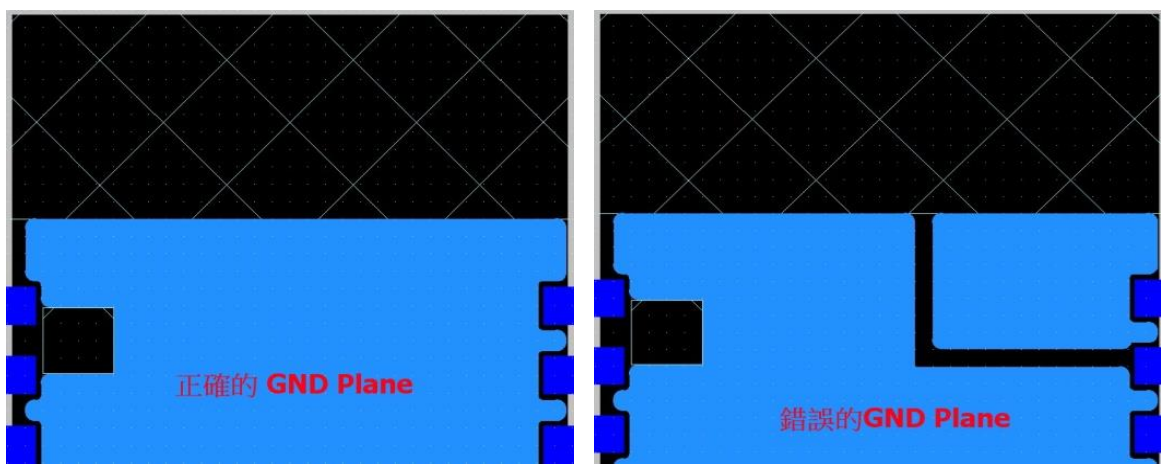
PCB 層	信號類型	設計重點
第一層 (TOP)	擺放零件及 RF 信號線及其它信號線	<ul style="list-style-type: none">● RF 信號有 50Ω 阻抗的需求● RF 訊號周圍，佈置大量 GND Via● 去耦電容周圍佈置大量 GND Via● 芯片 E-PAD 請露銅不上漆，包含第Bottom層也不上漆
第二層	主要地迴路，避免走線，如有走線的需求，不可有死銅(孤島)的情況發生	

PCB 層	信號類型	設計重點
第三層	電源為主，可走信號線，不可有死銅(孤島)的情況發生	● Power Plane面積必須比GND Plane面積小，可增加靜電的防護
第 四 層 (Bottom)	電源及其它信號線	● 如果是設計模組，此層需減少走線，避免受底板訊號的干擾

12.3. PCB 天線設計注意事項

- 需對應相同的 GND 信號

Figure 41 Antenna GND Plane



12.4. RF 信號

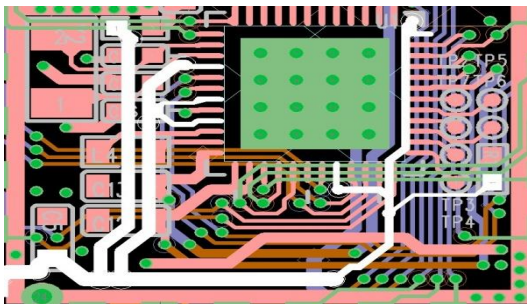
- RF 訊號若在第一層，第二層則必須是 GND 層，且 GND Plane 需保持完整
- RF 信線如有彎角必須是圓弧
- 負載大之電源及高頻訊須遠離 RF 信號與天線

12.5. 電源

- 銅泊厚度 1oz，電源線寬 15mil 以上
- Power Plane 必須比 GND Plane 面積小

- 電源走線以樹枝狀為最佳，將負載大與負載小的電源分開

Figure 42 樹枝狀走線



- 去耦電容必須靠近 IC，並且注意電源行進的順序，要先經過電容，再由電容供給 IC

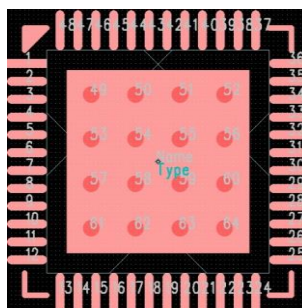
Figure 43 去耦電容的使用注意事項



12.6. E-PAD

- E-PAD 底下，包含內層避免走線
- E-PAD 需增加貫穿孔，可讓多餘的錫引流避免短路，也可增加散熱

Figure 44 QFN Footprint



12.7. Placement

- Crystal 儘量靠近 IC，並遠離大電流電源及高頻訊號
- Connector 接腳，若沒接訊號時，最好接地，以避免雜散電容

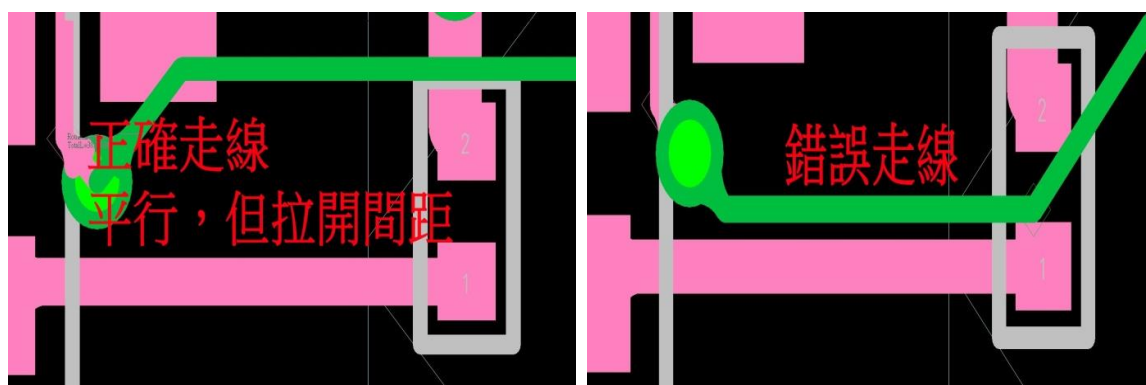
12.8. Ground Plane

- 內層銅鉚須保持完整性，避免迴路

12.9. 走線

- 減少銳角的產生，與信號線的轉折
- 相鄰的二層走線時，不可平行與重疊，如空間不足，則需拉開間距，避免互相干預

Figure 45 平行走線



CONTACT

sales@Opulinks.com