

19)

INN

UT

a)

A1	A0	B0	R2	R1	R0
1	1	1	1	0	0
0	1	1	0	1	0
1	1	0	0	1	1
0	1	0	0	0	1
1	0	1	0	1	1
0	0	1	0	0	1
1	0	0	0	1	0
0	0	0	0	0	0

b) Kretsen legger til en på

~~A~~ A[1..0] hvis B0=1

Vist i tabell

INN

UT

A[1..0]	B0	R[2..0]
0	0	0
1	0	1
2	0	2
3	0	3
0	1	1
1	1	2
2	1	3
3	1	4

R2: ~~A1 ⊕ A0 ⊕ B0~~ A, A, B0

R1: ~~A1 ⊕ B0~~

~~A1 ⊕ B0~~ $A, \bar{B}_0 + A, \bar{A}_0 + \bar{A}, A_0 B_0$

R0: $A_0 \oplus B_0$

B0=1	B0=0
3→4	3→3
1→2	1→1
2→3	2→2
0→1	0→0

~~3→4~~
~~1→2~~
~~2→3~~
~~0→1~~

c) Vi har

$$R_2: A_1 A_0 B$$

$$R_1: A_1 \bar{B}_0 + A_1 \bar{A}_0 + \bar{A}_1 A_0 B = \sum(4, 6, 5, 3)$$

$$R_0: A_0 \oplus B_0$$

R, uten NAND: Transistor [3x inv og
2x AND2, 1x AND3, 2x OR]
= 3·2 + 2·6 + 8 + 2·6 = 38

	B ₀	0	1
A ₁ A ₀			
01	0	1	
11	2	X 3	
10	X 4		X 5

Denne funksjonen var allerede
optimalisert

og delay 3·1.2 + 2·3.6 + 4·1 + 2·3.6 = 22.1 ns

2- og
3-ingangs

$$R_1 \text{ med NAND: } (\overline{A \bar{B}_0})(\overline{A_1 \bar{A}_0})(\overline{\bar{A}_1 A_0 B_0})$$

Transistor: 3x inverter, 3x 3-ingangs NAND
delay 6·1.2 + 2·9 = 10.1 ns

$$R_0 \text{ med NAND: } (A_0 + B_0)(\overline{A_0 B_0}) = \overline{(A_0 + B_0)}(A_0 B_0)$$

og NOR

(Transistor: 14 og delay: Delay_{NAND} + Delay_{NOR} + Delay_{NAND}
= 4.8 + 3.6 = 8.4 ns)

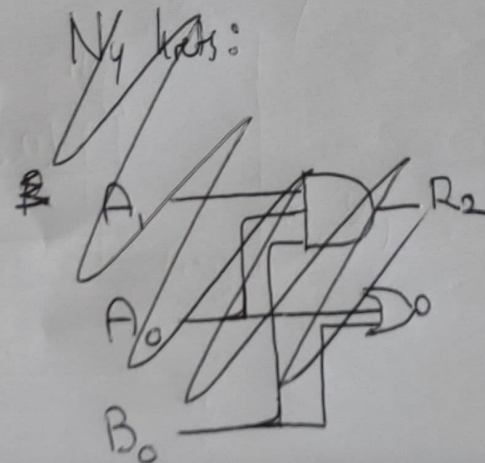
Behold XOR

Det er dårligere enn vanlig XOR med kun 4.2 ns
og like mange transistorer.

$$R_0 = A_0 \oplus B_0$$

R₂ må også beholdes.

Sfordi det bare er en
port, kan ikke optimaliseres
ytterligere.



Utrekning R₁ med NAND

3x inverter
2x 3-NAND
2x 2-NAND

Transistor: 3·2 + 2·6 + 2·4 = 26

Delay: 3·1.2 + 2·2.9 + 2·2.4 = 14.2 ns

Forbedring

Den nye kretsen:

