

实验 3：时序逻辑电路

实验目的

1. 掌握使用 Logisim 软件设计、实现时序逻辑电路的方法
2. 掌握触发器、计数器的设计方法和实现步骤
3. 学习寄存器和寄存器堆的设计和实现方法
4. 学习移位寄存器的设计原理和实现方法

实验环境

Logisim-ITA V2.16.1.2

<https://sourceforge.net/projects/logisimit/>

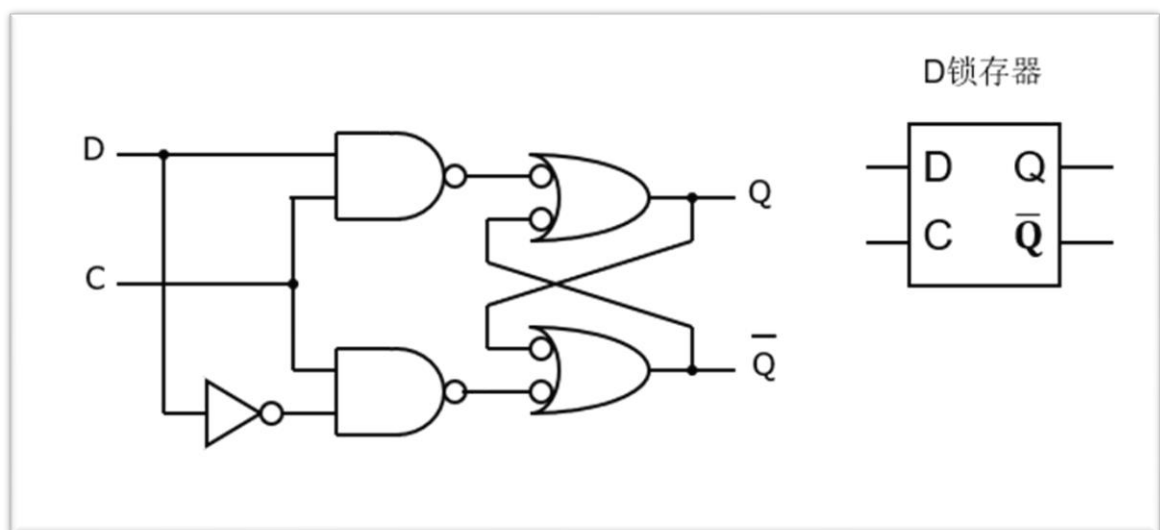
头歌线上评测平台

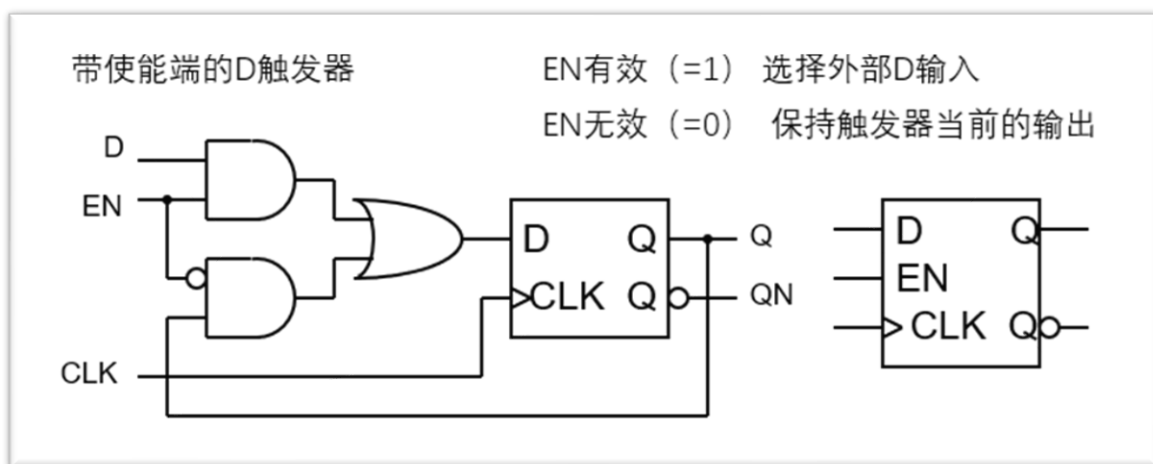
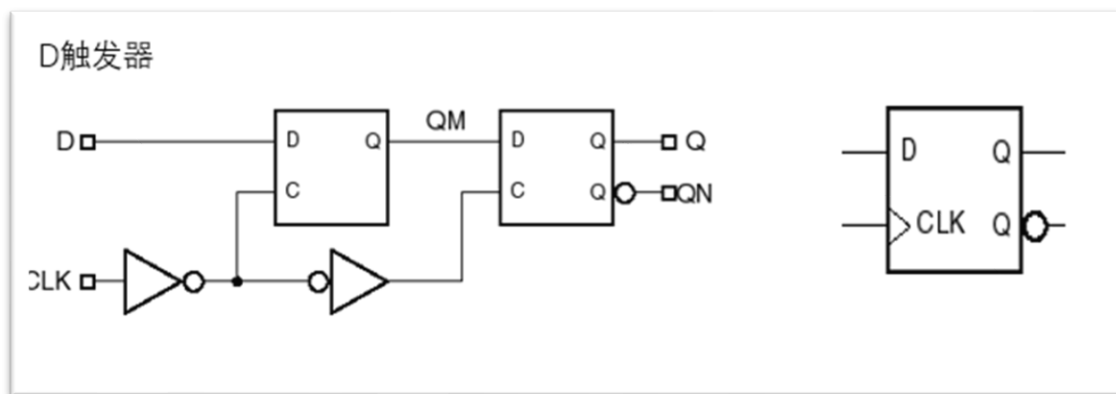
<https://www.educoder.net/classrooms/10924/>

实验内容

1. D 触发器

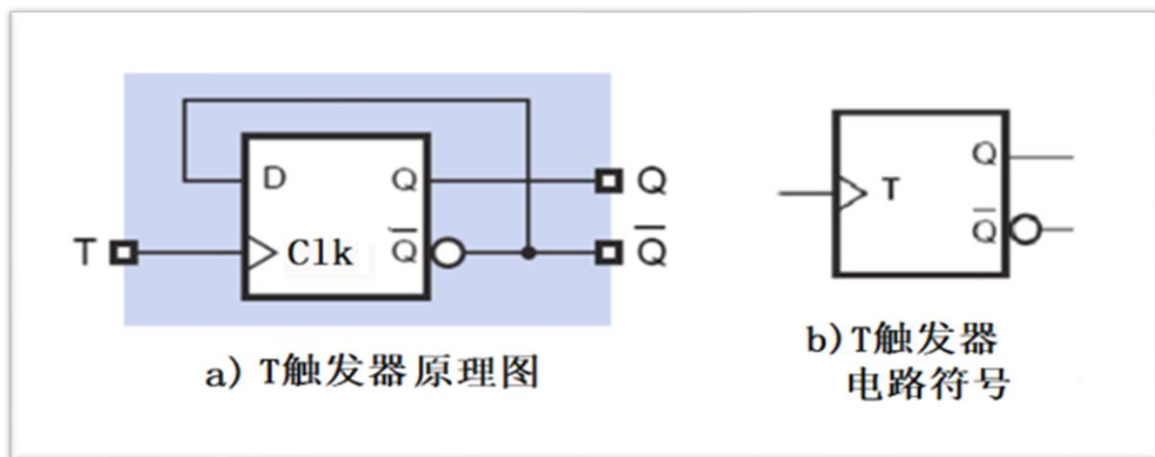
请同学们参考下图所示的锁存器和触发器原理图，首先在子电路中实现一个 D 锁存器，然后在另一个子电路中利用锁存器实现一个带有使能端的 D 触发器。输入信号有 D（数据输入端）、EN（高电平有效）、CLK；输出信号有 Q、QN。请注意下面给出的原理图依次为 D 锁存器、D 触发器、带使能端的 D 触发器。



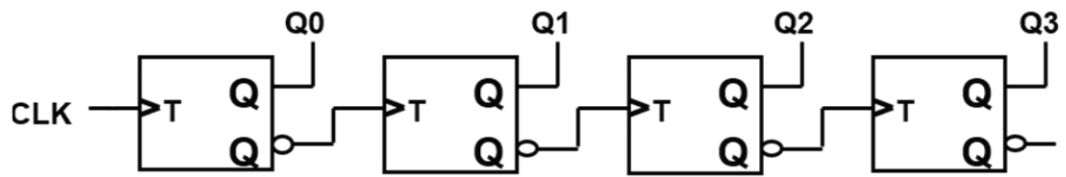


2. 4 位行波加法计数器

请参考下面给出的电路图和功能表，首先实现 T 触发器（利用 Logisim 库中的 D 触发器），然后利用 T 触发器实现一个 4 位的 2 进制加法计数器。计数器的输入信号为 CLK，输出信号为 Q0、Q1、Q2、Q3。

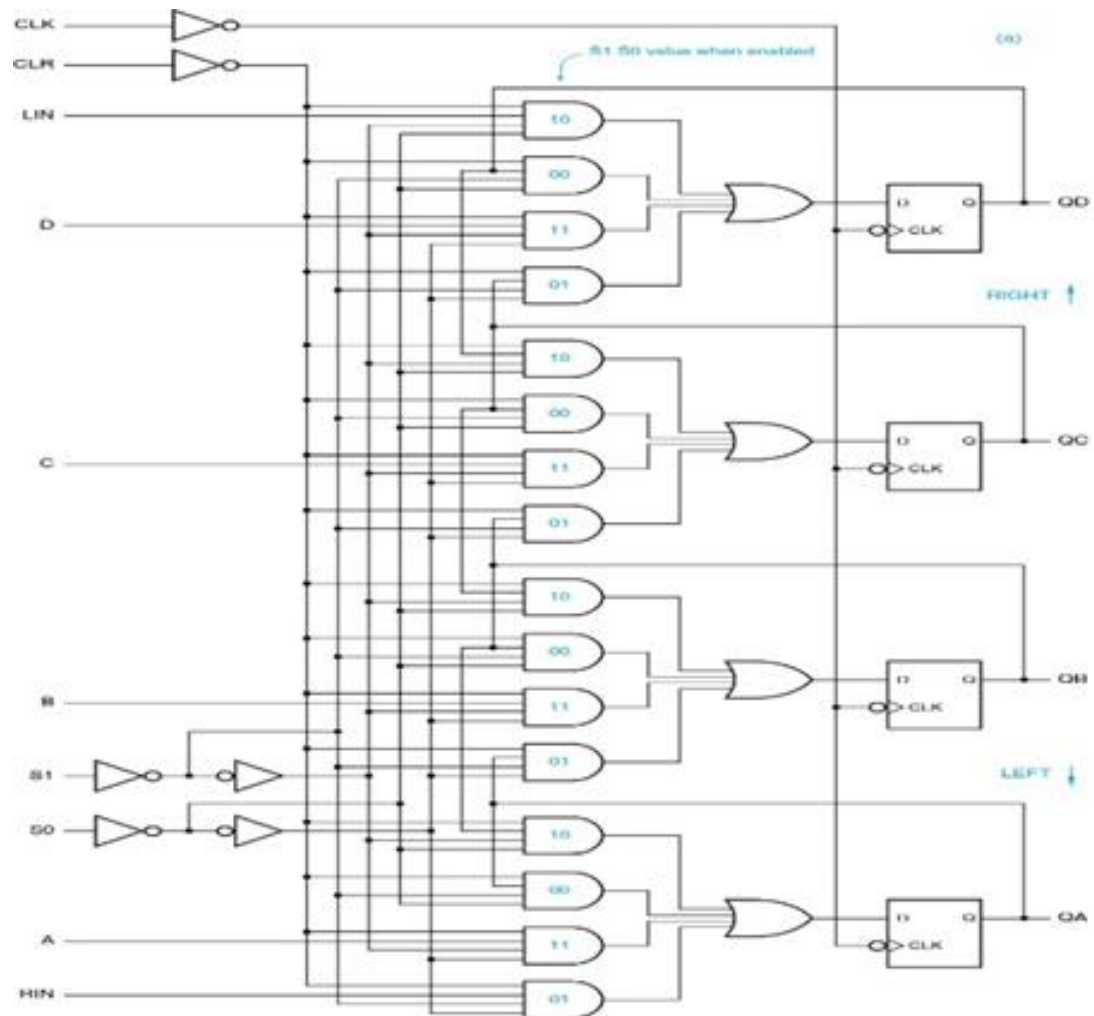


异步行波加法计数器



3. 4 位通用移位寄存器

请根据下面给出的电路原理图和功能表，实现一个 4 位的通用移位寄存器，输入端为 A、B、C、D、CLK、CLR、LIN、RIN、S0、S1，输出端为 QA、QB、QC、QD（请注意在移位时，QA 为最左端，QD 为最右端）。当右移操作时，在最左端上补位 RIN，当左移操作时，在最右端上补位 LIN。



<i>Function</i>	<i>Inputs</i>			<i>Next state</i>			
	<i>CLR</i>	<i>S1</i>	<i>S0</i>	<i>QA*</i>	<i>QB*</i>	<i>QC*</i>	<i>QD*</i>
Clear	1	x	x	0	0	0	0
Hold	0	0	0	QA	QB	QC	QD
Shift right	0	0	1	RIN	QA	QB	QC
Shift left	0	1	0	QB	QC	QD	LIN
Load	0	1	1	A	B	C	D

本地测试用例（格式：0000 000 CLR LIN,RIN,S1,S0 A,B,C,D，高7位空闲）：

```

0: 0000 0001 0000 0000
1: 0000 0000 0011 0101
2: 0000 0000 0101 1111
3: 0000 0000 0101 0000
4: 0000 0000 0101 0101
5: 0000 0000 0101 1010
6: 0000 0000 1001 0000
7: 0000 0000 0001 1111
8: 0000 0001 0101 1111
9: 0000 0000 0011 1010
10: 0000 0000 1010 1111
11: 0000 0000 1010 0000
12: 0000 0000 1010 0101
13: 0000 0000 1010 1010
14: 0000 0000 0110 0000
15: 0000 0000 0010 1111

```